

www.mientayvn.com

Khi đọc qua tài liệu này, nếu phát hiện sai sót hoặc nội dung kém chất lượng xin hãy thông báo để chúng tôi sửa chữa hoặc thay thế bằng một tài liệu cùng chủ đề của tác giả khác. Tài liệu này bao gồm nhiều tài liệu nhỏ có cùng chủ đề bên trong nó. Phần nội dung bạn cần có thể nằm ở giữa hoặc ở cuối tài liệu này, hãy sử dụng chức năng Search để tìm chúng.

Bạn có thể tham khảo nguồn tài liệu được dịch từ tiếng Anh tại đây:

http://mientayvn.com/Tai_lieu_da_dich.html

Thông tin liên hệ:

Yahoo mail: thanhlam1910_2006@yahoo.com

Gmail: frbwrthes@gmail.com

Theo yêu cầu của khách hàng, trong một năm qua, chúng tôi đã dịch qua 16 môn học, 34 cuốn sách, 43 bài báo, 5 sổ tay (chưa tính các tài liệu từ năm 2010 trở về trước) Xem ở đây

**DỊCH VỤ
DỊCH
TIẾNG
ANH
CHUYÊN
NGÀNH
NHANH
NHẤT VÀ
CHÍNH
XÁC
NHẤT**

Chỉ sau một lần liên lạc, việc dịch được tiến hành

Giá cả: có thể giảm đến 10 nghìn/1 trang

Chất lượng: Tạo dựng niềm tin cho khách hàng bằng công nghệ 1. Bạn thấy được toàn bộ bản dịch; 2. Bạn đánh giá chất lượng. 3. Bạn quyết định thanh toán.

Lý thuyết bán dẫn

1-1 Cấu trúc nguyên tử

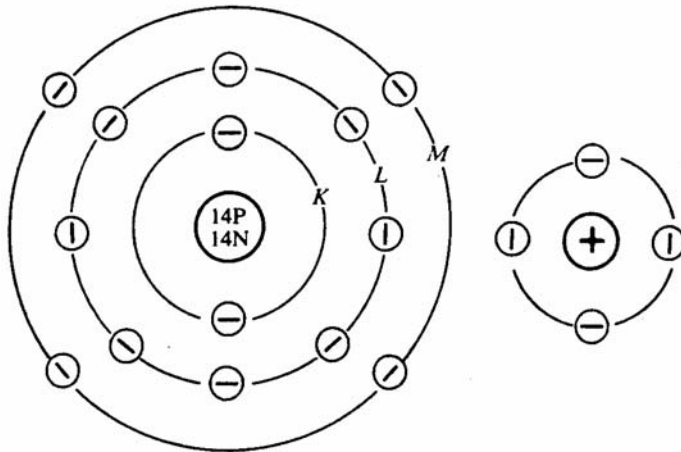
Trước khi bắt đầu tìm hiểu các linh kiện điện tử ta phải hiểu vật liệu chế tạo nên chúng. Kiến thức về vật liệu ở mức độ cấu trúc sẽ giúp ta dự đoán và điều khiển các dòng điện tích có trong vật liệu. Ta sẽ bắt đầu bằng việc xem xét cấu trúc nguyên tử để xem cấu trúc này ảnh hưởng như thế nào lên tính chất điện của vật liệu.

Như đã biết mọi vật liệu đều được tạo nên từ các nguyên tử và các nguyên tử của cùng một nguyên tố đều có cấu trúc như nhau. Mỗi nguyên tử bao gồm một hạt nhân ở trung tâm chứa các điện tích dương mà ta gọi là proton. Hạt nhân được bao xung quanh bởi các electron mang điện tích âm. Số lượng electron bằng với số lượng proton trong hạt nhân và vì điện tích của proton và electron là bằng nhau nên nguyên tử trung hòa về điện. Tùy theo loại nguyên tố, các hạt nhân của nguyên tử có thể chứa các neutron không mang điện tích.

Hình 1-1(a) biểu diễn sơ đồ cấu trúc một nguyên tử của nguyên tố silicon, vật liệu thường được sử dụng để chế tạo các linh kiện bán dẫn. Hình này cho thấy hạt nhân chứa 14 proton (mang điện tích dương) và 14 neutron, và vì nguyên tử có 14 electron (mang điện tích âm) quay xung quanh nên nguyên tử trung hòa về điện. Các electron được sắp xếp vào ba quỹ đạo xung quanh hạt nhân. Ta nói các electron này chiếm một lớp vỏ nguyên tử. Mỗi lớp vỏ nguyên tử không thể chứa nhiều hơn một số tối đa các electron. Nếu đánh số thứ tự của bốn lớp vỏ đầu tiên bắt đầu từ lớp trong cùng (lớp gần hạt nhân nhất có số thứ tự là 1) thì số electron tối đa N_e mà lớp vỏ n có thể chứa là

$$N_e = 2n^2 \quad (1-1)$$

Trong hình 1-1(a), lớp vỏ số 1 (lớp K) đã được lấp đầy vì nó đã chứa 2 electron. Lớp 2 (lớp L) cũng đã được lấp đầy vì nó chứa 8 electron. Tuy nhiên, lớp 3 (lớp M) chưa được lấp đầy vì nó chỉ mới chứa 4 electron trong khi khả năng chứa tối đa của nó là 18 electron.



Hình 1-1
 Cấu trúc nguyên tử Si

(a) A diagram of the silicon atom, showing its nucleus and electron shells.
 P = proton;
 N = neutron.

(b) An abbreviated diagram of the silicon atom, showing valence electrons only.

Mỗi lớp vỏ nguyên tử lại được chia thành các lớp con. Lớp vỏ thứ n chứa n lớp con. Lớp con đầu tiên trong một lớp vỏ chứa 2 electron, các lớp con tiếp theo chứa nhiều hơn lớp con trước đó 4 electron. Các lớp con được ký hiệu là s, p, d, f .

Ví dụ 1-1

Hạt nhân của nguyên tử germanium có 32 proton. Xác định số electron trong mỗi lớp và lớp con của nó.

Hướng dẫn

Vì hạt nhân chứa 32 proton nên nguyên tử có 32 electron. Bảng sau cho thấy sự sắp xếp của các electron trong nguyên tử Ge.

Lớp vỏ	Lớp con	Dung lượng	Chứa thật sự
K	s	2	2
L	s	2	2
	p	6	6
M	s	2	2
	p	6	6
	d	10	10
N	s	2	2
	p	6	2
	d	10	0
	f	14	0
Tổng cộng			32

Không phải mọi electron đều bị ràng buộc mãi mãi vào một lớp hoặc lớp con của nó. Mặc dù các electron có khuynh hướng giữ nguyên lớp của chúng do lực hút giữa chúng và hạt nhân mang điện tích dương, nhưng nếu chúng hấp thu đủ năng lượng (ví dụ từ nhiệt), các electron sẽ thoát ra khỏi nguyên tử và trở thành các electron tự do. Chất dẫn điện có nhiều electron tự do trong khi chất cách điện có rất ít electron tự do.

Lớp vỏ ngoài cùng chứa các electron có liên kết yếu nhất với hạt nhân và thường chưa được lấp đầy do đó chúng dễ trở thành các electron tự do hơn các electron nằm trong các lớp vỏ gần hạt nhân. Chính vì vậy, số electron trong lớp vỏ ngoài cùng có ảnh hưởng rất lớn đến tính chất điện của vật liệu. Vật liệu dẫn điện có rất ít electron trong lớp vỏ ngoài cùng, và trong các vật liệu này, năng

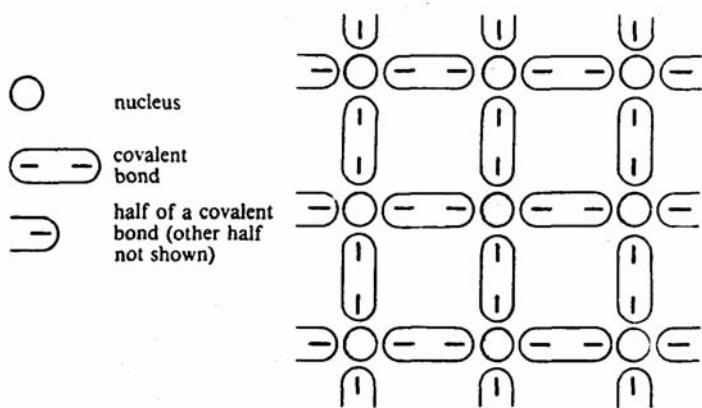
lượng nhiệt có sẵn ở nhiệt độ phòng là đủ để giải phóng các electron trong lớp vỏ ngoài cùng thành các electron tự do. Khi có một điện trường ngoài đặt lên vật liệu, các electron tự do này di chuyển có hướng tạo ra dòng điện. Đối với vật liệu cách điện, lớp vỏ ngoài cùng thường liên kết chặt với hạt nhân, do đó chúng có rất ít electron tự do.

Vì ta chỉ quan tâm đến lớp vỏ ngoài cùng của nguyên tử nên ta thường sử dụng hình 1-1(b) để biểu diễn cấu trúc của nguyên tử.

1-2 Vật liệu bán dẫn

Xét trên khả năng dẫn điện, vật liệu bán dẫn không phải là vật liệu cách điện mà cũng không phải là vật liệu dẫn điện tốt. Hơn nữa, cách thức tạo ra dòng điện trong bán dẫn cũng không thể giải thích hoàn toàn bằng kiến thức đã biết trong các vật liệu khác.

Đối với vật liệu dẫn điện, lớp vỏ ngoài cùng của nguyên tử có rất ít các electron, nó có khuynh hướng giải phóng các electron này để tạo thành electron tự do và đạt đến trạng thái bền vững. Trong khi đó, vật liệu cách điện lại có khuynh hướng giữ lại các electron lớp ngoài cùng của nó để có trạng thái bền vững. Đối với vật liệu bán dẫn, nó có khuynh hướng đạt đến trạng thái bền vững tạm thời bằng cách lấp đầy lớp con của lớp vỏ ngoài cùng. Ví dụ đối với nguyên tử bán dẫn Si, lớp con p của lớp vỏ ngoài cùng chỉ chứa 2 electron, do đó để lấp đầy lớp con này nguyên tử cần nhận thêm bốn electron. Nguyên tử bán dẫn thực hiện điều này bằng cách chia sẻ bốn electron lớp vỏ ngoài cùng của nó với bốn electron của bốn nguyên tử lân cận. Tất cả các nguyên tử đều thực hiện liên kết này và tạo nên một cấu trúc ổn định, bền vững, được gọi là tinh thể bán dẫn.



Hình 1-2

Liên kết hóa trị trong tinh thể bán dẫn

Liên kết do hai electron lớp ngoài cùng của hai nguyên tử lân cận tạo thành được gọi là liên kết hóa trị (covalent bond). Hình 1-2 cho thấy cấu trúc hai chiều của tinh thể bán dẫn. Trong hình này ta sử dụng mô hình nguyên tử đơn giản, bao gồm hạt nhân và các electron lớp vỏ ngoài cùng. Mặc dù chỉ một số nguyên tử được vẽ trong hình nhưng ta cần hiểu là cấu trúc này được lặp lại cho tất cả các nguyên tử, và do đó, các nguyên tử trong bán dẫn đều có tám electron lớp ngoài cùng, tức là chúng đạt đến trạng thái ổn định tạm thời.

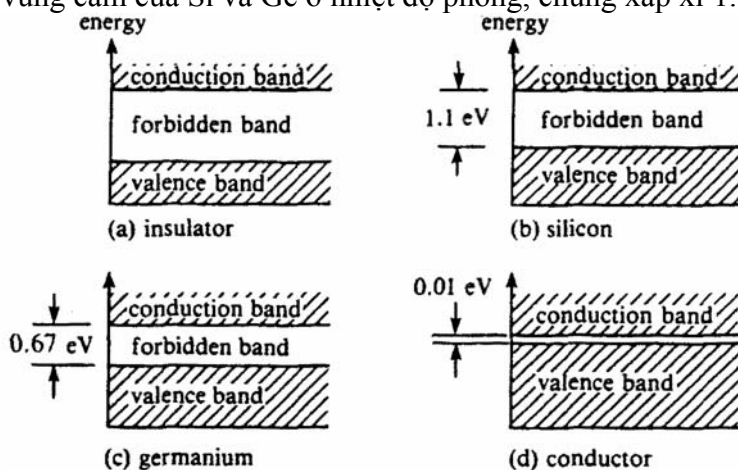
Ge là một loại vật liệu bán dẫn khác. Trong ví dụ 1-1, ta đã thấy rằng nguyên tử Ge chứa bốn electron lớp ngoài cùng, trong đó lớp p chứa hai electron. Do đó, nó cũng có khuynh hướng tạo liên kết hóa trị để đạt đến trạng thái bền vững tạm thời.

1-3 Dòng điện trong bán dẫn

Như đã biết, trong vật liệu dẫn điện có rất nhiều electron tự do. Các electron này được giải phóng khỏi nguyên tử bằng cách hấp thụ năng lượng, thường là năng lượng nhiệt có ở nhiệt độ môi trường. Khi các electron này chuyển động có hướng sẽ sinh ra dòng điện. Đối với vật liệu bán dẫn, các electron tự do cũng được sinh ra cùng một cách. Tuy nhiên, năng lượng cần để giải phóng các electron này lớn hơn đối với vật liệu dẫn điện vì chúng bị ràng buộc bởi các liên kết hóa trị. Năng lượng này phải đủ lớn để phá vỡ liên kết hóa trị giữa các nguyên tử.

Thuyết lượng tử cho phép ta nhìn mô hình nguyên tử dựa trên năng lượng của nó, thường được biểu diễn dưới dạng giản đồ năng lượng. Đơn vị năng lượng qui ước trong các giản đồ này là electronvolt (eV). Theo thuyết này, một electron khi muốn trở thành một electron tự do phải hấp thu đủ một lượng năng lượng xác định. Năng lượng này phụ thuộc vào dạng nguyên tử và lớp mà electron này đang chiếm. Các electron trong lớp vỏ ngoài cùng đã có sẵn một lượng năng lượng đáng kể, do đó chỉ cần nhận thêm một lượng năng lượng tương đối nhỏ là đủ để giải phóng chúng. Các electron ở các lớp bên trong có ít năng lượng hơn do bị ràng buộc với hạt nhân nhiều hơn, do đó chúng cần phải nhận một lượng năng lượng rất lớn mới có thể trở thành electron tự do. Các electron cũng có thể di chuyển từ lớp bên trong đến lớp bên ngoài trong nguyên tử bằng cách nhận thêm một lượng năng lượng bằng với chênh lệch năng lượng giữa hai lớp. Ngược lại, các electron cũng có thể mất năng lượng và trở lại với các lớp có mức năng lượng thấp hơn. Các electron tự do cũng vậy, chúng có thể giải phóng năng lượng và trở lại lớp vỏ ngoài cùng của nguyên tử.

Khi nhìn trên một nguyên tử, các electron trong nguyên tử sẽ được sắp xếp vào các mức năng lượng rời rạc nhau tùy thuộc vào lớp và lớp con mà electron này chiếm. Các mức năng lượng này giống nhau cho mọi nguyên tử. Tuy nhiên, khi nhìn trên toàn bộ vật liệu, mỗi nguyên tử còn chịu ảnh hưởng từ các tác động khác nhau bên ngoài nguyên tử. Do đó, mức năng lượng của các electron trong cùng lớp và lớp con có thể không còn bằng nhau giữa các nguyên tử. Kết quả là các mức năng lượng trong một nguyên tử trở thành các vùng năng lượng. Một vùng năng lượng là tập hợp của các mức năng lượng rời rạc xấp xỉ nhau của một lớp và lớp con. Hình 1-3 trình bày giản đồ năng lượng. Vùng dẫn là vùng năng lượng của các electron tự do. Vùng hóa trị là vùng của các electron nằm trong lớp vỏ ngoài cùng, chúng mang năng lượng thấp hơn so với vùng dẫn. Giữa hai vùng này là vùng cấm, đây là vùng mà không có electron nào mang năng lượng nằm trong vùng này. Bề rộng của vùng dẫn chính là lượng năng lượng mà một electron của nguyên tử phải hấp thu khi muốn trở thành một electron tự do. Trong hình 1-3(a), vật liệu cách điện có bề rộng vùng cấm lớn, điều đó có nghĩa là một electron phải hấp thu một năng lượng rất lớn khi muốn tạo thành electron tự do. Chính vì vậy, vật liệu cách điện có rất ít electron tự do. Ví dụ đối với Carbon, bề rộng vùng cấm là 5.4 eV. Ngược lại vật liệu dẫn điện có bề rộng vùng cấm rất hẹp như được trình bày trong hình 1-3(d). Bề rộng này có thể nhỏ hơn 0.01 eV hoặc thậm chí không tồn tại. Đối với vật liệu bán dẫn, bề rộng vùng cấm phụ thuộc vào nhiệt độ. Hình 1-3(b) và 1-3(c) cho thấy bề rộng vùng cấm của Si và Ge ở nhiệt độ phòng, chúng xấp xỉ 1.1 eV và 0.67 eV.



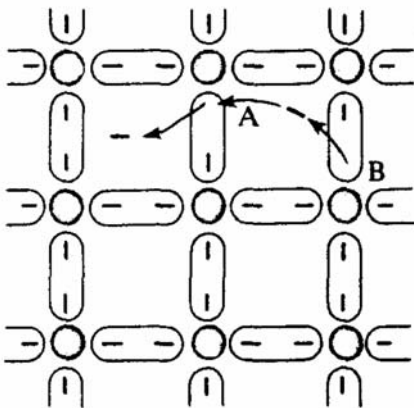
Hình 1-3
Giản đồ vùng năng lượng của một số vật liệu.

Như đã thấy trong phần trước, số electron tự do trong vật liệu phụ thuộc rất nhiều vào nhiệt độ và do đó độ dẫn điện của vật liệu cũng vậy. Nhiệt độ càng cao thì năng lượng của các electron càng lớn. Ở nhiệt độ không tuyệt đối (-273°C , tức là 0 K), tất cả các electron có năng lượng là không. Khi nhiệt độ tăng dần, các electron bắt đầu hấp thu năng lượng nhiệt và nếu năng lượng này đủ để vượt qua vùng cấm thì nó trở thành electron tự do. Đối với vật liệu bán dẫn, điều này có nghĩa là độ dẫn điện tăng theo nhiệt độ, điện trở giảm theo nhiệt độ, tức là vật liệu bán dẫn có hệ số nhiệt điện trở âm. Mặc dù trong vật liệu dẫn điện, số electron tự do cũng gia tăng theo nhiệt độ như trong bán dẫn, tuy nhiên sự gia tăng này là quá lớn, do đó sẽ dẫn tới việc xuất hiện một số lượng hạt dẫn

không lồ bên trong vật liệu dẫn điện và kết quả là chúng cản trở lẫn nhau trong quá trình chuyển động để tạo ra dòng điện. Kết quả là vật liệu dẫn điện có hệ số nhiệt điện trở dương.

1-3-1 Lỗ trống và dòng lỗ trống

Điểm khác biệt thật sự của dòng điện trong vật liệu dẫn điện và dòng điện trong bán dẫn đó là trong vật liệu bán dẫn tồn tại một dạng hạt dẫn khác ngoài electron tự do. Khi một liên kết hóa trị bị phá vỡ, một electron tự do xuất hiện thì đồng thời nó cũng sinh ra một lỗ trống (hole) trong cấu trúc tinh thể. Lỗ trống được biểu diễn bằng việc thiếu mất một electron trong liên kết hóa trị. Vì nguyên tử bị mất một electron lúc này có điện tích dương nên lỗ trống được qui ước là hạt dẫn mang điện tích dương. Sự chuyển động của lỗ trống có thể được hiểu là sự chuyển động của electron trong lớp vỏ ngoài cùng lân cận chiếm lấy lỗ trống và để lại một lỗ trống tại nơi nó vừa rời khỏi. Nếu sự di chuyển này của lỗ trống được điều khiển một cách có hướng thì bên trong vật liệu bán dẫn sẽ xuất hiện một dòng điện tương tự như dòng điện được tạo ra bởi sự chuyển động có hướng của các electron tự do. Dòng điện này được gọi là dòng lỗ trống trong bán dẫn.



Hình 1-4

Dòng lỗ trống. Khi electron tại A trở thành electron tự do, một lỗ trống hình thành. Nếu electron tại B di chuyển vào lỗ trống tại A, hiệu quả giống như lỗ trống di chuyển.

Hình 1-4 minh họa khái niệm lỗ trống và dòng lỗ trống mà ta đã đề cập ở trên. Lưu ý là khi lỗ trống di chuyển từ phải sang trái cũng đồng nghĩa với việc các electron lớp vỏ ngoài cùng di chuyển từ trái sang phải. Thật ra ta hoàn toàn có thể phân tích dòng điện trong bán dẫn thành hai dòng electron. Tuy nhiên, để tiện lợi ta thường xem như dòng điện trong bán dẫn là do dòng electron và dòng lỗ trống gây ra. Việc phân biệt này cũng nhằm phân biệt rõ bản chất của hai dòng electron, một là dòng của các electron tự do và một là dòng của các electron trong lớp vỏ ngoài cùng của nguyên tử. Nói cách khác, một dòng electron xuất hiện trong vùng dẫn, một dòng electron xuất hiện trong vùng hóa trị. Ta thường gọi electron tự do và lỗ trống là hạt dẫn vì chúng có khả năng chuyển động có hướng để sinh ra dòng điện. Khi một electron tự do và lỗ trống kết hợp lại với nhau trong vùng hóa trị, các hạt dẫn bị mất đi, và ta gọi quá trình này là quá trình tái hợp hạt dẫn.

Trong bán dẫn mà ta đã khảo sát cho đến thời điểm này, việc phá vỡ một liên kết hóa trị sẽ tạo ra một electron tự do và một lỗ trống, do đó số lượng lỗ trống sẽ luôn bằng số lượng electron tự do. Bán dẫn này được gọi là bán dẫn thuần hay bán dẫn nội tại (intrinsic). Mật độ electron n_i , tính bằng electron/cm³, là bằng với mật độ lỗ trống p_i , tính bằng lỗ trống/cm³.

$$n_i = p_i \quad (1-2)$$

Ở nhiệt độ phòng, mật độ hạt dẫn cho Ge xấp xỉ là $n_i = p_i = 2.4 \times 10^{13} / \text{cm}^3$ và cho Si là $n_i = p_i = 1.5 \times 10^{10} / \text{cm}^3$. Giá trị này có vẻ như rất lớn, tuy nhiên, nếu như ta so sánh với số lượng nguyên tử có trong một cm³ của Si là 10^{22} nguyên tử thì lượng hạt dẫn có được lại quá ít. Đối với vật liệu dẫn điện như đồng (Cu), lượng electron tự do là xấp xỉ $8.4 \times 10^{22} / \text{cm}^3$, một số rất lớn so với lượng hạt dẫn của vật liệu bán dẫn. Chính vì vậy khả năng dẫn điện của vật liệu bán dẫn là kém hơn so với vật liệu dẫn điện ở nhiệt độ phòng.

1-3-2 Dòng trôi

Khi một hiệu điện thế được đặt lên hai đầu bán dẫn, điện trường sẽ làm cho các electron tự do di chuyển ngược chiều điện trường và các lỗ trống di chuyển cùng chiều điện trường. Cả hai sự di chuyển này gây ra trong bán dẫn một dòng điện có chiều cùng chiều điện trường được gọi là dòng trôi (drift current). Dòng trôi phụ thuộc nhiều vào khả năng di chuyển của hạt dẫn trong bán dẫn, khả năng di chuyển được đánh giá bằng độ linh động của hạt dẫn. Độ linh động này phụ thuộc vào loại hạt dẫn cũng như loại vật liệu, một số giá trị tiêu biểu được trình bày trong bảng sau:

Silicon	Germanium
$\mu_n = 0.14 \text{ m}^2/(\text{Vs})$	$\mu_n = 0.38 \text{ m}^2/(\text{Vs})$
$\mu_p = 0.05 \text{ m}^2/(\text{Vs})$	$\mu_p = 0.18 \text{ m}^2/(\text{Vs})$

Dựa trên độ linh động, vận tốc của hạt dẫn trong điện trường \bar{E} , đơn vị V/m, được tính theo công thức 1-3

$$\begin{aligned} v_n &= \bar{E}\mu_n \\ v_p &= \bar{E}\mu_p \end{aligned} \quad (1-3)$$

Ta có thể sử dụng độ linh động của hạt dẫn để tính mật độ dòng điện J trong bán dẫn khi biết cường độ điện trường. Mật độ dòng điện là dòng điện trên một đơn vị diện tích.

$$J = J_n + J_p = nq_n\mu_n E + pq_p\mu_p E = nq_nv_n + pq_pv_p \quad (1-4)$$

với J = mật độ dòng điện, A/m²

n, p = mật độ electron tự do và lỗ trống, hạt dẫn/m³

q_n, q_p = đơn vị điện tích electron = 1.6×10^{-19} C

μ_n, μ_p = độ linh động của electron tự do và lỗ trống, m²/(Vs)

\bar{E} = cường độ điện trường, V/m

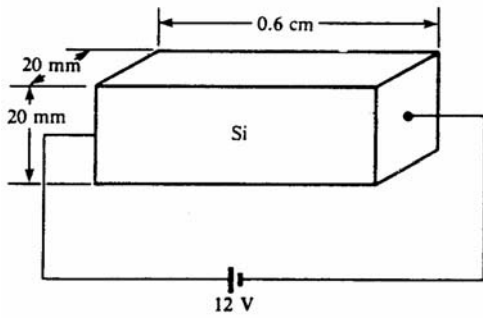
v_n, v_p = vận tốc electron tự do và lỗ trống, m/s

Biểu thức (1-4) cho thấy mật độ dòng điện là tổng của mật độ dòng electron J_n và mật độ dòng lỗ trống J_p .

Ví dụ 1-2

Một hiệu điện thế 12 V được đặt lên hai đầu của một thanh bán dẫn thuần trong hình 1-5. Giả sử là $n_i = 1.5 \times 10^{10}$ electron/m³, $\mu_n = 0.14 \text{ m}^2/(\text{Vs})$ và $\mu_p = 0.05 \text{ m}^2/(\text{Vs})$. Tìm:

1. Vận tốc electron tự do và lỗ trống;
2. Mật độ dòng electron tự do và lỗ trống;
3. Mật độ dòng tổng cộng;
4. Dòng tổng cộng trong thanh bán dẫn.



Hình 1-5
 Ví dụ 1-2

Hướng dẫn

Ta sẽ giả sử điện trường là đồng bộ trên toàn thanh bán dẫn thuần.

1. Từ biểu thức 1-3 ta có:

$$\begin{aligned} \bar{E} &= (12 \text{ V}) / (0.6 \times 10^{-2} \text{ m}^2) = 2 \times 10^3 \text{ V/m} \\ v_n &= \bar{E} \mu_n = (2 \times 10^3 \text{ V/m}) \times [0.14 \text{ m}^2 / (\text{Vs})] = 2.8 \times 10^2 \text{ m/s} \\ v_p &= \bar{E} \mu_p = (2 \times 10^3 \text{ V/m}) \times [0.05 \text{ m}^2 / (\text{Vs})] = 10^2 \text{ m/s} \end{aligned}$$

2. Vì vật liệu là thuần nên

$$\begin{aligned} p_i &= n_i = (1.5 \times 10^{10} / \text{cm}^3) / (10^{-6} \text{ m}^3 / \text{cm}^3) = 1.5 \times 10^{16} / \text{m}^3 \\ J_n &= n_i q_n v_n = 0.672 \text{ A/m}^2 \\ J_p &= p_i q_p v_p = 0.24 \text{ A/m}^2 \end{aligned}$$

3. $J = J_n + J_p = 0.672 + 0.24 = 0.912 \text{ A/m}^2$

4. Tiết diện ngang của thanh là: $(20 \times 10^{-3} \text{ m})(20 \times 10^{-3} \text{ m}) = 4 \times 10^{-4} \text{ m}^2$. Do đó, dòng điện $I = JA = (0.912 \text{ A/m}^2)(4 \times 10^{-4} \text{ m}^2) = 0.635 \text{ mA}$

Điện trở có thể được tính bằng cách dùng công thức

$$R = \rho \frac{l}{A} \tag{1-5}$$

với $R =$ điện trở, Ω

$\rho =$ điện trở suất, Ωm

$l =$ chiều dài, m

$A =$ tiết diện ngang, m^2

Điện dẫn, đơn vị siemens (S), được định nghĩa là nghịch đảo của điện trở, và điện dẫn suất, đơn vị S/m, là nghịch đảo của điện trở suất

$$\sigma = \frac{1}{\rho} \tag{1-6}$$

Điện dẫn suất của vật liệu bán dẫn có thể được tính theo công thức

$$\sigma = nq_n \mu_n + pq_p \mu_p \tag{1-7}$$

Ví dụ 1-3

1. Tính điện dẫn suất và điện trở suất của thanh bán dẫn trong ví dụ 1-2

2. Dùng kết quả của (1) để tìm dòng trong thanh bán dẫn khi điện áp trên hai đầu của thanh là 12 V.

Hướng dẫn

$$n = p = n_i = p_i = 1.5 \times 10^6 / \text{m}^3$$

$$1. \sigma = (1.5 \times 10^6)(0.14)(1.6 \times 10^{-19}) + (1.5 \times 10^6)(0.05)(1.6 \times 10^{-19}) = 4.56 \times 10^{-4} \text{ S/m}$$

$$\rho = \frac{1}{\sigma} = 2192.98 \Omega\text{m}$$

$$2. R = \rho \frac{l}{A} = \frac{(2192.98)(0.6 \times 10^{-2})}{4 \times 10^{-4}} = 32.98 \text{ k}$$

$$I = \frac{E}{R} = \frac{12}{32.98 \times 10^3} = 0.365 \text{ mA}$$

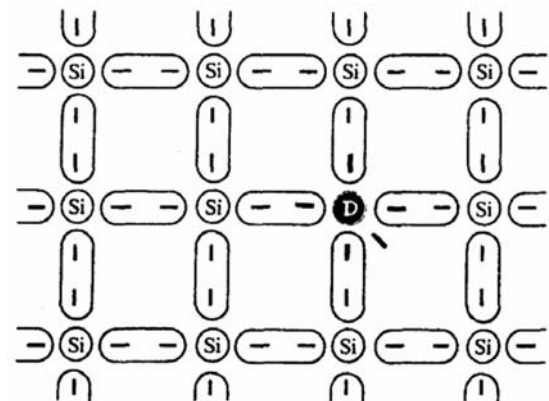
1-3-3 Dòng khuếch tán

Trong bán dẫn còn có một dạng dòng điện khác bên cạnh dòng trôi. Nếu như trong bán dẫn có sự chênh lệch mật độ hạt dẫn thì các hạt dẫn sẽ có khuynh hướng di chuyển từ nơi có mật độ hạt dẫn cao đến nơi có mật độ hạt dẫn thấp hơn nhằm cân bằng mật độ hạt dẫn. Quá trình di chuyển này sinh ra một dòng điện bên trong bán dẫn. Dòng điện này được gọi là dòng khuếch tán (diffusion current). Dòng khuếch tán có tính chất quá độ (thời gian tồn tại ngắn) trừ khi sự chênh lệch mật độ được duy trì trong bán dẫn.

1-4 Bán dẫn loại N và bán dẫn loại P

Trong phần trước ta đã biết bán dẫn thuần hay còn gọi là bán dẫn nội tại (intrinsic semiconductor) có mật độ electron tự do bằng với mật độ lỗ trống. Trong quá trình chế tạo các vật liệu bán dẫn được dùng trong các ứng dụng thực tế, sự cân bằng này sẽ bị thay đổi. Người ta sẽ tạo ra vật liệu bán dẫn trong đó mật độ electron lớn hơn mật độ lỗ trống hoặc vật liệu bán dẫn có mật độ lỗ trống lớn hơn mật độ electron tự do. Các vật liệu bán dẫn này được gọi là bán dẫn có pha tạp chất. Bán dẫn mà electron tự do chi phối được gọi là bán dẫn loại N, và ngược lại, bán dẫn trong đó lỗ trống chi phối chủ yếu được gọi là bán dẫn loại P.

Trước tiên ta xem xét cách thức tạo ra bán dẫn loại N. Giả sử ta có thể đặt vào bên trong cấu trúc tinh thể một nguyên tử có năm electron lớp ngoài cùng thay vì bốn. Nguyên tử này vẫn sẽ dùng bốn electron lớp ngoài cùng của nó để tạo liên kết hóa trị như thông thường. Vì vậy nguyên tử tạp chất trở thành một phần trong cấu trúc tinh thể. Tuy nhiên, electron thứ năm không tạo được liên kết nên nó có liên kết rất yếu với hạt nhân nguyên tử. Hình 1-6 trình bày cấu trúc tinh thể bán dẫn có pha tạp chất. Nguyên tử tạp chất lúc này được gọi là nguyên tử tạp chất cho (donor). Khi đưa vào bán dẫn một số lượng lớn nguyên tử tạp chất, một số lượng lớn electron dư thừa cũng được tạo ra. Các vật liệu được sử dụng như tạp chất cho donor thông thường là antimony, arsenic, phosphorus.

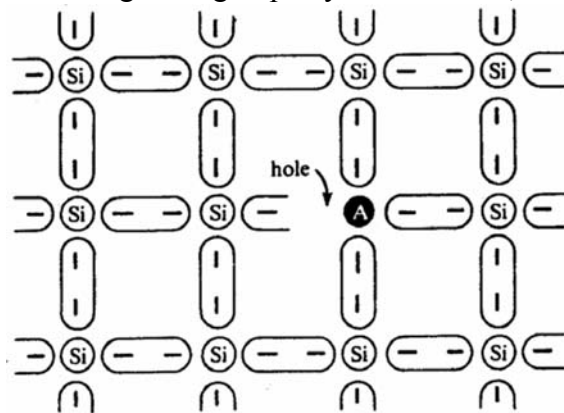


Hình 1-6

Cấu trúc tinh thể bán dẫn chứa một nguyên tử donor. Hạt nhân của donor ký hiệu là D. Lưu ý là donor có một electron thừa.

Quá trình pha tạp chất vào bán dẫn thuần được gọi là quá trình kích thích (doping). Bán dẫn thuần được nói là bị kích thích (doped) bằng nguyên tử tạp chất và bán dẫn đã pha tạp chất được gọi là bán dẫn không thuần (dopant). Vật liệu Si trong hình 1-6 bị kích thích (doped) với nguyên tử donor, do đó nó chứa các electron dư thừa. Vì các electron này có liên kết rất yếu với hạt nhân nên chỉ cần một năng lượng rất nhỏ thì electron này đã có thể trở thành electron tự do trong vùng dẫn và nguyên tử tạp chất trở thành một ion dương. Trong các tính toán sau, ta luôn giả sử là tất cả các nguyên tử tạp chất đều bị ion hóa trở thành ion dương. Cần phải lưu ý là toàn bộ bán dẫn lúc này vẫn trung hòa về điện, điều này là do bản thân bán dẫn thuần và tạp chất pha vào đều trung hòa về điện, do đó khi pha tạp chất vào thì bán dẫn có pha tạp chất vẫn trung hòa về điện.

Bán dẫn loại P được tạo ra bằng cách đưa một tạp chất chỉ có ba electron lớp ngoài cùng vào bán dẫn thuần. Lúc này, trong cấu trúc tinh thể bán dẫn xảy ra sự thiếu electron vì nguyên tử tạp chất chỉ có thể dùng ba electron lớp ngoài cùng để tạo liên kết hóa trị. Nói cách khác, bên trong bán dẫn xuất hiện thêm lỗ trống. Nguyên tử tạp chất được gọi là tạp chất nhận (acceptor). Hình 1-7 cho thấy một nguyên tử acceptor trong cấu trúc tinh thể bán dẫn Si. Vật liệu thường được dùng làm tạp chất trong trường hợp này là aluminum, boron, gallium, indium.



Hình 1-7
 Cấu trúc tinh thể bán dẫn có chứa một nguyên tử acceptor. Nguyên tử acceptor được ký hiệu là A. Lưu ý đến liên kết hóa trị không đầy đủ.

Trong vật liệu bán dẫn loại N, mặc dù số lượng electron tự do nhiều hơn hẳn so với lỗ trống nhưng lỗ trống vẫn tồn tại trong bán dẫn. Sự chi phối của electron tự do đối với mật độ hạt dẫn phụ thuộc vào lượng tạp chất pha vào bán dẫn. Lượng tạp chất donor càng lớn, mật độ electron tự do càng cao và càng chiếm ưu thế so với lượng lỗ trống. Do đó, trong bán dẫn loại N, electron tự do được gọi là hạt dẫn đa số (hoặc hạt dẫn chủ yếu), lỗ trống được gọi là hạt dẫn thiểu số (hoặc hạt dẫn thứ yếu).

Một mối quan hệ quan trọng giữa mật độ electron và mật độ lỗ trống trong hầu hết các bán dẫn trong thực tế là

$$np = n_i^2 \tag{1-8}$$

với n = mật độ electron

p = mật độ lỗ trống

n_i = mật độ electron trong bán dẫn thuần

Tất cả các biểu thức đã thảo luận liên quan đến độ linh động, độ dẫn điện và mật độ dòng điện là đúng đối với bán dẫn thuần cũng như bán dẫn pha tạp chất. Mật độ hạt dẫn trong các tính toán thường được xác định bởi biểu thức 1-8.

Ví dụ 1-4

Một thanh silicon có mật độ electron trong bán dẫn thuần là 1.4×10^{16} electron/ m^3 bị kích thích bởi các nguyên tử tạp chất cho đến khi mật độ lỗ trống là 8.5×10^{21} lỗ trống/ m^3 . Độ linh động của electron và lỗ trống là $\mu_n = 0.14$ $m^2/(Vs)$ và $\mu_p = 0.05$ $m^2/(Vs)$.

1. Tìm mật độ electron trong bán dẫn đã pha tạp chất.
2. Bán dẫn là loại N hay loại P?
3. Tìm độ dẫn điện của bán dẫn pha tạp chất.

Hướng dẫn

1. Từ biểu thức 1-8:

$$n = \frac{n_i^2}{p} = \frac{(1.4 \times 10^{16})^2}{8.5 \times 10^{21}} = 2.3 \times 10^{10} \text{ electron/m}^3$$

2. Vì $p > n$, vật liệu là loại P.

3. Từ biểu thức 1-7:

$$\begin{aligned}\sigma &= n\mu_n q_n + p\mu_p q_p \\ &= (2.3 \times 10^{10})(0.14)(1.6 \times 10^{-19}) + (8.5 \times 10^{21})(0.05)(1.6 \times 10^{-19}) \\ &= 5.152 \times 10^{-10} + 68 \approx 68 \text{ S/m}\end{aligned}$$

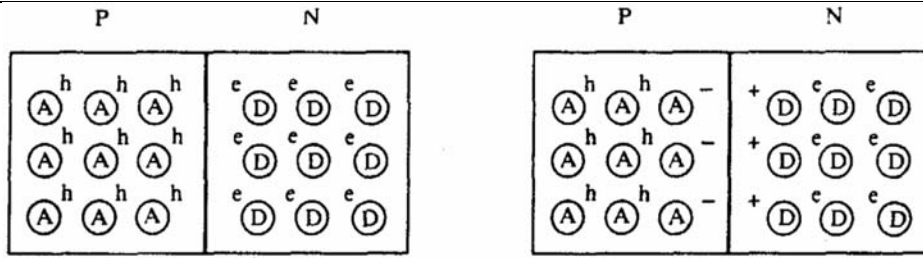
Trong ví dụ trên, ta có thể thấy rằng độ dẫn điện của toàn bộ bán dẫn loại P phụ thuộc chủ yếu vào thành phần do lỗ trống gây ra. Điều này cũng đúng trong thực tế, độ dẫn điện của bán dẫn chủ yếu do hạt dẫn đa số quyết định. Biểu thức 1-9 mô tả độ dẫn điện xấp xỉ trong hai loại bán dẫn N và P.

$$\begin{aligned}\sigma &\approx n\mu_n q_n \\ \sigma &\approx p\mu_p q_p\end{aligned}\tag{1-9}$$

1-5 Chuyển tiếp PN

Khi ta ghép một bán dẫn loại N và một bán dẫn loại P, vùng tiếp giáp của hai bán dẫn được gọi là chuyển tiếp PN. Vùng này là thành phần cơ bản của hầu hết các linh kiện điện tử bán dẫn. Thật ra, để tạo được chuyển tiếp PN, không chỉ đơn giản là đặt hai bán dẫn cạnh nhau. Trong thực tế, người ta tạo ra chuyển tiếp PN bằng cách tạo ra một sự chuyển dần mật độ hạt dẫn trong cùng một tinh thể bán dẫn.

Giả sử là khối bán dẫn loại P phía tay trái đột ngột được ghép với khối bán dẫn loại N phía tay phải như trong hình 1-8(a). Trong phần trước, ta đã biết rằng lỗ trống là hạt dẫn đa số trong bán dẫn loại P và electron tự do là hạt dẫn đa số trong bán dẫn loại N. Hai bán dẫn này đều trung hòa về điện. Do sự chênh lệch về mật độ hạt dẫn nên dòng khuếch tán xuất hiện. Các electron tự do trong N khuếch tán sang P và các lỗ trống trong P khuếch tán sang N.



(a) Blocks of P and N materials at the instant they are joined; both blocks are initially neutral.

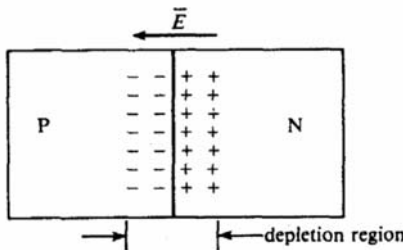
(b) The PN junction showing charged ions after hole and electron diffusion.

Hình 1-8

Sự hình thành chuyển tiếp PN. A = nguyên tử acceptor; h = lỗ trống của acceptor; D = nguyên tử donor; e = electron của donor.
 + = ion dương; - = ion mang điện tích âm.

Khi một electron rời bỏ miền N để đi vào miền P, nó để lại bên phía N một ion donor mang điện tích dương, khi một lỗ trống rời bỏ miền P để đi vào miền N, nó để lại bên phía P một ion acceptor mang điện tích âm. Quá trình này xảy ra tức thời và liên tục ngay sau khi ghép bán dẫn loại N với bán dẫn loại P làm cho vùng hai bên tiếp giáp mang các điện tích trái dấu, bên N mang điện tích dương và bên P mang điện tích âm. Vùng điện tích này được gọi là điện tích không gian (space charge).

Việc tập trung điện tích trái dấu ở hai bên chuyển tiếp làm xuất hiện một điện trường được gọi là điện trường tiếp xúc. Chiều của điện trường này là từ N sang P. Hình 1-9 minh họa việc phát sinh điện trường \vec{E} ngang qua chuyển tiếp PN.



Hình 1-9

Điện trường \vec{E} trên chuyển tiếp PN ngăn dòng khuếch tán từ N sang P. Không có hạt dẫn trong vùng nghèo (độ rộng của nó có tỉ lệ nhỏ hơn nhiều so với hình vẽ).

Cần phải lưu ý là hướng của điện trường lúc này là cùng chiều với dòng electron từ N sang P và ngược chiều với dòng lỗ trống từ P sang N. Chính vì vậy, dòng khuếch tán của hạt dẫn đa số bị ngăn cản bởi điện trường \vec{E} . Thêm vào đó, điện trường này còn gây ra một dòng điện trôi cùng chiều với nó, từ P sang N. Dòng điện trôi này được tạo thành từ dòng electron từ P chạy sang N và dòng lỗ trống từ N chạy sang P. Vì các hạt dẫn này là các hạt dẫn thiểu số, nên dòng trôi thường có biên độ rất nhỏ so với dòng khuếch tán. Dòng này được gọi là dòng ngược. Ở trạng thái cân bằng (khi không chịu tác động của điện trường ngoài), vì điện trường \vec{E} ngăn cản dòng trôi và tạo ra dòng khuếch tán nên dòng trôi bằng với dòng khuếch tán và dòng tổng cộng qua chuyển tiếp PN là bằng 0.

Trong vùng điện tích ở hai bên chuyển tiếp, mật độ hạt dẫn rất thấp do các hạt dẫn trong vùng này đều tức thời bị khuếch tán hoặc trôi sang vùng đối diện dưới tác động của điện trường. Vùng này được gọi là vùng nghèo (depletion region). Bề rộng vùng nghèo phụ thuộc vào nồng độ tạp chất pha vào trong bán dẫn loại N và loại P. Vùng nghèo sẽ mở rộng về phía có nồng độ tạp chất thấp hơn.

Điện trường trong hình 1-9 là kết quả của một hiệu điện thế tồn tại ở hai bên chuyển tiếp. Hiệu điện thế này được gọi là hiệu điện thế hàng rào (barrier). Giá trị của hiệu điện thế hàng rào, ký hiệu

V_0 hoặc V_γ , bị phụ thuộc vào mức độ pha tạp chất, loại vật liệu và nhiệt độ. Biểu thức 1-10 cho thấy công thức xác định hiệu điện thế hàng rào:

$$V_0 = V_\gamma = \frac{kT}{q} \ln \left(\frac{N_A N_D}{n_i^2} \right) \quad (1-10)$$

với $V_0 = V_\gamma =$ hiệu điện thế hàng rào, volts

$k =$ hằng số Boltzmann = 1.38×10^{-23} J/K

$T =$ nhiệt độ tuyệt đối, K

$q =$ đơn vị điện tích = 1.6×10^{-19} C

$N_A =$ nồng độ tạp chất acceptor trong bán dẫn loại P

$N_D =$ nồng độ tạp chất donor trong bán dẫn loại N

$n_i =$ mật độ hạt dẫn trong bán dẫn thuần

Chú ý rằng hiệu điện thế hàng rào tỉ lệ thuận với nhiệt độ, và như chúng ta sẽ thấy ở các phần sau, nhiệt độ đóng một vai trò rất quan trọng trong các linh kiện bán dẫn. Để thể hiện sự phụ thuộc của hiệu điện thế vào nhiệt độ, người ta đưa ra khái niệm điện thế nhiệt:

$$V_T = \frac{kT}{q} \quad (1-11)$$

Thay vào biểu thức 1-10, ta có

$$V_0 = V_\gamma = V_T \ln \left(\frac{N_A N_D}{n_i^2} \right) \quad (1-12)$$

Ví dụ 1-5

Một chuyển tiếp PN được tạo nên từ bán dẫn loại P có 10^{22} acceptor/m³ và bán dẫn loại N có 1.2×10^{21} donor/m³. Tìm điện thế nhiệt và điện thế hàng rào tại 25 °C.

Hướng dẫn

$T = 273 + 25 = 298$ K. Từ biểu thức 1-11,

$$V_T = \frac{(1.38 \times 10^{-23})(298)}{(1.6 \times 10^{-19})} = 25.7 \text{ mV}$$

$$n_i^2 = (1.5 \times 10^{16})^2 = 2.25 \times 10^{32}$$

Từ biểu thức 1-12:

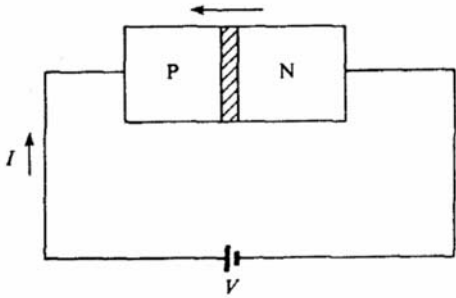
$$V_0 = (0.025)(24.6998) = 0.635 \text{ V}$$

1-6 Phân cực chuyển tiếp PN

Trong lý thuyết về mạch điện tử, từ “phân cực” nhằm chỉ điện áp dc hoặc dòng điện dc trong linh kiện. Dòng điện hoặc điện áp dc này được duy trì bằng một nguồn dc nối với linh kiện thông qua một mạch phân cực. Chuyển tiếp PN có thể được phân cực bằng cách dùng một nguồn điện áp đặt lên hai đầu của chuyển tiếp.

Trong phần 1-5 ta đã thấy rằng trong chuyển tiếp PN tồn tại một điện trường có tác dụng ngăn cản dòng khuếch tán của hạt dẫn đa số và sinh ra dòng trôi của hạt dẫn thiểu số. Khi nguồn dc được đặt lên chuyển tiếp PN, nó có thể cùng chiều hoặc ngược chiều với điện trường tiếp xúc. Hình 1-10

cho thấy một cách đặt nguồn điện áp lên chuyển tiếp PN. Trong hình này, cực dương của nguồn được nối với P và cực âm của nguồn được nối với N. Với chiều của điện áp như hình 1-10 thì điện trường do nguồn ngoài gây ra là ngược chiều với điện trường tiếp xúc. Lúc này điện thế hàng rào giảm xuống và dòng khuếch tán của hạt dẫn đa số tăng lên. Cách phân cực này được gọi là phân cực thuận chuyển tiếp PN.



Hình 1-10

Nguồn áp V phân cực thuận chuyển tiếp PN. Vùng nghèo (vùng gạch chéo) trở nên hẹp hơn.

Khi chuyển tiếp PN được phân cực thuận, điện thế hàng rào giảm xuống, do đó số lượng các ion acceptor và donor ở hai bên chuyển tiếp cũng giảm xuống. Kết quả là bề rộng vùng nghèo bị thu hẹp.

1-6-1 Biểu thức diode

Như ta sẽ biết trong phần sau, chuyển tiếp PN là cấu trúc chính tạo nên linh kiện diode. Mọi quan hệ giữa điện áp V trên chuyển tiếp PN và dòng điện I qua chuyển tiếp được gọi là biểu thức diode

$$I = I_S (e^{V/\eta V_T} - 1) \quad (1-13)$$

với I = dòng qua chuyển tiếp, A

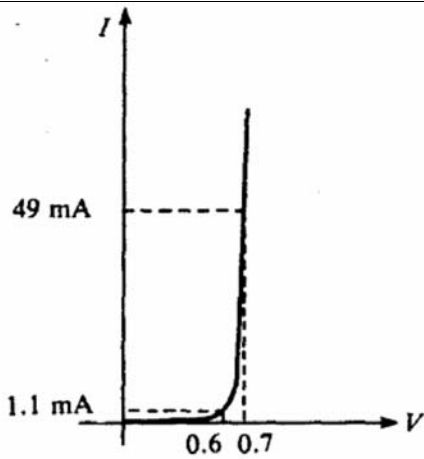
V = điện áp trên chuyển tiếp, V (dương khi phân cực thuận)

I_S = dòng ngược bão hòa, A (I_S còn có thể được ký hiệu là I_o)

η = hệ số phát (là hàm của V , giá trị của nó phụ thuộc vào vật liệu; $1 \leq \eta \leq 2$)

V_T = điện thế nhiệt (xem biểu thức 1-11)

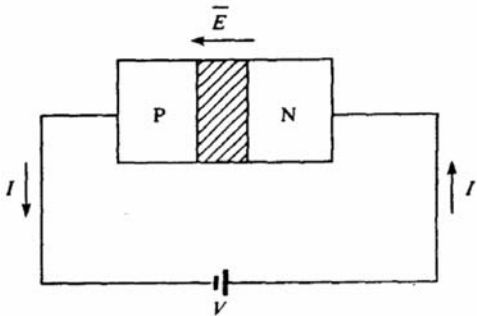
Giá trị của V_T ở nhiệt độ phòng là khoảng 26 mV. Giá trị của η đối với silicon thường được giả sử là 1 đối với $V \geq 0.5$ V và xấp xỉ 2 khi V tiến đến 0. Vì vậy khi V lớn hơn $2V_T$, tức là khoảng 0.05 V, $e^{V/\eta V_T}$ bắt đầu tăng một cách nhanh chóng theo V . Đối với $V > 0.2$ V, lũy thừa này rất lớn hơn 1. Kết quả là biểu thức 1-13 cho thấy dòng I trong chuyển tiếp PN gia tăng rất nhanh khi điện áp phân cực thuận vượt quá 200 mV. Dòng bão hòa I_S thường rất nhỏ (vì thực chất đây là dòng ngược), nhưng vì I_S được nhân với một lũy thừa rất lớn nên bản thân dòng I có thể trở nên rất lớn. Hình 1-11 cho thấy quan hệ của I theo V , nó được gọi là đặc tuyến VA của diode.



V	I
0	0
0.01	0.02 pA
0.05	0.16 pA
0.1	0.58 pA
0.2	4.58 pA
0.3	31.9 pA
0.4	219 pA
0.5	22 μA
0.6	1.1 mA
0.7	49 mA

Hình 1-11

Dòng điện và điện áp trong một chuyển tiếp silicon phân cực thuận, $I_s = 0.1 \text{ pA}$



Hình 1-12

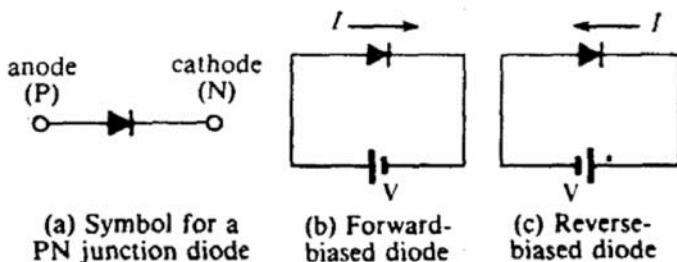
Nguồn áp V phân cực ngược chuyển tiếp PN. Vùng nghèo (vùng gạch chéo) được mở rộng ra (so với hình 1-10).

Bây giờ ta giả sử là kết nối của chuyển tiếp PN và nguồn điện áp ngoài được đảo ngược lại, cực dương của nguồn nối với N và cực âm của nguồn nối với P. Cách kết nối này được gọi là phân cực ngược chuyển tiếp PN.

Trong trường hợp này điện trường ngoài có khuynh hướng gia tăng điện trường tiếp xúc. Kết quả là dòng khuếch tán bị ngăn cản, và cường độ của nó giảm xuống so với khi không phân cực. Cường độ điện trường gia tăng đồng nghĩa với việc gia tăng số lượng ion donor và acceptor hai bên chuyển tiếp và bề rộng vùng nghèo mở rộng khi phân cực ngược.

Ta cũng đã biết là trong chuyển tiếp PN có dòng điện trôi của các hạt dẫn thiểu số sinh ra dưới tác động của điện trường tiếp xúc. Vì điện trường tiếp xúc tăng lên khi phân cực ngược nên dòng trôi cũng tăng tỉ lệ. Tuy nhiên, vì dòng này là dòng của hạt dẫn thiểu số nên biên độ của nó nhỏ hơn rất nhiều so với dòng điện thuận khi phân cực thuận.

Đây chính là điểm phân biệt rõ ràng nhất giữa phân cực ngược và phân cực thuận, có một dòng điện rất lớn qua chuyển tiếp khi phân cực thuận và một dòng điện rất nhỏ chảy qua theo hướng ngược lại khi phân cực ngược. Đây là một đặc tính rất hữu ích của các linh kiện được tạo nên từ chuyển tiếp PN. Trong thực tế, chuyển tiếp PN được đặt vào một vỏ linh kiện phù hợp, qua đó các chân linh kiện sẽ tạo một kết nối giữa các thành phần bên ngoài với bán dẫn N và P. Linh kiện này được gọi là diode. Phía P được gọi là anode, phía N được gọi là cathode. Hình 1-13(a) cho thấy biểu tượng mạch của diode. Hình 1-13(b) cho thấy phân cực thuận diode và hình 1-13(c) là phân cực ngược cho diode.



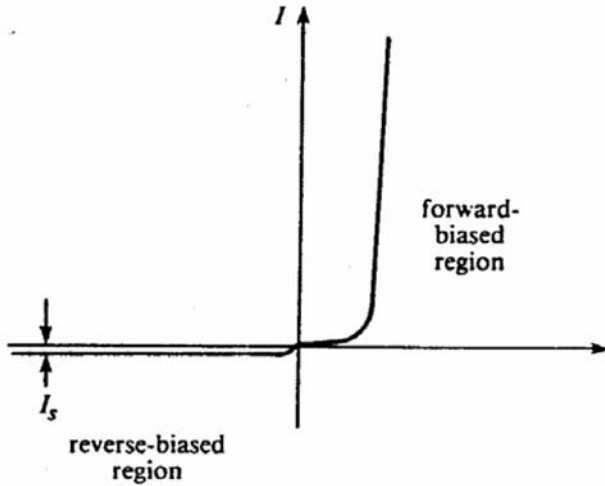
Hình 1-13

Biểu tượng mạch của diode và mạch phân cực.

Trở lại thảo luận trường hợp phân cực ngược diode, có thể thấy rằng dòng điện thuận và dòng điện ngược là ngược chiều nhau. Do đó, để thuận tiện, ta thường quy ước dòng điện thuận có chiều dương và dòng điện ngược có chiều âm. Khi đó, biểu thức 1-13 cũng có thể được dùng để tính cho phân cực ngược.

$$I = I_S (e^{V/\eta V_T} - 1) \quad (1-14)$$

Từ quan điểm đồ thị, hình 1-14 trình bày quan hệ của V và I khi phân cực thuận và phân cực ngược theo qui ước trên.



Hình 1-14

Quan hệ dòng – áp trong chuyển tiếp PN dưới phân cực thuận và phân cực ngược. Lưu ý là thang tỉ lệ của dòng ngược đã được thu nhỏ.

Khi V khoảng vài chục volt trong phân cực ngược, thành phần lũy thừa có thể bỏ qua so với 1. Kết quả là:

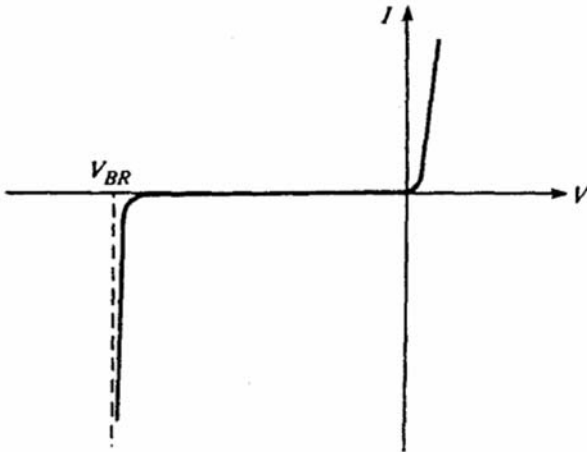
$$I \approx I_S (0 - 1) = -I_S \quad (1-15)$$

Biểu thức 1-15 chứng tỏ rằng dòng ngược trong chuyển tiếp bằng dòng bão hòa I_S , điều đó có nghĩa là dòng ngược trong thực tế không thể vượt quá dòng ngược bão hòa của chuyển tiếp.

Biểu thức 1-14 được gọi là biểu thức diode lý tưởng. Trong các diode thực, dòng ngược có thể vượt quá I_S . Lý do của việc này là do sự xuất hiện của dòng rò bề mặt, dòng này chảy trên bề mặt của diode, tuân theo định luật Ohm và có giá trị lớn hơn rất nhiều so với dòng ngược bão hòa, có thể lên đến 100.000 lần so với I_S .

1-6-2 Đánh thủng chuyển tiếp PN

Nếu điện áp phân cực ngược tăng đến giá trị điện áp đánh thủng V_{BR} (breakdown voltage), một dòng ngược rất lớn sẽ chảy qua chuyển tiếp. Hơn nữa, một sự gia tăng rất nhỏ trong điện áp sẽ tạo ra một gia tăng rất lớn trong dòng ngược. Nói cách khác, diode không còn giữ được đặc tính hoạt động thông thường của nó. Hình 1-15 cho thấy đặc tuyến VA của diode khi kể đến vùng đánh thủng.



Hình 1-15
 Quan hệ $I-V$ của diode cho thấy sự gia tăng đột ngột của dòng khi áp gần đến điện áp đánh thủng.

Trong các diode thông thường, hiện tượng đánh thủng xảy ra vì điện trường quá lớn trong vùng nghèo sẽ làm phát sinh một số lượng hạt dẫn rất lớn làm gia tăng dòng ngược. Quá trình này được gọi là đánh thủng thác lũ (avalanching). Biên độ của dòng ngược khi V xấp xỉ V_{BR} có thể được tính bằng biểu thức sau:

$$I = \frac{I_S}{1 - \left(\frac{V}{V_{BR}}\right)^n} \quad (1-16)$$

với n là hằng số được xác định từ thực nghiệm.

Một số loại diode đặc biệt, ví dụ như diode zener được thiết kế để làm việc trong vùng đánh thủng. Đặc tuyến zener có dạng gần như thẳng đứng trong vùng đánh thủng có nghĩa là diode zener duy trì một điện áp không đổi, độc lập với dòng ngược qua diode. Diode zener bị kích thích bằng tạp chất nhiều hơn so với các diode thông thường, chúng có bề rộng vùng nghèo nhỏ và điện thế hàng rào thấp. Cơ chế đánh thủng trong các diode zener có điện áp đánh thủng nhỏ hơn 5 V khác với cơ chế đánh thủng thác lũ đã đề cập ở trên, cơ chế này được gọi là cơ chế đánh thủng xuyên hầm. Đánh thủng thác lũ xảy ra đối với các diode zener có điện áp đánh thủng lớn hơn 8 V, và cả hai dạng đánh thủng sẽ xảy ra khi điện áp đánh thủng là từ 5 V đến 8 V.

Công suất tiêu hao trên diode có thể được tính bằng

$$P = VI \text{ watts} \quad (1-17)$$

với V = điện áp trên diode

I = dòng điện qua diode

Nếu công suất này vượt quá định mức cho phép, diode sẽ bị phá hủy vĩnh viễn.

1-6-3 Ảnh hưởng của nhiệt độ

Biểu thức diode lý tưởng chứng tỏ là cả phân cực ngược và phân cực thuận đều bị ảnh hưởng bởi nhiệt độ, thông qua đại lượng V_T . Dòng bão hòa I_S cũng phụ thuộc vào nhiệt độ. Thật ra, giá trị của I_S nhạy với nhiệt độ hơn V_T , vì vậy nó có ảnh hưởng mạnh hơn lên tính chất của diode. Một qui luật thường được sử dụng là dòng I_S tăng gấp đôi khi nhiệt độ tăng 10 °C.

Ví dụ 1-7

Một diode silicon có dòng bão hòa là 0.1 pA ở 20 °C. Tìm dòng điện qua nó khi được phân cực thuận ở 0.55 V. Tìm dòng trong diode khi nhiệt độ tăng lên đến 100 °C.

Hướng dẫn

Từ biểu thức 1-11, tại $T = 20\text{ }^{\circ}\text{C}$

$$V_T = \frac{(1.38 \times 10^{-23})(273 + 20)}{(1.6 \times 10^{-19})} = 0.02527\text{ V}$$

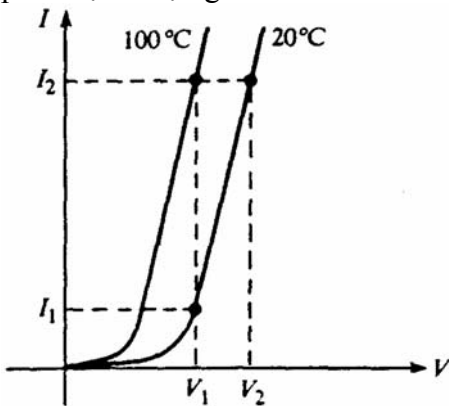
Từ biểu thức 1-13, giả sử $\eta = 1$

$$I = I_S (e^{V/\eta V_T} - 1) = 10^{-13} (e^{0.55/0.02527} - 1) = 0.283\text{ mA}$$

Tại $100\text{ }^{\circ}\text{C}$, $V_T = \frac{(1.38 \times 10^{-23})(273 + 100)}{(1.6 \times 10^{-19})} = 0.03217\text{ V}$

Khi nhiệt độ thay đổi từ $20\text{ }^{\circ}\text{C}$ đến $100\text{ }^{\circ}\text{C}$, dòng I_S được nhân đôi 8 lần, do đó gia tăng 256 lần. Vì vậy $I = 256 \times 10^{-13} (e^{0.55/0.03217} - 1) = 0.681\text{ mA}$. Như vậy dòng điện tăng 240 % khi nhiệt độ thay đổi từ $20\text{ }^{\circ}\text{C}$ đến $100\text{ }^{\circ}\text{C}$.

Ví dụ 1-7 cho thấy rằng dòng điện thuận trong diode tăng theo nhiệt độ khi điện áp phân cực thuận không thay đổi. Hình 1-16 trình bày đặc tuyến VA của diode tại hai nhiệt độ khác nhau. Tại điện áp V_1 , dòng tăng từ I_1 đến I_2 khi nhiệt độ thay đổi từ $20\text{ }^{\circ}\text{C}$ đến $100\text{ }^{\circ}\text{C}$. Khi dòng điện được giữ không thay đổi, điện áp giảm khi nhiệt độ tăng. Tại dòng hằng số I_2 trong hình, điện áp giảm từ V_2 xuống V_1 khi nhiệt độ tăng từ $20\text{ }^{\circ}\text{C}$ đến $100\text{ }^{\circ}\text{C}$. Một qui tắc thường được dùng là điện áp phân cực thuận giảm 2.5 mV khi nhiệt độ tăng $1\text{ }^{\circ}\text{C}$ để giữ dòng điện không thay đổi.



Hình 1-16

Sự gia tăng của nhiệt độ làm cho đặc tuyến dịch sang trái.

Dĩ nhiên là dòng ngược cũng bị ảnh hưởng bởi nhiệt độ. Trong nhiều ứng dụng thực tế, việc gia tăng dòng ngược khi nhiệt độ tăng đặt ra một giới hạn trong việc ứng dụng diode nhiều hơn là ảnh hưởng của nhiệt độ lên dòng điện thuận. Điều này đặc biệt đúng đối với diode Ge. Diode Ge có giá trị I_S lớn hơn nhiều so với Si, giá trị này có thể lớn bằng hoặc thậm chí lớn hơn dòng rò. Do đó, với I_S tăng gấp đôi khi nhiệt độ tăng $10\text{ }^{\circ}\text{C}$, dòng ngược tổng cộng trên diode Ge có thể thay đổi rất lớn khi nhiệt độ thay đổi nhỏ. Vì lý do này, ngày nay diode Ge không còn được sử dụng rộng rãi.

2

Phân tích mạch chứa diode

2-1 Giới thiệu

Trong chương 1 ta đã học về cấu trúc và tính chất của chuyển tiếp PN và đã tìm hiểu qua linh kiện diode. Diode là một chuyển tiếp PN được đặt vào trong một vỏ linh kiện và kết nối với bên ngoài thông qua các chân linh kiện. Diode bán dẫn cũng có thể là một phần của một mạch tích hợp (integrated circuit) lớn hơn, trong trường hợp này, diode có thể có hoặc không có các chân nối với bên ngoài.

Trong chương này, ta sẽ xây dựng mối quan hệ giữa dòng điện và điện áp trong diode. Dựa vào đó, chúng ta sẽ học các phân tích mạch chứa diode bằng cách thay diode bằng một mạch tương đương đơn giản hơn. Ta sẽ thấy rằng việc chọn phần tử mạch tương đương là phụ thuộc vào điện áp và dòng điện qua diode, tức là phụ thuộc vào điểm làm việc của diode, và phụ thuộc vào độ chính xác mà ta cần khi phân tích mạch.

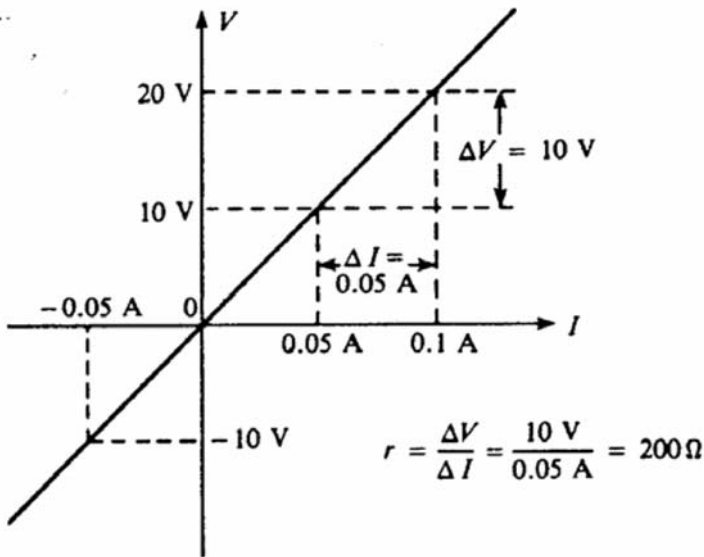
2-2 Diode là một linh kiện phi tuyến

Sự tuyến tính là một khái niệm quan trọng trong điện tử. Khái niệm này rất rộng, tuy nhiên, trong khía cạnh mà ta đang xem xét, ta có thể xem một linh kiện tuyến tính là một linh kiện mà đồ thị quan hệ của điện áp và dòng điện của linh kiện là một đường thẳng. Quan hệ này có thể được biểu diễn dưới dạng

$$V = K_1 I + K_2 \quad (2-1)$$

$$I = K_1' V + K_2' \quad (2-2)$$

Trong mối quan hệ này, tần số được giả sử là không đổi. Hình 2-1 là đồ thị vẽ điện áp trên một điện trở 200Ω và dòng điện qua nó. Đây là một quan hệ tuyến tính với $V = 200I$. Cần lưu ý rằng độ dốc của đặc tuyến là $r = \frac{\Delta V}{\Delta I} = 200$, và mối quan hệ tuyến tính là đúng cho cả phần âm lẫn phần dương của đặc tuyến. Việc thay đổi cực tính của điện áp trên điện trở và dòng điện ngang qua nó không làm thay đổi tính chất tuyến tính. Cũng cần chú ý là độ dốc của đặc tuyến (ngược đảo của đạo hàm) tại mọi điểm trên đặc tuyến là không đổi.



Hình 2-1

Đồ thị điện áp – dòng điện của điện trở. Điện trở là linh kiện tuyến tính, và giá trị $\Delta V / \Delta I$ là như nhau tại mọi điểm.

Thông thường, trong điện tử, khi biểu diễn mối quan hệ của điện áp – dòng điện, người ta thường vẽ dòng điện là trục tung và điện áp là trục hoành, đảo ngược so với hình 2-1. Dĩ nhiên trong trường hợp này đồ thị vẫn là đường thẳng; dạng biểu diễn của nó tương đương với biểu thức 2-2, với độ dốc có đơn vị là điện dẫn, $G = \frac{\Delta I}{\Delta V} = 1/R$ (siemens), thay vì điện trở.

Trong chương 1 ta đã biết là mối quan hệ của dòng điện và điện áp trên diode (tức là trên chuyển tiếp PN) có dạng

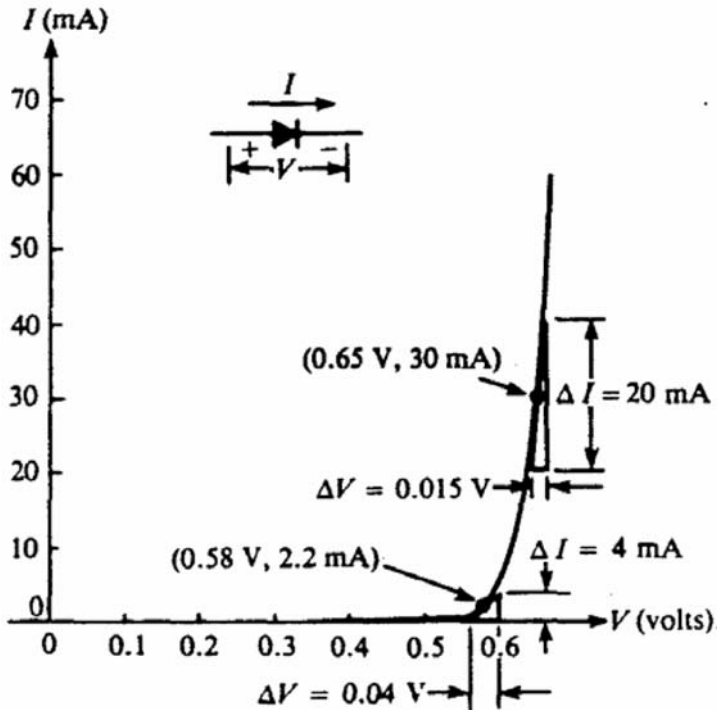
$$I = I_s (e^{V/nV_T} - 1) \tag{2-3}$$

với I_s = dòng ngược bão hòa

V_T = điện thế nhiệt (xem biểu thức 2-11)

η = hệ số phát, là hàm của V, có giá trị từ 1 đến 2

Biểu thức 2-3 không có dạng của biểu thức 2-1 hoặc 2-2, vì vậy mối quan hệ dòng – áp của diode không đạt tiêu chuẩn của một linh kiện tuyến tính. Ta kết luận diode là một linh kiện phi tuyến. Hình 2-2 là đặc tuyến $I - V$ của một diode silicon thông thường trong vùng phân cực thuận. Đồ thị rõ ràng không phải là một đường thẳng.



Hình 2-2
 Đặc tuyến phân cực thuận của diode. Giá trị $\Delta V/\Delta I$ phụ thuộc vào điểm được tính.

Hình 2-2 trình bày cách tìm ΔV và ΔI tại hai điểm khác nhau của đặc tuyến $I-V$. Dùng các giá trị này ta có thể tính điện trở của diode tại hai điểm từ $r = \frac{\Delta V}{\Delta I}$. Tại điểm $V = 0.65 \text{ V}$ và $I = 30 \text{ mA}$, ta có

$$r = \frac{\Delta V}{\Delta I} = \frac{0.015 \text{ V}}{20 \times 10^{-3} \text{ A}} = 0.75 \Omega$$

Tại điểm $V = 0.58 \text{ V}$ và $I = 2.2 \text{ mA}$, ta có

$$r = \frac{\Delta V}{\Delta I} = \frac{0.04 \text{ V}}{4 \times 10^{-3} \text{ A}} = 10 \Omega$$

Ta thấy rằng điện trở của diode thay đổi hơn 10 lần khi điện áp trên diode thay đổi từ 0.65 V đến 0.58 V. Không giống như một linh kiện tuyến tính, điện trở của một linh kiện phi tuyến phụ thuộc vào điện áp trên linh kiện hoặc dòng điện qua linh kiện, có nghĩa là điện trở phụ thuộc vào điểm mà tại đó ΔV và ΔI được tính. Trong trường hợp của diode ta cần phải lưu ý hơn nữa là đặc tuyến $I-V$ gần như trở nên nằm ngang ở dòng điện thấp và trong vùng phân cực ngược. Do đó, trong các vùng này, một sự thay đổi lớn trong điện áp, ΔV , chỉ tạo ra một thay đổi rất nhỏ trong dòng điện, ΔI , vì vậy giá trị của $r = \frac{\Delta V}{\Delta I}$ rất lớn.

Điểm nằm trên đặc tuyến $I-V$ mà ở đó diode chuyển từ giá trị điện trở cao sang giá trị điện trở thấp được gọi là điểm gián đoạn (break point hoặc knee) của đặc tuyến. Trong hình 2-2, điểm gián đoạn của đặc tuyến xuất hiện trong khoảng $I \approx 1 \text{ mA}$ đến $I \approx 5 \text{ mA}$. Khi dòng điện qua diode là lớn hoặc nhỏ hơn nhiều so với dòng điện tại điểm gián đoạn, ta nói rằng diode được phân cực trên hoặc dưới điểm gián đoạn (back bias).

2-3 Điện trở ac và dc

Điện trở đã tính trong phần trên bằng cách dùng biểu thức $\frac{\Delta V}{\Delta I}$ được gọi là điện trở ac (hoặc điện trở động của diode). Nó được gọi là điện trở ac bởi vì ta quan tâm đến những thay đổi nhỏ trong điện áp, ΔV , mà sẽ gây ra sự thay đổi trong dòng điện, ΔI . Trong cách sử dụng phương pháp đồ thị để tính điện trở ac, sự thay đổi của ΔV và ΔI phải đủ nhỏ để đảm bảo đoạn làm việc

có độ dốc không thay đổi nhiều. Lúc này ta mới có thể xem diode tương tự như một linh kiện tuyến tính. Ví dụ như trong hình 2-2, ta không nên tính điện trở ac giữa $V = 0.55 \text{ V}$ và $V = 0.65 \text{ V}$ bởi vì độ dốc của đặc tuyến thay đổi rất lớn giữa hai điểm này.

Ký hiệu cho điện trở ac là r , với qui ước chữ thường dành cho các đại lượng ac

$$r_D = \frac{\Delta V}{\Delta I} (\Omega) \quad (2-4)$$

Khi một điện áp dc được đặt lên hai đầu của diode, một dòng dc sẽ chảy qua nó. Điện trở dc của một diode được tính bằng cách lấy điện áp dc trên diode chia cho dòng điện dc chảy qua diode. Vì vậy điện trở dc còn được gọi là điện trở tĩnh, và được tính bằng định luật Ohm

$$R_D = \frac{V}{I} (\Omega) \quad (2-5)$$

Cũng giống như điện trở ac, giá trị điện trở dc có thể thay đổi khác nhau tùy thuộc vào điểm làm việc trên đặc tuyến $I-V$ mà tại đó ta cần tính điện trở. Ví dụ, trong hình 2-2, điện trở dc tại điểm gần điểm gián đoạn là $R_D = (0.58 \text{ V}) / (2.2 \text{ mA}) = 263.6 \Omega$ trong khi điện trở dc tại điểm trên điểm gián đoạn là $R_D = (0.65 \text{ V}) / (30 \text{ mA}) = 21.6 \Omega$. Đối với diode có đặc tuyến như hình 2-2, dòng ngược xấp xỉ khoảng $-1 \mu\text{A}$ khi $V = -1 \text{ V}$, vì vậy điện trở dc trong trường hợp này là $R_D = (-1 \text{ V}) / (-10^{-6} \text{ A}) = 1 \text{ M}\Omega$. Diode là một linh kiện phi tuyến trong cả chế độ ac lẫn dc.

Khi phân tích hoặc thiết kế một mạch chứa diode, thông thường ta không có sẵn đặc tuyến diode. Trong hầu hết các thiết kế thực tế, điện trở ac của một diode không được tính bằng đồ thị như đã làm ở phần trên mà có thể tính bằng các công thức xấp xỉ. Nếu cần tính điện trở ac của diode trong trường hợp diode được phân cực sao cho dòng dc của diode nằm trên điểm gián đoạn, ta có thể chứng minh được là điện trở ac có thể được tính xấp xỉ $r_D \cong \frac{V_T}{I}$, với V_T là điện thế nhiệt và I là dòng dc qua diode. Ở nhiệt độ $T = 300 \text{ K}$, V_T khoảng 26 mV , vì vậy tại nhiệt độ phòng này ta có

$$r_D \cong \frac{0.026}{I} (\Omega) \quad (2-6)$$

Biểu thức xấp xỉ này đúng cho cả diode silicon và germanium. Để minh họa cho việc sử dụng công thức 2-6, xét điểm nằm trên điểm gián đoạn của đặc tuyến $I-V$ trong hình 2-2. Tại điểm này, dòng dc là 30 mA , vì vậy theo biểu thức 2-6, $r_D = (0.026 \text{ V}) / (3 \times 10^{-3} \text{ A}) = 0.86 \Omega$. Giá trị này gần bằng với giá trị 0.75Ω mà ta đã tính ở phần trên bằng cách dùng đồ thị.

Diode còn có một thành phần điện trở khác nên được xem xét là điện trở gộp (bulk resistance) bao gồm điện trở của vật liệu bán dẫn và điện trở tiếp xúc mà tại đó các chân linh kiện được gắn với chuyển tiếp PN. Chúng được gọi là điện trở bulk r_B . Giá trị của điện trở bulk thường khoảng 1Ω và cũng thay đổi tùy theo dòng dc trong diode. Điện trở này trở nên khá nhỏ khi dòng điện lớn, giá trị của nó thường khoảng 0.1Ω . Điện trở ac tổng cộng của diode là $r_D + r_B$, tuy nhiên khi dòng cao thì r_D lớn hơn nhiều so với r_B do đó có thể bỏ qua điện trở bulk.

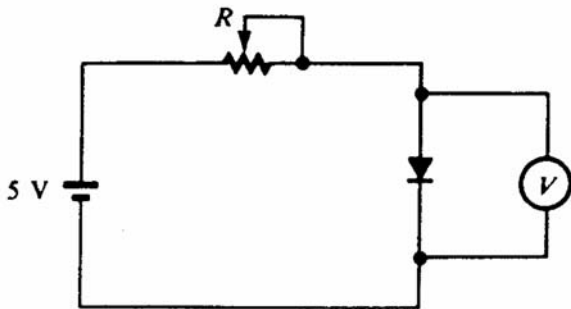
Khi một diode được kết nối trong mạch sao cho nó phân cực thuận, luôn luôn cần phải có một điện trở mắc nối tiếp với diode để xác định dòng cho nó. Ta xem ví dụ sau.

Ví dụ 2-1

Cho mạch điện như hình 2-3, mạch được kết nối để tìm mối quan hệ của điện áp và dòng điện trong diode. Biến trở R được điều chỉnh đến các giá trị khác nhau để điều khiển dòng qua diode, đồng thời điện áp trên diode cũng được ghi lại tại các điểm này. Các kết quả được trình bày trong bảng trong hình 2-3.

Measurement Number	R (ohms)	V (volts)
1	6312	0.55
2	4269	0.56
3	2877	0.57
4	599	0.61
5	405	0.62
6	274	0.63
7	85.0	0.66
8	57.5	0.67
9	39.0	0.68

Hình 2-3
 Ví dụ 2-1



1. Tìm điện trở dc của diode khi điện áp trên diode là 0.56 V, 0.62 V và 0.67 V.
2. Tìm điện trở ac của diode khi điện áp trên diode thay đổi giữa 0.55 V và 0.57 V, giữa 0.61 V và 0.63 V và giữa 0.66 V và 0.68 V.
3. Tìm điện trở ac xấp xỉ khi điện áp trên diode là 0.56 V, 0.62 V và 0.67 V. Giả sử điện trở bulk tương ứng là 0.8 Ω, 0.5 Ω và 0.1 Ω.

Hướng dẫn

1. Trước tiên cần phải tính dòng điện qua diode cho mỗi trường hợp. Ta đã biết là điện áp rơi trên điện trở $V_R = 5 - V_D$, với V_D là điện áp rơi trên diode. Dòng qua diode bằng dòng qua điện trở và là $I = (5 - V_D)/R$.

$$I_1 = \frac{(5 - 0.55) \text{ V}}{6312 \Omega} = 0.705 \text{ mA} \quad I_6 = \frac{(5 - 0.63) \text{ V}}{274 \Omega} = 15.9 \text{ mA}$$

$$I_2 = \frac{(5 - 0.56) \text{ V}}{4269 \Omega} = 1.04 \text{ mA} \quad I_7 = \frac{(5 - 0.66) \text{ V}}{85 \Omega} = 51.1 \text{ mA}$$

$$I_3 = \frac{(5 - 0.57) \text{ V}}{2877 \Omega} = 1.54 \text{ mA} \quad I_8 = \frac{(5 - 0.67) \text{ V}}{57.5 \Omega} = 75.3 \text{ mA}$$

$$I_4 = \frac{(5 - 0.61) \text{ V}}{599 \Omega} = 7.33 \text{ mA} \quad I_9 = \frac{(5 - 0.68) \text{ V}}{39.0 \Omega} = 110.8 \text{ mA}$$

$$I_5 = \frac{(5 - 0.62) \text{ V}}{405 \Omega} = 10.8 \text{ mA}$$

Điện trở dc tại các điểm điện áp đo được tính bằng biểu thức 2-5.

$$\text{Tại } V = 0.56 \text{ V}, R_D = \frac{0.56 \text{ V}}{1.04 \times 10^{-3} \text{ A}} = 538.5 \Omega.$$

$$\text{Tại } V = 0.62 \text{ V}, R_D = \frac{0.62 \text{ V}}{10.8 \times 10^{-3} \text{ A}} = 57.4 \Omega.$$

$$\text{Tại } V = 0.67 \text{ V}, R_D = \frac{0.67 \text{ V}}{75.3 \times 10^{-3} \text{ A}} = 8.9 \Omega.$$

2. Điện trở ac được tính bằng biểu thức 2-4.

$$r_D = \frac{(0.57 - 0.55) \text{ V}}{(1.54 - 0.705) \times 10^{-3} \text{ A}} = \frac{0.02 \text{ V}}{0.835 \times 10^{-3} \text{ A}} = 23.95 \Omega$$

$$r_D = \frac{0.02 \text{ V}}{5.1 \times 10^{-3} \text{ A}} = 3.92 \Omega$$

$$r_D = \frac{0.02 \text{ V}}{59.7 \times 10^{-3} \text{ A}} = 0.34 \Omega$$

3. Điện trở ac khi tính gần đúng dùng biểu thức 2-6 là

$$\text{Tại } V = 0.56 \text{ V}, r_D = \frac{0.026 \text{ V}}{I_2} + r_B = \frac{0.026 \text{ V}}{1.04 \times 10^{-3} \text{ A}} + 0.8 \Omega = 25.8 \Omega$$

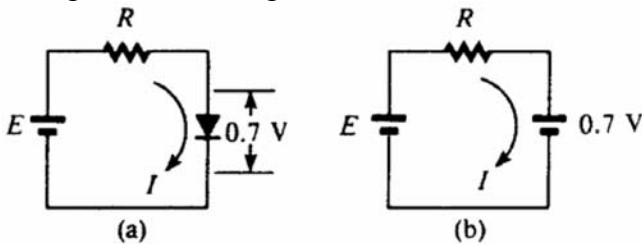
$$\text{Tại } V = 0.62 \text{ V}, r_D = \frac{0.026 \text{ V}}{I_5} + r_B = \frac{0.026 \text{ V}}{10.8 \times 10^{-3} \text{ A}} + 0.5 \Omega = 2.91 \Omega$$

$$\text{Tại } V = 0.67 \text{ V}, r_D = \frac{0.026 \text{ V}}{I_8} + r_B = \frac{0.026 \text{ V}}{75.3 \times 10^{-3} \text{ A}} + 0.1 \Omega = 0.445 \Omega$$

2-4 Phân tích mạch dc có chứa diode

Trong thực tế, để dễ dàng trong quá trình phân tích mạch với một sai số cho phép, đặc tuyến của diode thường được xem như là thẳng đứng nếu điểm làm việc nằm phía trên điểm gián đoạn. Việc sử dụng đặc tuyến gần đúng này cho phép ta xem như điện áp rơi trên diode là không đổi bất chấp dòng điện chảy qua nó.

Đối với diode silicon, phụ thuộc vào những thay đổi nhỏ trong quá trình chế tạo cũng như vào dòng điện chảy qua diode, điện áp rơi trên hai đầu của diode xấp xỉ khoảng 0.6 V đến 0.7 V. Trong thực tế, ta thường sử dụng giá trị 0.7 V cho tính toán. Đối với diode germanium, điện áp rơi trên nó thường được chọn là 0.3 V. Do đó, trong các tính toán, ta có thể thay diode bằng một nguồn điện áp 0.7 V hoặc 0.3 V khi diode được phân cực thuận sao cho điểm làm việc nằm trên điểm gián đoạn. Tuy nhiên, cần phải lưu ý là diode không chứa năng lượng như một nguồn điện và cũng không thể tạo ra dòng điện. Hình 2-4 minh họa khái niệm này.



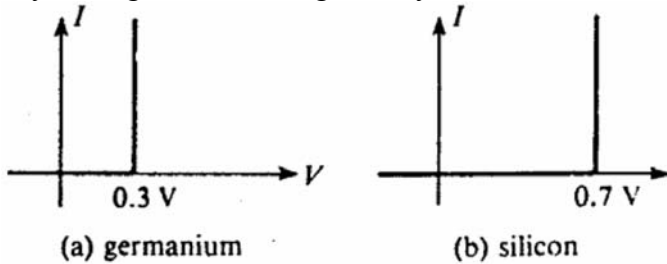
Hình 2-4

Để phân tích, diode phân cực thuận trong (a) có thể thay thế bằng một nguồn áp như trong (b)

Trong hình 2-4(a), chúng ta giả sử là diode silicon được phân cực thuận sao cho có đủ dòng điện để điểm làm việc nằm trên điểm gián đoạn, do đó, điện áp rơi trên diode là 0.7 V. Khi đó

$$E = IR + 0,7 \tag{2-7}$$

Từ đó tính được dòng điện $I = (E - 0.7 \text{ V})/R$. Hình 2-4(b) vẽ sơ đồ mạch tương đương, trong đó, diode được thay bằng một nguồn áp 0.7 V. Kết quả tính được trong mạch của hình 2-4(b) là tương tự. Trong thực tế, giả sử điện áp rơi trên diode là cố định thường được dùng kèm với giả sử là dòng điện qua diode là không khi điện áp nhỏ hơn điện áp ngưỡng. Do đó, để phân tích mạch lúc này, chúng ta có thể dùng đặc tuyến như hình 2-5.

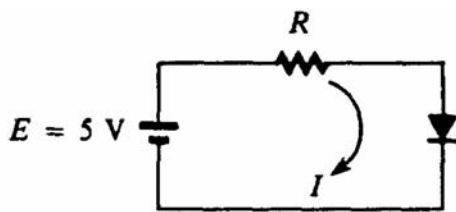


Hình 2-5
 Đặc tuyến diode lý tưởng.
 Diode được xem như hở mạch
 cho đến điểm ngưỡng.

Đường đặc tuyến lý tưởng trong hình 2-5 cho thấy diode được xem như hở mạch khi điện áp nhỏ hơn 0.3 V hoặc 0.7 V và ngắn mạch trong trường hợp ngược lại. Những giả sử này khá phù hợp trong các tính toán thực tế.

Ví dụ 2-2

Giả sử diode silicon trong hình 2-6 cần có dòng 1 mA để có thể làm việc trên điểm gián đoạn của đặc tuyến.



Hình 2-6
 Ví dụ 2-2

1. Tìm R để mạch có dòng 5 mA .
2. Với giá trị R vừa tìm được, tính điện áp nguồn E tối thiểu để diode vẫn còn làm việc trên điểm gián đoạn.

Hướng dẫn

1. $R = \frac{E - 0.7}{I} = \frac{(5 - 0.7) \text{ V}}{5 \times 10^{-3} \text{ A}} = 860 \Omega$

2. Để duy trì dòng qua diode phải trên điểm gián đoạn, I phải tối thiểu là 1 mA . Do đó,
 $I = \frac{E - 0.7}{R} \geq 10^{-3} \text{ A}$. Vì $R = 860 \Omega$, $\frac{E - 0.7}{860} \geq 10^{-3} \text{ A}$, tức là $E \geq 1.56 \text{ V}$.

Trong một số trường hợp, điện áp rơi trên diode là quá nhỏ so với điện áp dc, khi đó, ta có thể bỏ qua điện áp rơi trên diode.

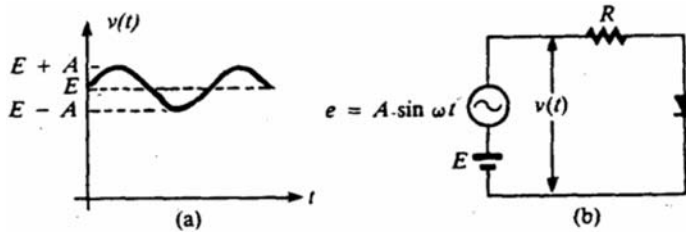
2-5 Phân tích mạch tín hiệu nhỏ cho diode

Nói chung, các linh kiện điện tử có thể hoạt động trong hai chế độ: tín hiệu nhỏ và tín hiệu lớn. Trong chế độ tín hiệu nhỏ, các thay đổi của dòng và áp trên linh kiện chỉ xảy ra trên một đoạn giới hạn của đặc tuyến $I - V$. Nói cách khác, các đại lượng ΔV , ΔI là rất nhỏ khi so sánh với toàn bộ giới hạn làm việc của linh kiện. Trong thực tế, chế độ tín hiệu nhỏ có thể xem là chế độ trong đó, dòng và áp của linh kiện thay đổi trên một đoạn đủ nhỏ của đặc tuyến để có thể xem như là tuyến tính.

Trái lại, chế độ tín hiệu lớn là chế độ trong đó dòng và áp của linh kiện thay đổi trên toàn bộ đường cong đặc tuyến của linh kiện. Trong chế độ này, đoạn đặc tuyến tương ứng với vùng làm việc của linh kiện có độ dốc thay đổi rất nhiều, nói cách khác là linh kiện làm việc trong vùng phi

tuyến. Ví dụ, một mạch điện trong đó điện áp trên diode thay đổi giữa -5 V và $+0.7\text{ V}$ được xem là chế độ tín hiệu lớn. Trong trường hợp này, diode thay đổi bản chất của nó, từ một linh kiện có điện trở rất lớn khi phân cực ngược sang một linh kiện có điện trở nhỏ khi được phân cực thuận trên điểm gián đoạn. Trong phần này ta chỉ xem xét các mạch tín hiệu nhỏ cho diode, phân tích tín hiệu lớn sẽ được trình bày trong phần kế tiếp.

Xét mạch điện trong hình 2-7(b). Lưu ý là mạch chứa một nguồn dc có giá trị E và một nguồn ac tạo ra một tín hiệu hình sin có biên độ A và tần số góc ω . Do đó, điện áp tổng cộng trên của nguồn lúc này là $v(t) = E + A \sin \omega t$. Điện áp này được gọi là điện áp ac có mức dc là E , volts, được vẽ trong hình 2-7(a).



Hình 2-7

Điện áp $v(t)$ trong (b) là tổng của thành phần ac và dc:
 $v(t) = E + A \sin \omega t$. Trong (a),
 $v(t)$ có giá trị tối thiểu là $E - A$
 và tối đa là $E + A$

Điện áp $v(t)$ có giá trị tối đa là $E + A$ và điện áp tối thiểu là $E - A$. Bây giờ ta thử tính điện áp và dòng điện của diode với giả sử là diode làm việc trong chế độ tín hiệu nhỏ. Để phân tích mạch này ta dùng nguyên lý xếp chồng, điện áp và dòng điện tổng cộng do hai nguồn gây ra sẽ bằng tổng của điện áp và dòng điện do từng nguồn gây ra. Lưu ý là nguyên lý này chỉ có thể áp dụng khi tất cả các linh kiện trong mạch là tuyến tính.

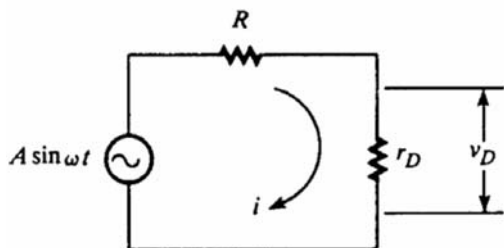
Đầu tiên ta xác định dòng dc qua diode trong hình 2-7(b) vì dòng này cần để tính điện trở động r_D (biểu thức 2-6). Ngắt mạch nguồn áp trong hình 2-7(b), ta có mạch điện như hình 2-4, do đó,
 $I = (E - 0.7\text{ V})/R$. Dùng công thức 2-6 để tính điện trở ac: $r_D = \frac{0.026\text{ V}}{I}$. Bây giờ bỏ đi nguồn dc bằng cách ngắt mạch nó, ta có mạch tương đương như hình 2-8. Lưu ý là trong mạch này, diode được thay bằng điện trở tương đương ac của nó.

$$i = \frac{e}{R + r_D} = \frac{A}{R + r_D} \sin \omega t.$$

Điện áp ac trên diode có thể được tính bằng công thức $v_D = r_D i$. Do đó, dòng và áp tổng cộng trên diode là

$$i(t) = I + i = \frac{E - 0.7}{R} + \frac{A}{R + r_D} \sin \omega t \quad (2-8)$$

$$v_{(D)} = 0.7 + \frac{r_D A \sin \omega t}{R + r_D} \quad (2-9)$$

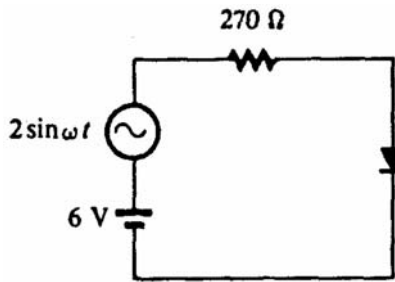


Hình 2-8

Mạch tương đương Thevenin của hình 2-7(b). Chú ý là diode được thay bằng điện trở ac, r_D .

Ví dụ 2-4

Giả sử là diode silicon trong hình 2-9 được phân cực sao cho điểm làm việc nằm trên điểm gián đoạn, điện trở bulk là 0.1Ω , tìm dòng và áp tổng cộng của diode. Vẽ dạng sóng của dòng điện theo thời gian.



Hình 2-9
 Ví dụ 2-4

Hướng dẫn

Ngắt mạch nguồn ac, ta có dòng dc là: $I = \frac{(6-0.7) \text{ V}}{270 \Omega} = 19.63 \text{ mA}$.

Điện trở ac là: $r_D = \frac{0.026}{I} + r_B = \frac{0.026}{19.63 \times 10^{-3} \text{ A}} + 0.1 \Omega = 1.42 \Omega$

Dòng ac là: $i = \frac{e}{R+r_D} = \frac{2 \sin \omega t}{271.42} = 7.37 \sin \omega t \text{ mA}$

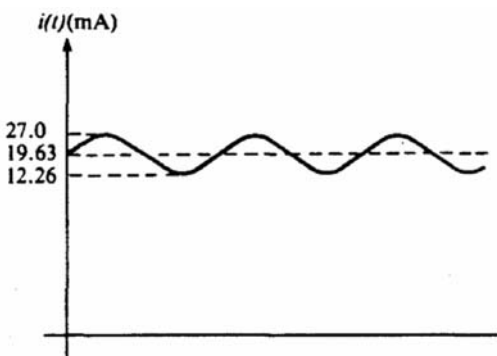
Và điện áp ac là $v_D = \frac{r_D}{R+r_D} e = \left(\frac{1.42}{271.42} \right) 2 \sin \omega t = 0.01 \sin \omega t \text{ V}$

Cuối cùng, dòng và áp tổng cộng là:

$$i(t) = 19.63 + 7.37 \sin \omega t \text{ mA}$$

$$v_D(t) = 0.7 + 0.01 \sin \omega t \text{ V}$$

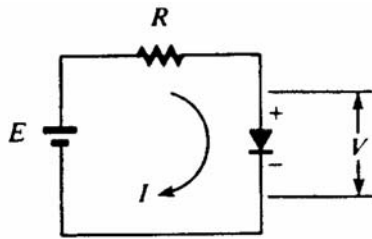
Hình 2-10 vẽ dòng điện tổng cộng. Lưu ý là dòng tối đa là 27 mA và dòng tối thiểu là 12.26 mA. Đối với điện áp thì vì sự thay đổi trong thành phần ac chỉ là $\pm 10 \text{ mV}$, do đó rất khó vẽ dạng sóng của nó.



Hình 2-10
 Dòng trong mạch hình 2-9. Thành phần ac thay đổi $\pm 7.37 \text{ mA}$ xung quanh thành phần dc 19.63 mA.

2-5-1 Đường tải

Phân tích diode tín hiệu nhỏ có thể được thực hiện bằng cách sử dụng đồ thị. Mặc dù phương pháp này không thường sử dụng trong thực tế, tuy nhiên, nó lại cho ta một cái nhìn vào bên trong hoạt động của mạch. Xét mạch trong hình 2-11. Đây là mạch tương đương dc khi ngắt mạch nguồn ac, điện áp trên diode lúc này không được xem là hằng số nữa mà bây giờ là một đại lượng thay đổi V tuy độ thay đổi là rất ít.



Hình 2-11
 Dòng I và áp V của diode được xem như là các biến

Ta có:

$$I = \frac{-V}{R} + \frac{E}{R} \quad (2-10)$$

Trong biểu thức 2-10, ta xem I và V là các biến trong khi E và R là hằng số. Ví dụ, nếu biểu thức 2-10 được áp dụng cho hình 2-9, ta có

$$I = \frac{-V}{270} + \frac{6}{270}$$

hay
$$I = -(3,7 \times 10^{-3})V + 0,0222 \quad (2-11)$$

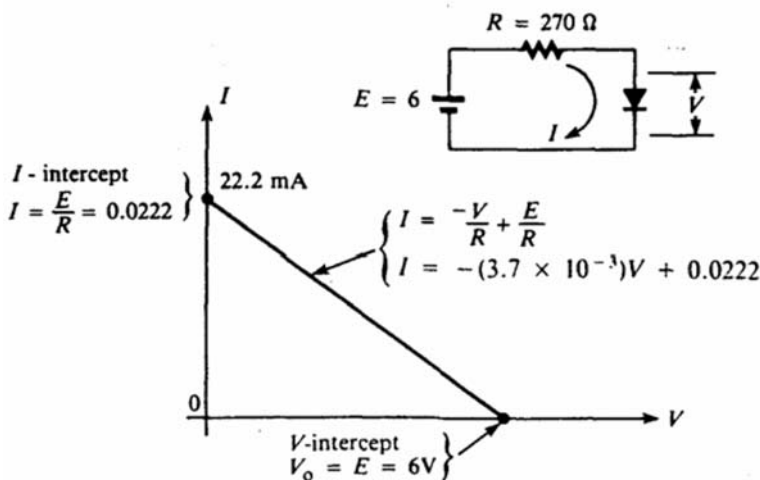
Biểu thức này cho thấy quan hệ của I và V là tuyến tính. Như ta đã biết, dạng tổng quát cho đồ thị của một đường thẳng trong hệ tọa độ $x - y$ là

$$y = mx + b \quad (2-12)$$

với m là độ dốc và b là tung độ gốc.

Chúng ta thấy rằng biến I trong 2-10 là tương ứng đến biến y trong 2-12, biến V là tương ứng đến x . Độ dốc của biểu thức 2-10 là $-1/R$ và tung độ gốc là E/R . Ta có thể kết luận rằng biểu thức 2-10 có đồ thị là một đường thẳng trên hệ trục $I - V$. Đường thẳng này được gọi là đường tải dc.

Hình 2-12 vẽ đồ thị của đường tải 2-11. Trong hình 2-12, đường tải giao với trục V tại $V_0 = E = 6 \text{ V}$.



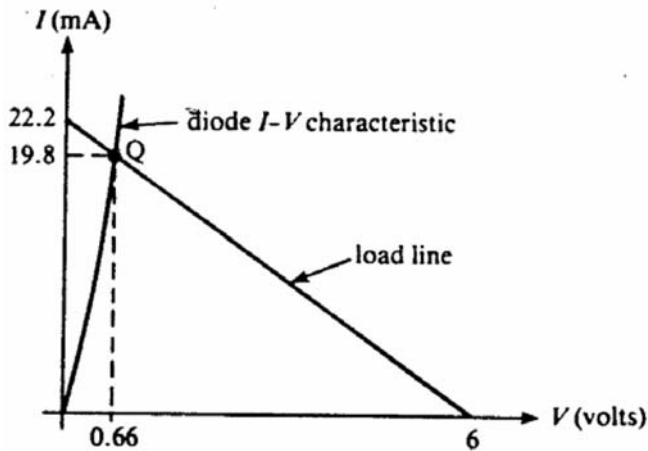
Hình 2-12
 Đồ thị của đường tải
 $I = -(3,7 \times 10^{-3})V + 0,0222$. Đường tải là tập hợp tất cả các dòng I và áp V có thể đối với một giá trị E, R cố định. Giá trị thực sự của I, V phụ thuộc vào diode trong mạch.

Đường tải dc là đường tập hợp của tất cả các cặp giá trị I và V có thể có trong mạch hình 2-11. Với một diode cho trước, đặc tuyến của diode là xác định, công việc của ta là tìm xem tổ hợp nào của điện áp và dòng điện trong số các điểm trên đường tải thỏa mãn cho đặc tuyến diode. Điểm này thực ra chính là giao điểm của đường tải và đặc tuyến, nó cũng có thể được tính bằng cách giải hệ

$$I = -(1/R)V + E/R$$

và $I = I_s (e^{V/\eta V_T} - 1)$

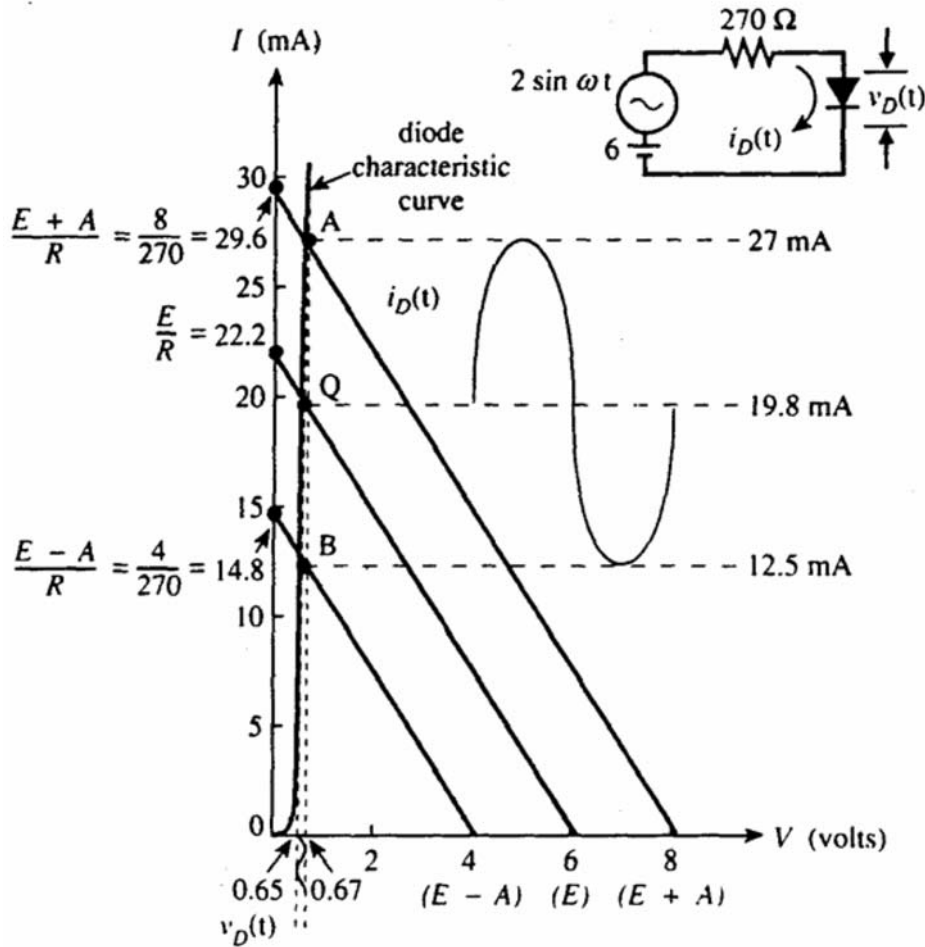
Hình 2-13 cho thấy kết quả có được bằng cách vẽ đường tải cho mạch hình 2-9, tức là biểu thức 2-11, trên cùng một hệ trục với đặc tuyến của diode. Trong hình, ta thấy điện áp của diode là 0.66 V và dòng điện là 19.8 mA. Giao điểm này được gọi là điểm làm việc tĩnh, ký hiệu là Q.



Hình 2-13

Giao điểm của đường tải và đặc tuyến (ký hiệu Q) xác định điện áp (0.66 V) và dòng điện (19.8 mA) của diode.

Cho đến giờ, ta đang giả sử là nguồn ac bị ngắn mạch. Điểm làm việc tĩnh còn được gọi là điểm phân cực tĩnh vì nó biểu diễn dòng và áp của diode khi được phân cực thuận bởi nguồn dc. Bây giờ, đặt nguồn ac vào trong mạch, nối tiếp với nguồn dc. Như đã thấy, điện áp tổng cộng trên nguồn lúc này là $v(t) = E + A \sin \omega t$. Do đó, ta có thể xem như tại một thời điểm tức thời, tương ứng với giá trị nguồn áp, ta có một đường tải hoàn toàn mới. Vì điện áp nguồn là thay đổi liên tục theo thời gian, nên đường tải cũng liên tục chuyển động với độ dốc không đổi, tức là song song với đường tải tĩnh, chỉ có điểm giao của các đường tải này với trục hoành là thay đổi liên tục giữa $E + A$ và $E - A$. Hình 2-14 minh họa những điều trình bày ở trên cho mạch hình 2-9.



Hình 2-14

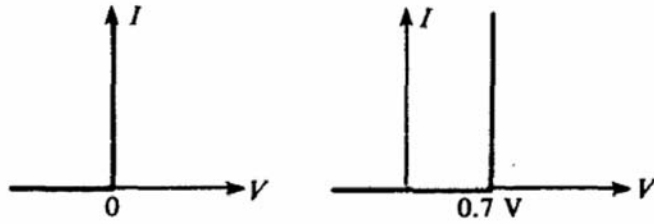
Ảnh hưởng của nguồn ac trong mạch diode có thể được phân tích bằng cách xem nó như một tập hợp các đường tải song song. Trong cách này, dòng và áp tối thiểu có thể xác định được trên đồ thị.

Điện áp $v(t)$ tổng cộng thay đổi giữa 4 V và 8 V, giao điểm của tất cả các đường tải với đặc tuyến tạo ra tất cả các tổ hợp có thể có của điện áp và dòng điện của diode. Kết quả là ta có thể thấy điểm làm việc di chuyển giữa A và B trong hình 2-14. Khi điểm làm việc di chuyển, dòng điện trong mạch thay đổi giữa 12.5 mA đến 27 mA, điện áp rơi trên diode cũng thay đổi giữa 0.65 V đến 0.67 V.

2-6 Phân tích tín hiệu lớn cho diode

Như ta đã biết trong phần 2-5, một diode được xem là hoạt động dưới chế độ tín hiệu lớn khi sự thay đổi của dòng điện và điện áp của diode mở rộng ra trên toàn bộ đặc tuyến, bao gồm cả những phần mà đặc tuyến thay đổi độ dốc một cách đáng kể. Trong mọi ứng dụng tín hiệu lớn thực tế, diode hoạt động trong cả vùng phân cực thuận (trên điểm gián đoạn) lẫn phân cực ngược hoặc điện áp phân cực gần không.

Khi điện trở của một diode thay đổi từ rất nhỏ đến rất lớn, nó hoạt động giống như một công tắc (switch). Một công tắc lý tưởng có điện trở bằng không khi đóng và điện trở là vô cùng khi mở. Khi phân tích các mạch dạng này, diode có thể được xem như một công tắc được điều khiển bằng điện áp: đóng khi được phân cực thuận và mở khi phân cực ngược. Tùy theo các điện áp khác trong mạch, giá trị điện áp rơi trên diode (0.3 V hoặc 0.7 V) có thể bỏ qua hoặc có thể không. Hình 2-15 trình bày đặc tuyến của một diode silicon lý tưởng khi bỏ qua điện áp rơi (a), và khi không bỏ qua điện áp rơi (b).



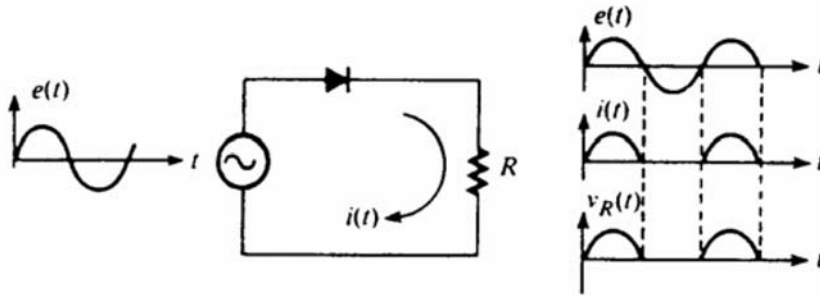
Hình 2-15
 Đặc tuyến diode silicon lý tưởng được sử dụng để phân tích tín hiệu lớn.

(a) I - V characteristic when the diode is treated as a perfect switch having 0 voltage drop.

(b) I - V characteristic when the diode is treated as a perfect switch that closes when $V = 0.7$ volts.

2-6-1 Chỉnh lưu

Một trong các ứng dụng thường gặp nhất của diode trong chế độ tín hiệu lớn là mạch chỉnh lưu (rectifier). Mạch chỉnh lưu là mạch chỉ cho phép dòng điện chảy qua nó theo một chiều. Diode là linh kiện chính trong các mạch dạng này. Khi điện áp anode là dương so với cathode, tức là diode phân cực thuận, diode đóng và dòng chảy qua nó từ anode đến cathode. Ngược lại, nếu điện áp anode là âm so với cathode, diode là hở mạch và không có dòng điện trong mạch. Dĩ nhiên là trong thực tế, khi diode phân cực ngược, trong diode xuất hiện dòng điện ngược với cường độ rất bé.



Hình 2-16
 Diode được dùng trong mạch chỉnh lưu. Dòng điện chỉ chảy qua trong bán kỳ dương.

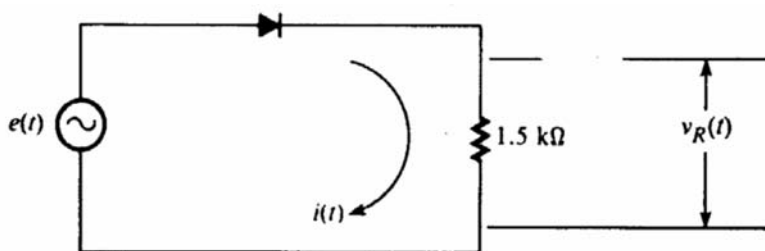
Xét mạch chỉnh lưu trong hình 2-16. Ta thấy rằng không có nguồn dc trong mạch. Do đó, trong suốt bán kỳ dương của điện áp nguồn $e(t)$, diode phân cực thuận và dòng chảy qua diode với chiều như hình vẽ. Trong bán kỳ âm của $e(t)$, diode bị phân cực ngược và trong mạch không có dòng điện. $i(t)$ là một chuỗi liên tiếp các xung dòng dương cách nhau bởi các khoảng dòng điện bằng không.

Nếu diode trong mạch 2-16 được xoay ngược lại, dòng điện trong mạch sẽ chỉ có thể chảy theo chiều ngược lại, tức là tương ứng với bán chu kỳ âm của nguồn.

Ví dụ 2-6

Giả sử diode silicon trong hình 2-17 có đặc tuyến như trong hình 2-15(b). Tìm giá trị đỉnh của dòng $i(t)$ và điện áp $v_R(t)$ trên điện trở khi:

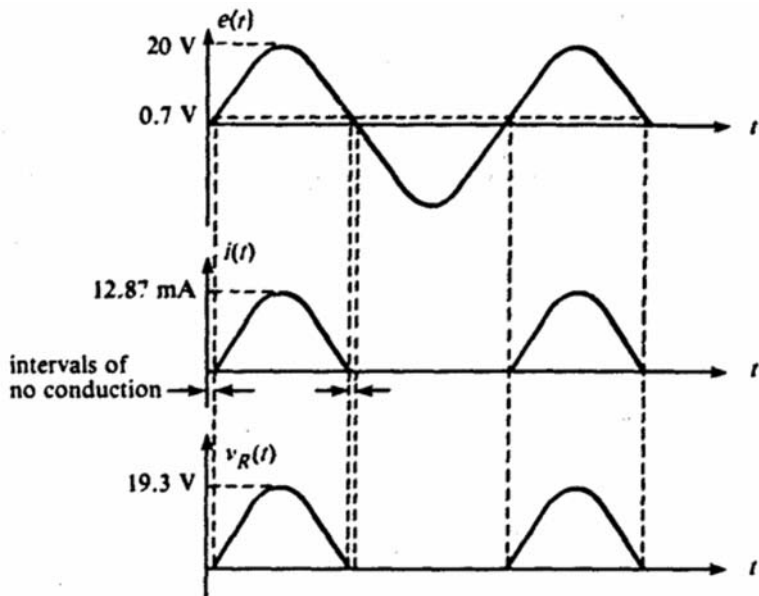
- $e(t) = 20 \sin \omega t$ và
- $e(t) = 1.5 \sin \omega t$. Trong mỗi trường hợp, vẽ dạng sóng $e(t)$, $i(t)$, và $v_R(t)$.



Hình 2-17
 Ví dụ 2-6

Hướng dẫn

1. Khi $e(t) = 20 \sin \omega t$, điện áp dương đỉnh là 20 V. Tức thời tại thời điểm $e(t) = 20$ V, điện áp rơi trên điện trở sẽ là 19.3 V và dòng điện qua diode là $i = 19.3 / (1.5 \text{ k}\Omega) = 12.87 \text{ mA}$. Hình 2-18 vẽ dạng sóng kết quả.

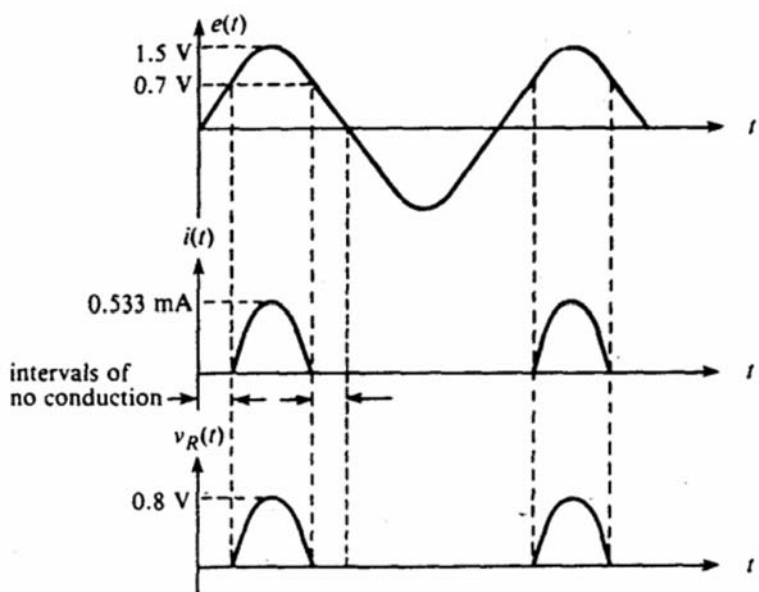


Hình 2-18

Dòng và áp diode trong mạch hình 2-17. Lưu ý là diode không dẫn cho đến khi $e(t)$ đến 0.7 V, do đó, trong bán kỳ dương có một khoảng nhỏ diode không dẫn.

Cần lưu ý là vì ta dùng đặc tuyến trong hình 2-15(b), do đó diode sẽ không dẫn cho đến khi $e(t)$ đạt đến 0.7 V. Khoảng thời gian giữa hai điểm tại đó $e(t) = 0$ V và $e(t) = 0.7$ V rất ngắn khi so sánh với toàn bộ chu kỳ tín hiệu. Từ đó, ta có thể giả sử là đặc tuyến diode có dạng trong hình 2-15(a), nghĩa là bỏ qua điện áp rơi 0.7 V.

2. Khi $e(t) = 1.5 \sin \omega t$, điện áp dương đỉnh là 1.5 V, tại đó $v_R(t) = 1.5 - 0.7 = 0.8$ V và $i(t) = (0.8 \text{ V}) / (1.5 \text{ k}\Omega) = 0.533 \text{ mA}$. Dạng sóng được biểu diễn trong hình 2-19. Ta thấy là diode vẫn không dẫn khi điện áp nhỏ hơn 0.7 V, tuy nhiên, trong trường hợp này khoảng thời gian khi $e(t)$ thay đổi giữa 0 V và 0.7 V là đáng kể so với chu kỳ tín hiệu nên ta sẽ không thể dùng đặc tuyến gần đúng trong hình 2-15(a).



Hình 2-19

Dòng và áp diode trong mạch hình 2-17 khi đỉnh của hình sin giảm xuống còn 1.5 V. Lưu ý là khoảng không dẫn lúc này lớn hơn nhiều so với hình 2-18.

3

Transistor lưỡng cực (Bipolar Junction Transistor)

3-1 Giới thiệu

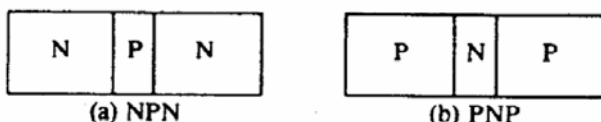
Transistor là một linh kiện rất quan trọng trong điện tử, bao gồm cả các mạch điện tử rời rạc và các mạch tích hợp. Sự quan trọng của thiết bị này xuất phát từ khả năng của nó trong việc tạo ra các bộ khuếch đại. Một mạch được xem là mạch khuếch đại khi nó có khả năng sử dụng các thay đổi nhỏ của dòng hoặc áp ở ngõ vào để tạo ra các thay đổi lớn hơn ở ngõ ra. Tín hiệu nhỏ được xem là ngõ vào của bộ khuếch đại, tín hiệu lớn nhận được là ngõ ra của bộ khuếch đại.

Hai dạng transistor quan trọng nhất là transistor lưỡng cực tính (Bipolar Junction Transistor – BJT) và transistor hiệu ứng trường (Field Effect Transistor – FET). BJT sử dụng hai loại hạt dẫn để tạo ra dòng điện là lỗ trống và electron tự do, do đó nó được gọi là lưỡng cực. Chúng ta sẽ tìm hiểu BJT trong chương này. Hoạt động của FET sẽ được đề cập ở những chương sau.

BJT là loại transistor được phát triển đầu tiên và kể từ đó nó được sử dụng rộng rãi trong điện tử. Ngày nay, BJT vẫn còn giữ một vai trò quan trọng trong công nghiệp bán dẫn. Tuy nhiên, kỹ thuật FET ngày nay đã phát triển rất nhiều và thậm chí nó được sử dụng nhiều hơn cả BJT trong các mạch tích hợp.

3-2 Lý thuyết hoạt động của BJT

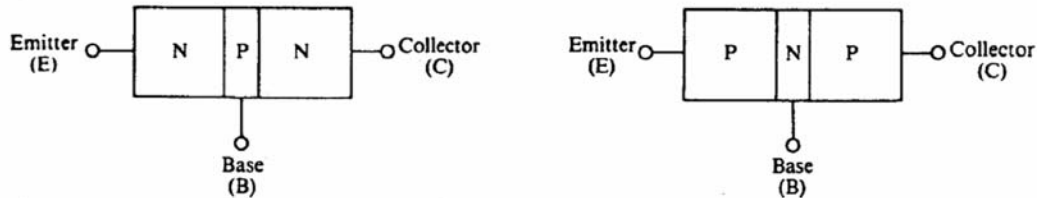
Transistor lưỡng cực tính (BJT) là một linh kiện ba cực được tạo nên từ hai chuyển tiếp PN. Nó có thể được tạo nên từ một thanh bán dẫn được kích thích sao cho mật độ hạt dẫn thay đổi dần từ N sang P và trở lại N hoặc từ P chuyển sang N rồi trở lại P. Trong cả hai trường hợp, mỗi chuyển tiếp sẽ được hình thành tại ranh giới của sự chuyển đổi tính chất bán dẫn từ loại N (hoặc P) sang loại P (hoặc N). Hình 3-1 cho thấy hai dạng BJT.



Hình 3-1
Cấu trúc transistor NPN và PNP.

Khi BJT được tạo nên bằng cách đặt bán dẫn loại P giữa hai bán dẫn loại N như hình 3-1(a), nó được gọi là BJT loại NPN. Ngược lại, hình 3-1(b) cho thấy cấu trúc của BJT loại PNP.

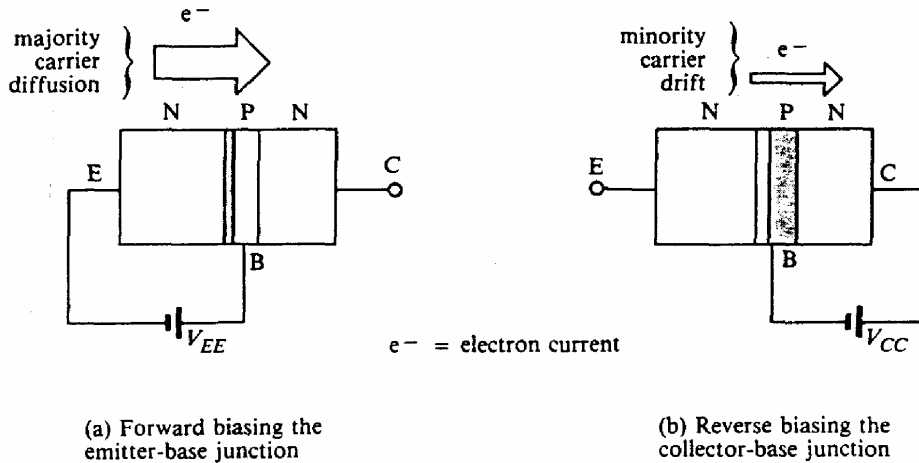
Vùng bán dẫn nằm giữa được gọi là **miền nền (base)**. Hai vùng hai bên, một vùng được gọi là **miền phát (emitter)** và một vùng được gọi là **miền thu (collector)**. Ở các phần sau ta sẽ dùng cả thuật ngữ tiếng Việt hoặc tiếng Anh để chỉ các cực và các miền của transistor. Thông thường, trong các BJT rời, các miền này được gắn với các chân linh kiện nổi ra bên ngoài để có thể thực hiện các kết nối với mạch ngoài. Các BJT trong các mạch tích hợp có thể không có các chân kết nối này. Các chân linh kiện được đặt theo tên của miền mà nó kết nối vào. Hình 3-2 trình bày các chân linh kiện được kết nối với các vùng trong BJT.



Hình 3-2
 Các cực base, emitter, collector của transistor NPN và PNP.

Trong thực tế, BJT được chế tạo với **miền nền** rất hẹp và **mật độ hạt dẫn** trong nó cũng rất thấp do nó được kích thích với rất ít tạp chất. Cả **hai đặc điểm này** đều **rất quan trọng** đối với một transistor.

Vì cả hai loại BJT này đều có đặc tính giống nhau do đó ta chỉ xem xét trên loại NPN. Các tính chất cả loại PNP có thể suy ra từ NPN bằng cách thay đổi loại hạt dẫn, cực tính của điện áp cũng như chiều dòng điện như ta sẽ thấy trong phần sau. Để BJT có thể hoạt động bình thường trong chế độ khuếch đại, cần phải phân cực cả hai chuyển tiếp của BJT. Chuyển tiếp giữa miền nền và **miền phát** j_E phải phân cực thuận và chuyển tiếp giữa miền nền và **miền thu** j_C phải phân cực ngược. Hình 3-3 trình bày cách thức phân cực cho cả hai chuyển tiếp.



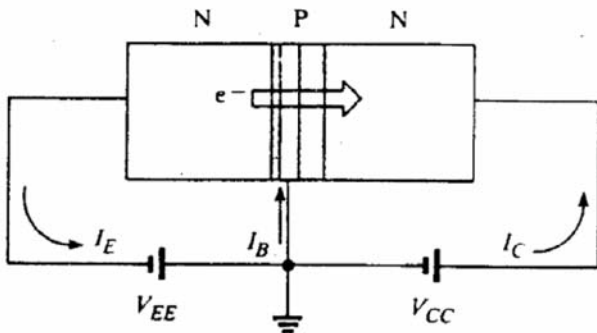
Hình 3-3
 Phân cực hai chuyển tiếp PN trong transistor NPN.

Ta có thể thấy là trong hình 3-3(a), chuyển tiếp j_E được phân cực thuận bởi nguồn áp V_{EE} . Khi chuyển tiếp này được phân cực thuận, dòng khuếch tán của các electron tự do sẽ được “phát” đi từ miền phát emitter, bề rộng vùng nghèo thu hẹp. Ta đã biết đến điều này khi xét phân cực của một chuyển tiếp trong chương 2. Ta nói rằng hạt dẫn được phun (injected) từ emitter vào miền nền base. Thật ra khi j_E được phân cực thuận, còn có dòng lỗ trống đi từ base sang emitter, tuy nhiên

như ta đã đề cập ở phần trên, vì mật độ hạt dẫn trong miền nền rất thấp nên ta có thể bỏ qua dòng này so với dòng electron tự do phát đi từ emitter.

Hình 3-3(b) trình bày phân cực ngược chuyển tiếp j_C được thực hiện bằng nguồn V_{CC} . Kết quả của phân cực ngược là bề rộng vùng nghèo mở rộng, dòng điện chỉ có thể đi từ miền nền base sang miền thu collector vì là dòng của các hạt dẫn thiểu số. Tuy nhiên, như phân tích ở phần trên, các electron tự do được phun vào miền nền sẽ trở thành hạt dẫn thiểu số, các electron này sẽ tiếp tục trôi sang miền thu collector dưới tác dụng của phân cực ngược.

Hình 3-4 cho thấy transistor NPN khi được phân cực đồng thời cả hai chuyển tiếp. Chú ý là miền nền base được nối đất, tức là điểm có điện thế được qui ước là 0 volts. Miền phát emitter âm so với miền nền base và miền thu collector dương so với miền nền base. Đây là điều kiện cần thiết để phân cực thuận j_E và phân cực ngược j_C .

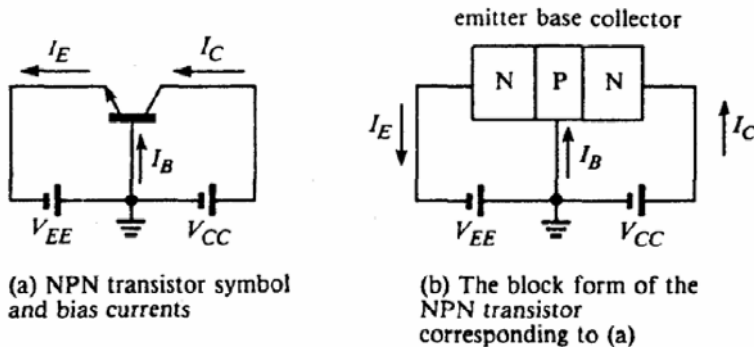


Hình 3-4
 Transistor NPN khi có các nguồn phân cực.

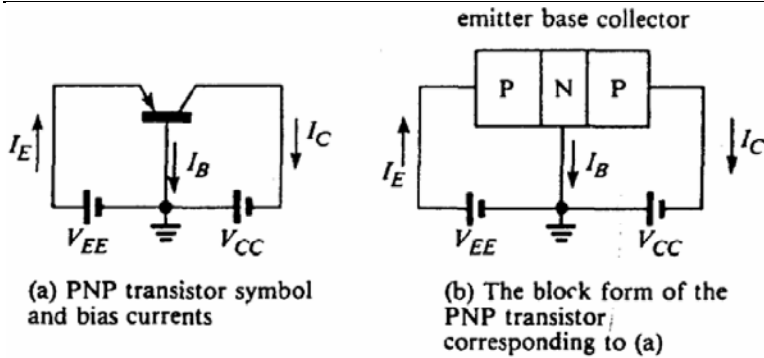
Vì miền nền hẹp và mật độ hạt dẫn rất thấp do đó rất ít electron bị tái hợp trong miền này. Các electron này sẽ khuếch tán sang miền thu dưới tác dụng của phân cực ngược j_C . Chúng ta kết luận là dòng electron là dòng chi phối trong transistor NPN. Đối với transistor PNP, dòng lỗ trống sẽ là dòng chi phối chủ yếu.

Trong thực tế, mặc dù mật độ lỗ trống trong miền nền rất thấp, quá trình tái hợp vẫn có thể xảy ra. Khi mỗi electron tái hợp với một lỗ trống, một electron sẽ rời miền nền thông qua cực nền B sinh ra một dòng nền rất nhỏ, giá trị của nó chỉ khoảng 2 % dòng electron phát đi từ emitter.

Trong hình 3-4, mũi tên được vẽ để chỉ hướng qui ước của dòng trong transistor NPN, hướng này là ngược với hướng của dòng electron. Dòng qui ước chảy từ V_{CC} vào cực C được gọi là dòng cực thu, hoặc dòng collector I_C . Dòng chảy vào cực nền được gọi là dòng nền, hoặc dòng base I_B , và dòng từ V_{EE} chảy vào cực phát được gọi là dòng cực phát, hoặc dòng emitter I_E . Hình 3-5(a) trình bày biểu tượng mạch của một transistor NPN. Hình 3-6(a) là biểu tượng của transistor PNP. So sánh hình 3-5 và hình 3-6, chúng ta cần phải để ý chiều của mũi tên tại cực E, để dễ nhớ, ta có thể xem là mũi tên này chỉ chiều qui ước của dòng điện. Hơn nữa, cực tính của nguồn V_{CC} và V_{EE} là ngược nhau cho BJT loại NPN và PNP.



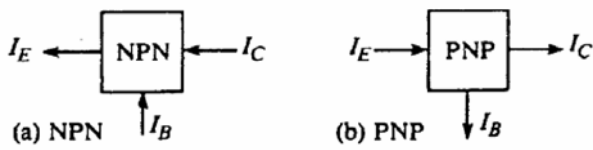
Hình 3-5
 Sơ đồ transistor NPN tương đương.



Hình 3-6
 Sơ đồ transistor PNP tương đương.

Để nhấn mạnh và làm rõ hơn hoạt động của BJT, hình 3-7 thay biểu tượng BJT bằng một khối và chỉ rõ chiều dòng điện chảy vào và ra khỏi khối. Áp dụng định luật Kirchhoff ta có:

$$I_E = I_C + I_B \quad (3-1)$$



Hình 3-7
 Mỗi loại transistor được thay bằng một hình vuông để chỉ dòng vào và ra linh kiện.

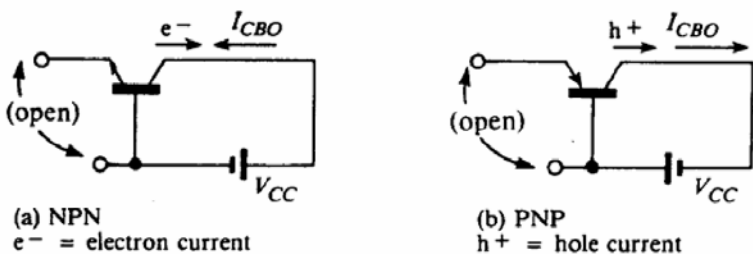
3-2-1 Dòng ngược I_{CBO}

Trong chương 2 ta đã biết là nếu một chuyển tiếp PN bị phân cực ngược thì trong chuyển tiếp xuất hiện một dòng điện ngược rất nhỏ. Khi điện áp phân cực ngược tăng dần thì dòng ngược này tiến tới giá trị bão hòa I_S . Vì chuyển tiếp j_C bị phân cực ngược nên cũng xuất hiện dòng điện ngược, dòng điện này cùng chiều với dòng collector tạo ra do các hạt dẫn từ miền phát phun vào miền nền. Do đó, dòng collector tổng cộng sẽ là tổng của dòng do hạt dẫn được phun vào miền nền và dòng ngược.

Nếu ta giả sử là điện áp phân cực thuận j_E được hở mạch và j_C vẫn duy trì phân cực ngược như hình 3-8 thì vẫn có dòng điện qua cực thu, đó chính là dòng ngược. Dòng điện ngược này được ký hiệu là I_{CBO} do nó có chiều từ collector đến base khi hở mạch (Open) cực phát. Như vậy khi BJT ở điều kiện hoạt động bình thường ta có:

$$I_C = I_{C(INJ)} + I_{CBO} \quad (3-2)$$

với $I_{C(INJ)}$ là thành phần dòng cực thu do các hạt dẫn phun từ miền phát vào miền nền gây ra.



Hình 3-8
 I_{CBO} là dòng collector khi emitter hở mạch.

Một thông số quan trọng của transistor là α , được định nghĩa bằng tỉ số của dòng collector, do các hạt dẫn được phun vào miền nền gây ra, so với dòng emitter:

$$\alpha = \frac{I_{C(INJ)}}{I_E} \quad (3-3)$$

Thông số α xác định phần dòng emitter tồn tại sau khi đi qua được miền nền và trở thành dòng collector. Rõ ràng α luôn luôn nhỏ hơn 1. Nói chung, ta luôn muốn α càng lớn (càng gần 1) càng tốt. Điều đó có nghĩa là ta muốn transistor có dòng base càng nhỏ càng tốt để $I_{C(INJ)}$ xấp xỉ I_E . Giá trị thông thường của α nằm trong khoảng 0.95 đến 0.992.

Từ biểu thức 3-3 ta có $I_{C(INJ)} = \alpha I_E$. Do đó:

$$I_C = \alpha I_E + I_{CBO} \quad (3-4)$$

Biểu thức này chứng tỏ là dòng collector tổng cộng bằng một phần của dòng emitter đi qua được miền nền cộng với dòng do bản thân phân cực ngược trên j_C gây ra.

Trong các transistor ngày nay, đặc biệt là đối với silicon, I_{CBO} rất nhỏ nên có thể bỏ qua trong hầu hết các ứng dụng thực tế. Tuy nhiên, cần phải nhớ là I_{CBO} thực ra chính là dòng điện ngược của chuyển tiếp PN. Dòng ngược này phụ thuộc nhiều vào nhiệt độ và điện áp phân cực ngược. Vì chuyển tiếp j_C của transistor thường được phân cực ngược với một điện áp khoảng vài volts hoặc hơn nữa nên giá trị của I_{CBO} thường xấp xỉ dòng ngược bão hòa I_S . Khi nhiệt độ tăng 10°C , giá trị của I_S tăng gấp đôi do đó I_{CBO} cũng chịu cùng một ảnh hưởng.

Trong transistor, ngoài dòng ngược I_{CBO} , transistor còn có dòng rò (*leakage current*) chảy ngoài bề mặt transistor thường có giá trị lớn hơn dòng ngược rất nhiều. Trong các transistor silicon, dòng rò này gần như chỉ phụ thuộc hoàn toàn sự thay đổi theo nhiệt độ của dòng ngược.

Vì I_{CBO} rất nhỏ nên ta có thể viết

$$\alpha \approx \frac{I_C}{I_E} \quad (3-5)$$

Ví dụ 3-1

Dòng cực phát của một transistor NPN là 8.4 mA. Nếu 0.8% hạt dẫn bị tái hợp trong miền nền và dòng rò là $0.1 \mu\text{A}$. Tìm (1) dòng base, (2) dòng collector, (3) giá trị chính xác của α và (4) giá trị xấp xỉ của α khi bỏ qua dòng rò.

Hướng dẫn

1. $I_B = (0.8\% I_E) = (0.008)(8.4 \text{ mA}) = 67.2 \mu\text{A}$

2. Từ biểu thức 3-1, $I_C = I_E - I_B = 8.4 \text{ mA} - 0.0672 \text{ mA} = 8.3328 \text{ mA}$

3. Từ biểu thức 3-2, $I_{C(INJ)} = I_C - I_{CBO} = 8.3328 \times 10^{-3} - 10^{-7} = 8.3327 \text{ mA}$

Dùng 3-3, $\alpha = I_{C(INJ)} / I_E = (8.3327 \text{ mA}) / (8.4 \text{ mA}) = 0.9919881$

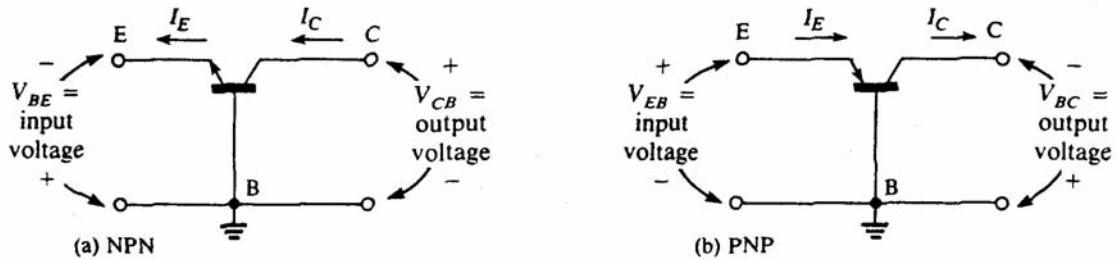
4. Dùng biểu thức xấp xỉ 3-5, $\alpha \approx I_C / I_E = (8.3328 \text{ mA}) / (8.4 \text{ mA}) = 0.992$

3-3 Đặc tính B chung (Common-Base)

Trong phần trước, ta đã thấy một mạch phân cực (hình 3-4) trong đó cực nền được nối với đất, tức là điểm tham khảo chung của mạch. Cách phân cực này được gọi là cấu hình B chung (CB) của transistor. Đây chỉ là một trong ba cách có thể để thiết kế phân cực cho transistor theo nguyên tắc j_E phân cực thuận và j_C phân cực ngược, vì bất kỳ cực nào cũng có thể làm điểm tham khảo chung.

Ý nghĩa của việc có điểm tham khảo chung trong mạch là điểm này được dùng như điểm tham khảo cho cả ngõ vào (input) và ngõ ra (output) cho transistor. Trong cấu hình CB, điện áp emitter-

base được xem như ngõ vào và điện áp collector-base được xem như ngõ ra, xem hình 3-9. Đối với một transistor NPN, V_{BE} dương và đối với PNP, V_{EB} là dương. Tương tự, V_{CB} là dương đối với transistor NPN và V_{BC} là dương đối với transistor PNP. Dòng emitter là dòng ngõ vào và dòng collector là dòng ngõ ra.



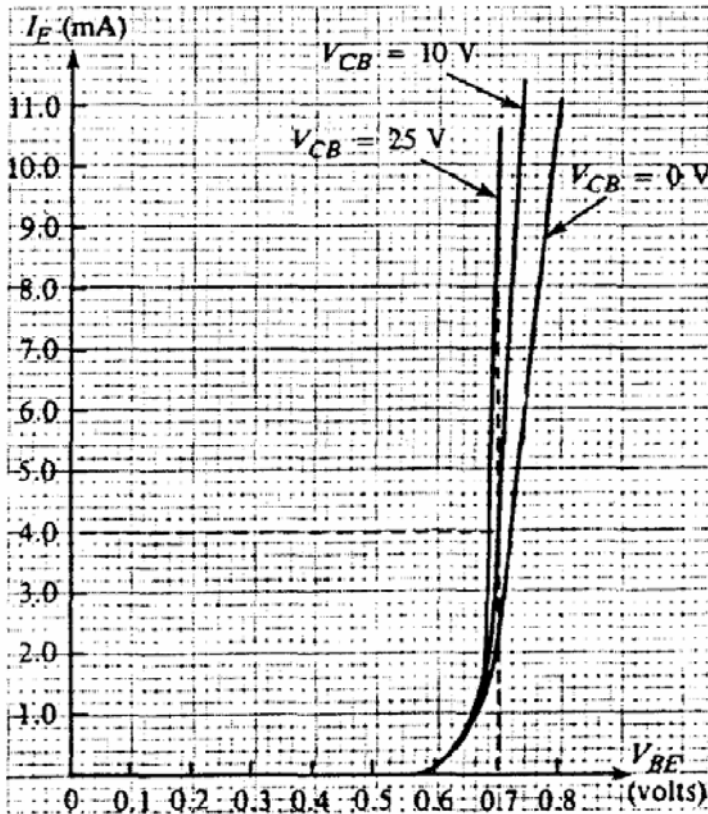
Hình 3-9

Điện áp vào ra trong cấu hình CB của transistor NPN và PNP.

Trong phần phân tích này ta chỉ sử dụng các nguồn phân cực DC để tạo ngõ vào và ngõ ra cho cấu hình phân cực CB. Ta sẽ xem xét đáp ứng của mạch dưới tác động của những thay đổi nhỏ trong ngõ vào sau. Mục tiêu trong phần này chỉ là tìm các mối liên hệ giữa dòng điện và điện áp ngõ vào và ngõ ra. Đặc tuyến ngõ vào sẽ cho thấy mối quan hệ giữa dòng điện và điện áp ngõ vào, và đặc tuyến ngõ ra sẽ cho thấy mối quan hệ giữa dòng điện và điện áp ngõ ra.

3-3-1 Đặc tuyến ngõ vào B chung

Trong phần này ta sẽ xây dựng đặc tuyến của ngõ vào CB của một transistor NPN. Vì ngõ vào là trên chuyển tiếp j_E phân cực thuận nên đặc tuyến sẽ trình bày mối quan hệ giữa dòng ngõ vào I_E và điện áp ngõ vào V_{BE} . Tuy nhiên, đặc tuyến này còn phụ thuộc vào điện áp ngõ ra V_{CB} . Lý do là nếu V_{CB} càng lớn thì lượng hạt dẫn đi qua được miền nền càng nhiều dẫn đến sự gia tăng trong dòng hạt dẫn từ cực phát đến cực thu và kết quả là gia tăng dòng emitter. Hình 3-10 trình bày họ đặc tuyến ngõ vào cho cấu hình CB. Mặc dù việc tính toán dùng các đặc tuyến này trong thực tế rất ít, tuy nhiên, khi hiểu được đặc tuyến ta sẽ có một cái nhìn sâu hơn về hơn về hoạt động của transistor. Trong hình 3-10, mỗi đặc tuyến tương ứng với một giá trị V_{CB} khác nhau, chúng cho thấy mối quan hệ của dòng emitter và hiệu điện thế giữa cực nền và cực phát tại một giá trị V_{CB} cố định. Họ đặc tuyến này có thể được xác định bằng cách đặt một giá trị V_{CB} cố định, thay đổi V_{BE} và đo dòng I_E tương ứng. Mỗi lần thay đổi giá trị V_{CB} là tương ứng với việc vẽ một đặc tuyến mới trong họ đặc tuyến.



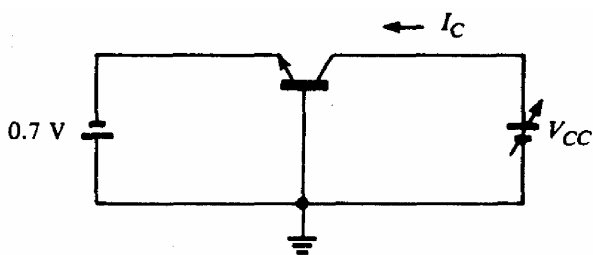
Hình 3-10
 Đặc tuyến ngõ vào của cấu hình B chung.

Trong hình 3-10, mỗi đường cong đặc tuyến có dạng đặc tuyến diode phân cực thuận. Đối với một giá trị V_{BE} cho trước, ta có thể thấy là I_E tăng khi V_{CB} tăng. Tuy nhiên sự thay đổi này chỉ rõ rệt khi V_{CB} thay đổi nhiều, do đó, ảnh hưởng của V_{CB} lên đặc tuyến ngõ vào có thể bỏ qua trong thực tế. Lúc đó, có thể dùng đặc tuyến “trung bình” để tính toán.

Đặc tuyến ngõ vào CB của một transistor PNP có dạng giống như của transistor NPN, tuy nhiên, điện áp ngõ vào dương phải là V_{EB} chứ không phải V_{BE} .

Ví dụ 3-2

Transistor trong hình 3-11 có đặc tuyến như trong hình 3-10. Khi V_{CC} là 25 V, dòng $I_C = 8.94$ mA.



Hình 3-11
 Ví dụ 3-2

1. Tìm α của transistor (bỏ qua I_{CBO}).
2. Lập lại nếu $I_C = 1.987$ mA khi ngắn mạch V_{CC} .

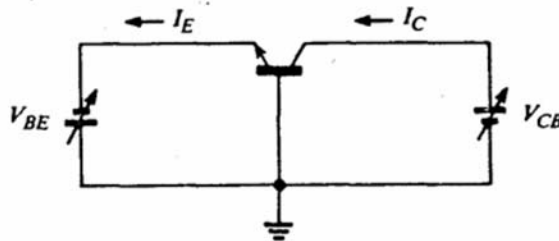
Hướng dẫn

1. Trong hình 3-11 ta thấy là $V_{BE} = 0.7$ V. Từ hình 3-10, đường thẳng tương ứng với $V_{BE} = 0.7$ V cắt đường cong $V_{CB} = 25$ V tại $I_E = 9$ mA. Do đó, $\alpha \approx I_C / I_E = (8.94 \text{ mA}) / (9.0 \text{ mA}) = 0.9933$

2. Khi ngắn mạch nguồn V_{CC} , $V_{CB} = 0 \text{ V}$. Từ hình 3-10, $I_E = 2 \text{ mA}$ tại $V_{CB} = 0 \text{ V}$ và $V_{BE} = 0.7 \text{ V}$.
 Do đó, $\alpha \approx I_C/I_E = (1.987 \text{ mA})/(2.0 \text{ mA}) = 0.9935$

3-3-2 Đặc tính ngõ ra B chung

Bây giờ ta thử một thí nghiệm trong đó dòng collector (dòng ngõ ra) được đo khi thay đổi V_{CB} (điện áp ngõ ra) tương ứng với một giá trị dòng emitter (dòng ngõ vào) cố định. Hình 3-12 vẽ sơ đồ mạch và qui trình có thể được dùng trong thí nghiệm cho một transistor NPN. Lưu ý là sơ đồ mạch trong hình 3-12 không phải là một mạch thực tế, mạch này chỉ được sử dụng để xây dựng đặc tuyến cho transistor. Các mạch transistor thực tế phải chứa các điện trở phân cực, do đó, điện áp ngõ vào và ngõ ra của transistor khác với các nguồn điện áp phân cực trong mạch. Tuy nhiên, đến lúc này ta chỉ tập trung vào việc tìm hiểu sự liên quan giữa dòng điện và điện áp của linh kiện, chưa cần phải quan tâm nhiều đến các mạch phân cực bên ngoài. Khi I_C được vẽ theo V_{CB} với các giá trị I_E khác nhau, chúng ta có họ đặc tuyến được trình bày trong hình 3-13. Chúng được gọi là họ đặc tuyến ngõ ra của cấu hình CB.



I_E	V_{CB}	I_C
1 mA	-1	
1 mA	0	
1 mA	5	
1 mA	10	
1 mA	15	
1 mA	20	

I_E	V_{CB}	I_C
2 mA	-1	
2 mA	0	
2 mA	5	
2 mA	10	
2 mA	15	
2 mA	20	

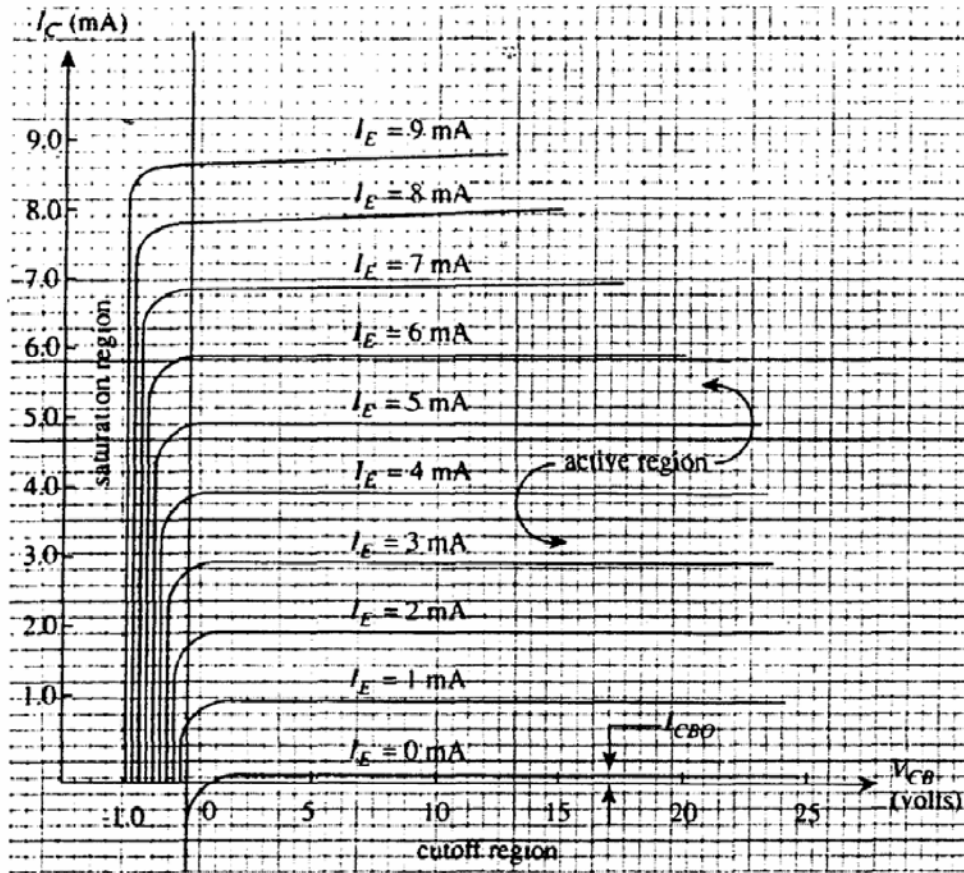
— etc. —

I_E	V_{CB}	I_C
9 mA	-1	
9 mA	0	
9 mA	5	
9 mA	10	
9 mA	15	
9 mA	20	

1. Đặt $V_{CB} = -1 \text{ V}$, thay đổi V_{BE} để $I_E = 1 \text{ mA}$. Đo và ghi lại I_C .
2. Tăng V_{CB} những bước nhỏ, mỗi lần như vậy ta đo lại I_C . Thay đổi V_{BE} khi cần để giữ giá trị ban đầu của I_E . Tiếp tục cho đến khi V_{CB} đạt đến 20 V. Vẽ I_C theo V_{CB} .
3. Lặp lại bước 1, với V_{BE} được thay đổi để tạo ra giá trị I_E mới lớn hơn một chút. Sau đó lặp lại bước 2.
4. Lặp lại bước 3 cho đến khi giá trị I_E cố định đạt đến 9 mA.

Hình 3-12

Thí nghiệm được dùng để vẽ đặc tuyến ngõ ra trên hình 3-13.



Hình 3-13

Đặc tuyến ngõ ra của transistor NPN. Lưu ý là thang ứng với V_{CB} âm đã được mở rộng.

Đầu tiên, trong hình 3-13, ta có thể thấy là mỗi đặc tuyến bắt đầu tại $I_C = 0$, sau đó tăng lên rất nhanh đối với những thay đổi nhỏ của V_{CB} . Vì I_E được giữ cố định nên điều này cũng đồng nghĩa với việc tỉ số I_C/I_E cũng gia tăng. Ta đã biết $\alpha = I_C/I_E$, như vậy α không phải là một hằng số. α sẽ bắt đầu từ 0 sau đó tăng dần khi V_{CB} tăng. Lý do là vì chỉ một phần rất nhỏ của các hạt dẫn phát đi từ cực E sẽ đến được cực C cho đến khi điện áp phân cực ngược V_{CB} đủ lớn để gia tốc cho các hạt dẫn này vượt qua miền nền B. Khi V_{CB} đang có giá trị âm thì chuyển tiếp j_C đang phân cực thuận, nên dòng điện I_C lúc này phụ thuộc trực tiếp vào V_{CB} . Quá trình này tiếp tục xảy ra cho đến khi V_{CB} không còn phân cực thuận chuyển tiếp j_C . **Vùng tương ứng với V_{CB} âm được gọi là vùng bão hòa (saturation).** Một transistor được gọi là bị bão hòa khi cả j_E và j_C đều được phân cực thuận.

Một khi V_{CB} đủ lớn để đảm bảo là phần lớn hạt dẫn đi vào được trong miền thu thì với một giá trị I_E cố định, dòng collector duy trì ở một giá trị không đổi, độc lập với giá trị V_{CB} . Trong đặc tuyến ta cũng có thể thấy giá trị của I_C khi là hằng số thì xấp xỉ với I_E . Điều này cho thấy giá trị α rất gần với 1 và là một hằng số. Vùng này được gọi là vùng tích cực (active). Trong vùng tích cực này, BJT có những đặc tính như ta đã phân tích trong phần trước.

Trong đặc tuyến còn có một vùng khác, vùng này tương ứng với **vùng nằm dưới đường đặc tuyến ứng với $I_E = 0$ và được gọi là vùng tắt (cutoff).** Đặc tuyến này nằm rất gần với trục hoành, vì khi này chuyển tiếp j_E bị hở mạch nên dòng điện I_C chỉ là dòng điện ngược do phân cực ngược

trên j_C gây ra. Đó chính là dòng I_{CBO} như ta đã thấy ở phần trước. Một transistor làm việc trong vùng tắt khi cả hai chuyển tiếp đều bị phân cực ngược.

Ví dụ 3-3

Một transistor NPN có đặc tuyến ngõ vào CB như trong hình 3-10 và đặc tuyến ngõ ra như trong hình 3-13.

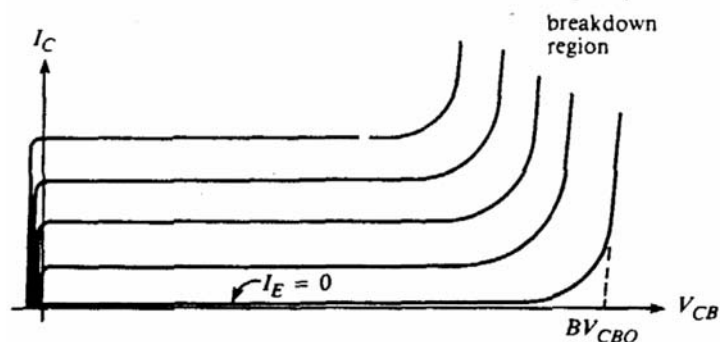
1. Tìm dòng cực thu khi $V_{CB} = 10 \text{ V}$ và $V_{BE} = 0.7 \text{ V}$.
2. Lập lại khi $V_{CB} = 5 \text{ V}$ và $I_E = 5.5 \text{ mA}$.

Hướng dẫn

1. Từ hình 3-10, ta thấy là $I_E = 4 \text{ mA}$ tại $V_{BE} = 0.7 \text{ V}$ và $V_{CB} = 10 \text{ V}$. Trong hình 3-13, đường thẳng $V_{CB} = 10 \text{ V}$ cắt đường cong $I_E = 4 \text{ mA}$ tại $I_C = 3.85 \text{ mA}$.
2. Với các điều kiện đã cho, ta có thể suy ra rằng đặc tuyến ngõ ra nằm giữa hai đường ứng với $I_E = 5 \text{ mA}$ và $I_E = 6 \text{ mA}$. Giao điểm của đường cong này với đường $V_{CB} = 5 \text{ V}$ cho kết quả I_C xấp xỉ 5.4 mA . Phương pháp này không thể đạt độ chính xác cao, trong thực tế, ta có thể xem $I_C = I_E = 5.5 \text{ mA}$.

3-3-3 Đánh thủng BJT

Cũng như đối với diode khi phân cực ngược, chuyển tiếp j_C với phân cực ngược trên nó có thể bị đánh thủng nếu điện áp phân cực ngược đủ lớn. Sự gia tăng dòng điện này thường xuất hiện do cơ chế đánh thủng thác lũ như đã khảo sát trong phần trước. Tuy nhiên, một transistor còn có thể bị đánh thủng bởi một hiện tượng được gọi là punch through. Dạng đánh thủng này xảy ra khi bề rộng vùng nghèo, trên chuyển tiếp j_C bị phân cực ngược, đủ lớn làm cho vùng nghèo này mở rộng đến vùng nghèo của chuyển tiếp j_E được phân cực thuận. Lúc này, miền phát và miền thu bị ngắn mạch và do đó xuất hiện một dòng điện lớn. Hiện tượng punch through còn đặt ra một giới hạn về nồng độ tạp chất cũng như bề rộng miền nền khi thiết kế BJT. Hình 3-14 trình bày họ đặc tuyến ngõ ra bao gồm cả đoạn đánh thủng của đặc tuyến.

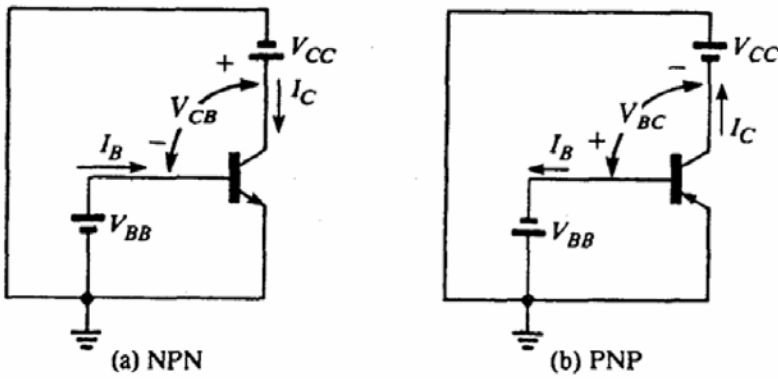


Hình 3-14

Đặc tuyến ngõ ra CB bao gồm vùng đánh thủng.

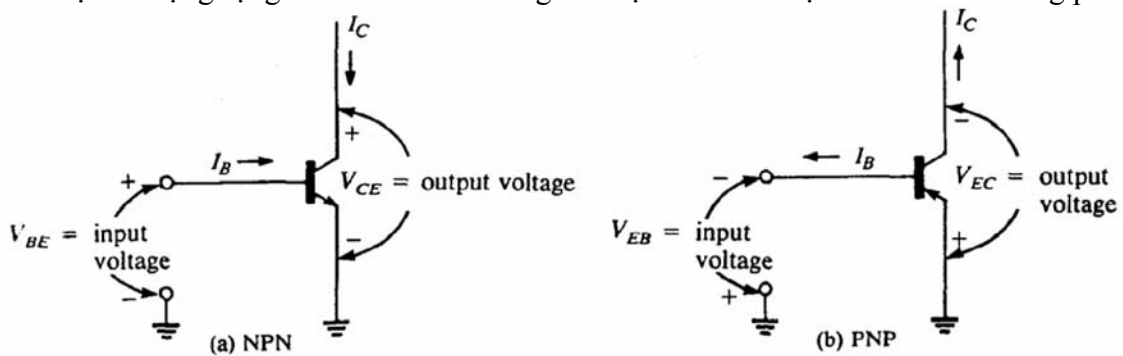
3-4 Đặc tính E chung (Common-Emitter)

Trong phần này ta sẽ xem xét cấu hình phân cực E chung được minh họa trong hình 3-15. Cần lưu ý là nguồn V_{BB} được sử dụng để phân cực thuận cho chuyển tiếp j_E và nguồn V_{CC} được dùng để phân cực ngược cho chuyển tiếp j_C . Biên độ của V_{CC} phải lớn hơn V_{BB} để đảm bảo j_C phải phân cực ngược.



Hình 3-15
 Cấu hình phân cực
 E chung (CE).

Hình 3-16 chứng tỏ là điện áp ngõ vào trong cấu hình CE là điện áp giữa cực nền và cực phát (V_{BE} đối với NPN và V_{EB} đối với PNP), và điện áp ngõ ra là điện áp giữa cực thu và cực phát (V_{CE} đối với NPN và V_{EC} đối với PNP). Dòng ngõ vào là dòng I_B và dòng ngõ ra là I_C . Cấu hình CE là cấu hình được sử dụng rộng rãi nhất do đó chúng sẽ được xem xét một cách chi tiết trong phần này.



Hình 3-16
 Điện áp và dòng điện vào ra cho transistor NPN và PNP trong cấu hình CE.

3-4-1 I_{CEO} và β

Trước khi xây dựng đặc tuyến vào ra cho cấu hình CE ta sẽ xây dựng mối quan hệ giữa I_C và I_{CBO} . Mặc dù mối liên hệ này hoàn toàn không phụ thuộc vào cấu hình phân cực, tuy nhiên mối liên hệ này sẽ cho ta một số các thông số mới rất hữu ích trong việc dự đoán hoạt động của cấu hình CE. Biểu thức 3-4

$$I_C = \alpha I_E + I_{CBO}$$

hay $I_C - I_{CBO} = \alpha I_E$

Chia hai vế cho α , ta có: $\frac{I_C}{\alpha} - \frac{I_{CBO}}{\alpha} = I_E$

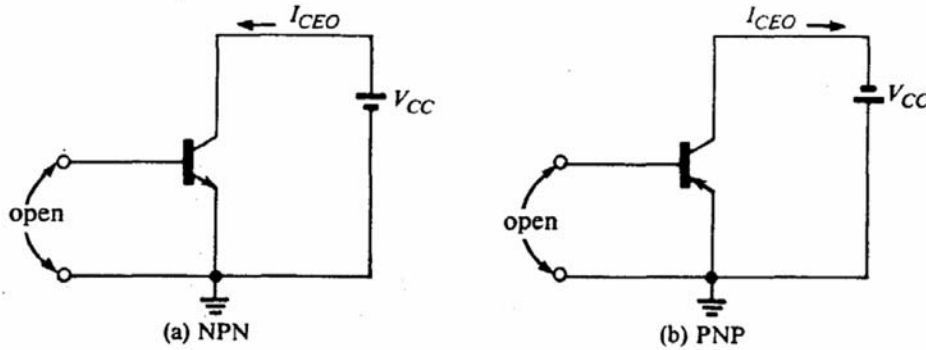
Thay I_E : $\frac{I_C}{\alpha} - \frac{I_{CBO}}{\alpha} = I_B + I_C$

$$I_C = \frac{\alpha I_B}{1 - \alpha} + \frac{I_{CBO}}{1 - \alpha} \tag{3-6}$$

Sử dụng biểu thức 3-6 ta có thể có một biểu thức cho dòng rò ngược trong cấu hình CE. Hình 3-17 trình bày các transistor NPN và PNP trong đó ngõ vào BE bị hở mạch. Lúc này dòng ở ngõ ra chỉ có dòng ngược trên chuyển tiếp j_C . Dòng này đi từ miền thu C qua miền nền B và vào miền phát E. Nó được ký hiệu là I_{CEO} . Vì I_B phải là 0 khi hở mạch ngõ vào nên ta có

$$I_{CEO} = \frac{I_{CBO}}{1-\alpha} = \left(\frac{1}{1-\alpha}\right) I_{CBO} \quad (3-7)$$

Vì α rất gần 1 nên $1/(1-\alpha)$ là khá lớn. Do đó, biểu thức 3-7 cho ta thấy dòng rò CE lớn hơn nhiều so với dòng rò CB. Điều này cũng có nghĩa là dòng rò CB được khuếch đại lên trong cấu hình CE. Kết quả này có thể gây ra các vấn đề khi mạch hoạt động ở nhiệt độ cao, đặc biệt là đối với các transistor loại germanium.



Hình 3-17

Dòng rò collector-emitter I_{CEO}

Trở lại biểu thức 3-6, ta thấy có một tham số quan trọng khác của transistor đó là :

$$\beta = \frac{\alpha}{1-\alpha} \quad (3-8)$$

β là một số lớn hơn 1 và có giá trị thay đổi trong khoảng từ 20 đến vài trăm. Khi α càng tiến gần đến 1 thì một sự thay đổi nhỏ trong α cũng gây ra những thay đổi lớn trong β .

Khi đó, biểu thức 3-6 có thể viết lại là:

$$I_C = \beta I_B + \frac{I_{CBO}}{1-\alpha} \quad (3-9)$$

$$I_C = \beta I_B + I_{CEO} \quad (3-10)$$

Mặc dù I_{CEO} lớn hơn rất nhiều so với I_{CBO} , nói chung, giá trị này là khá nhỏ khi so sánh với βI_B . Do đó, giá trị này có thể bỏ qua trong các tính toán mạch thực tế.

$$I_C \approx \beta I_B \quad (I_{CEO} = 0) \quad (3-11)$$

Ví dụ 3-4

Một transistor có $I_{CBO} = 48 \text{ nA}$ và $\alpha = 0.992$.

1. Tìm β và I_{CEO} .
2. Tìm giá trị chính xác của dòng collector khi $I_B = 30 \text{ }\mu\text{A}$.
3. Tìm giá trị xấp xỉ của dòng collector khi bỏ qua dòng rò.

Hướng dẫn

$$\beta = \frac{\alpha}{1-\alpha} = \frac{0.992}{0.008} = 124$$

1.
$$I_{CEO} = \frac{I_{CBO}}{1-\alpha} = \frac{48 \times 10^{-9}}{0.008} = 6 \text{ }\mu\text{A}$$

$$2. I_C = \beta I_B + I_{CEO} = (124)(30 \mu A) + 6 \mu A = 3.726 \text{ mA}$$

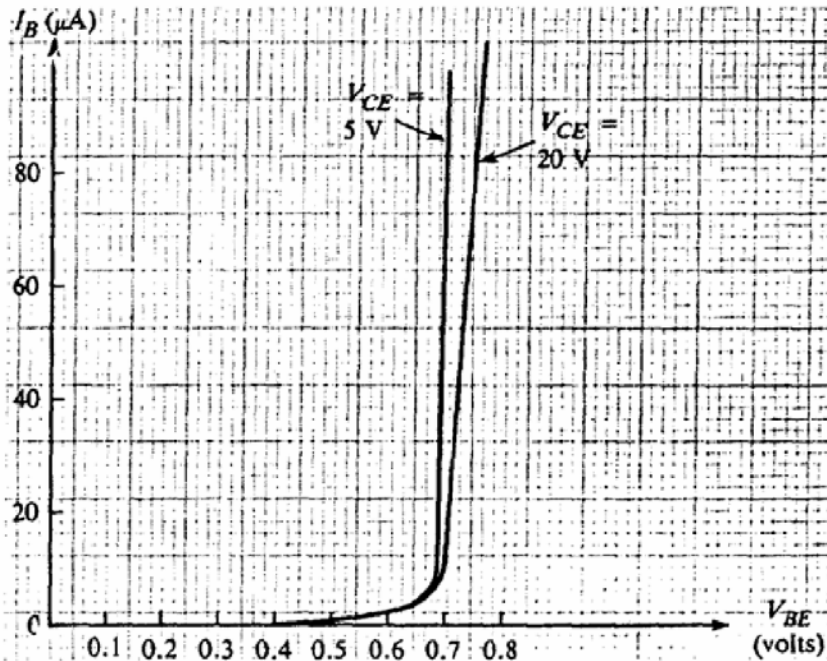
$$3. I_C \approx \beta I_B = 124(30 \mu A) = 3.72 \text{ mA}$$

Biểu thức 3-8 cho ta công thức tính β của một transistor khi biết α của nó và ngược lại sử dụng quan hệ sau

$$\alpha = \frac{\beta}{\beta + 1} \tag{3-12}$$

3-4-2 Đặc tuyến ngõ vào E chung

Vì ngõ vào của một transistor trong cấu hình CE là ngang qua chuyển tiếp j_E (hình 3-16), đặc tính ngõ vào CE là các đường đặc tuyến của diode phân cực thuận. Một tập hợp các đường đặc tuyến ngõ vào của cấu hình CE được vẽ trong hình 3-18. Chú ý là I_B tăng khi V_{CE} giảm nếu giữ cố định V_{BE} . Giá trị V_{CE} lớn sẽ làm cho phân cực ngược trên j_C mạnh hơn, do đó vùng nghèo mở rộng và miền nền trở nên nhỏ hơn. Khi miền nền càng nhỏ, khả năng tái hợp hạt dẫn trong miền này càng ít và do đó dòng nền giảm xuống. Đặc tuyến ngõ vào CE thường được gọi là đặc tuyến nền.



Hình 3-18
 Đặc tuyến ngõ vào CE.

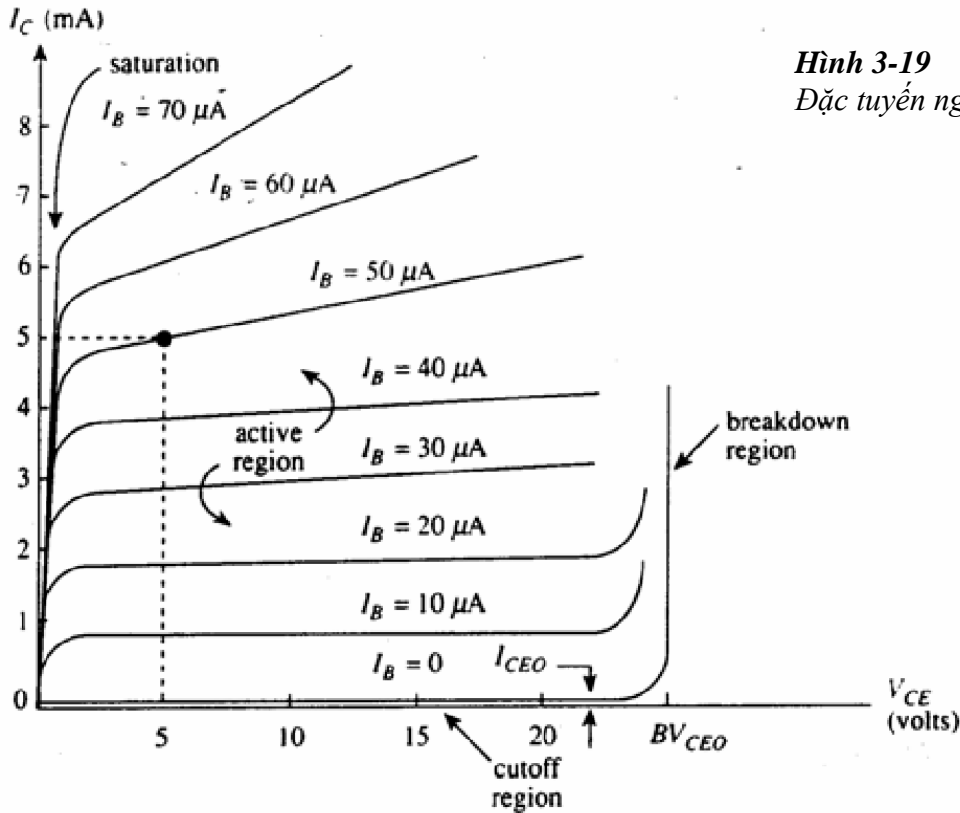
3-4-3 Đặc tuyến ngõ ra CE

Đặc tuyến ngõ ra CE biểu diễn dòng cực thu I_C theo điện áp V_{CE} cho các giá trị I_B cố định khác nhau. Đặc tuyến này thường được gọi là đặc tuyến collector. Hình 3-19 cho thấy một tập hợp các đặc tuyến ra tiêu biểu cho cấu hình CE.

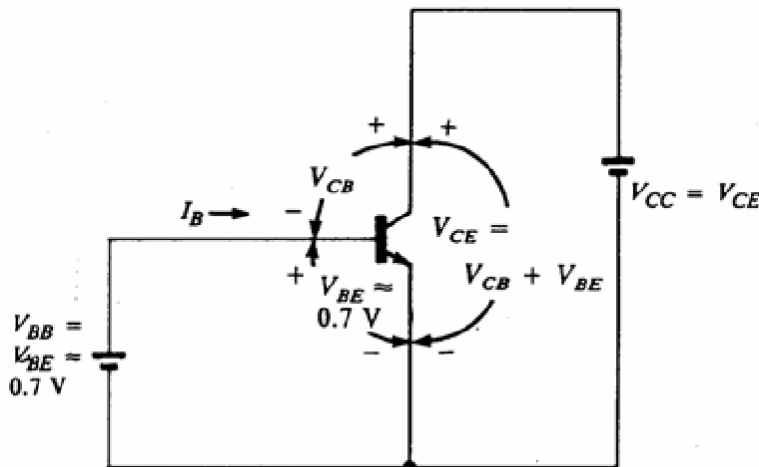
Giá trị xấp xỉ của β có thể được xác định tại một điểm bất kỳ trên đặc tuyến trong hình 3-19 bằng cách tính I_C/I_B tại điểm đó. Hình 3-19 minh họa điều này, tại $V_{CE} = 5 \text{ V}$ và $I_B = 50 \mu A$, giá trị của I_C là 5 mA, do đó giá trị của β tại điểm này là $\beta = I_C/I_B = (5 \text{ mA})/(50 \mu A) = 100$. Rõ ràng β không phải là hằng số như α , giá trị của nó phụ thuộc vào vùng làm việc của transistor. Vùng đặc tuyến gần như nằm ngang được gọi là vùng tích cực trong cấu hình CE. Trong vùng này, β gần như là hằng số, tuy nhiên, β sẽ tăng theo V_{CE} khi đặc tuyến nâng lên phía trên.

Khi $I_B = 0$ (hở mạch ngõ vào), điện áp V_{CE} tại điểm đánh thủng được ký hiệu là BV_{CEO} . Giá trị này là luôn luôn nhỏ hơn BV_{CBO} đối với cùng một transistor.

Khi quan sát đặc tuyến trong hình 3-19, cần phải nhớ là các đặc tuyến này được vẽ tương ứng với giá trị V_{BE} nhỏ (khoảng 0.7 V đối với silicon). Hình 3-20 minh họa điều này.



Hình 3-19
 Đặc tuyến ngõ ra CE

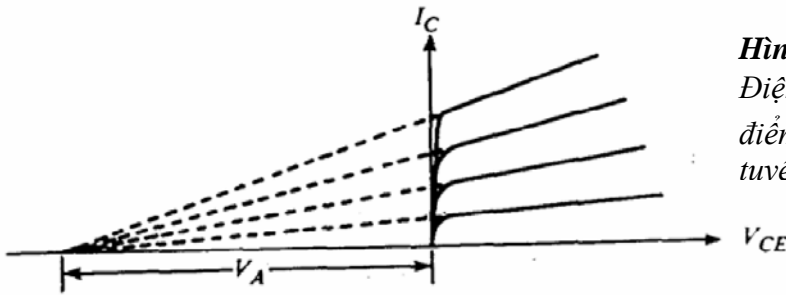


Hình 3-20
 $V_{CE} \approx V_{CB} + 0.7$ V đối với silicon. Khi V_{CE} giảm xuống khoảng 0.7 V thì $V_{CB} \approx 0$ và chuyển tiếp collector-base không còn được phân cực ngược.

Chú ý là trong hình 3-20, $V_{CE} = V_{CB} + V_{BE} \approx V_{CB} + 0.7$ V. Vì vậy, nếu V_{CE} giảm xuống còn khoảng 0.7 V, V_{CB} sẽ tiến đến 0 và chuyển tiếp j_C sẽ không còn phân cực ngược. Kết quả này có thể thấy trong hình 3-19, ta thấy là các đặc tuyến gần như phẳng trong vùng tích cực cho đến khi điện áp V_{CE} giảm xuống xấp xỉ 0.5 V đến 0.7 V. Nếu tiếp tục giảm V_{CE} , dòng I_C bắt đầu giảm xuống. Transistor được coi là bão hòa khi chuyển tiếp j_C được phân cực thuận. Giá trị bão hòa của V_{CE} , ký hiệu là $V_{CE(sat)}$, khoảng 0.1 V đến 0.3 V tùy theo giá trị của dòng I_B .

Trong hình 3-19, dòng I_C khác không mặc dù I_B là 0. Đây chính là thành phần dòng ngược I_{CEO} . Vùng nằm dưới $I_B = 0$ được gọi là vùng cắt (cutoff).

Cũng trong hình 3-19, các đường đặc tuyến tương ứng với giá trị I_B lớn sẽ tăng nhanh hơn khi V_{CE} tăng so với các đặc tuyến có I_B nhỏ. Nếu các đường này được kéo dài sang bên trái như hình 3-21 chúng sẽ giao nhau tại cùng một điểm trên trục hoành. Điểm này được ký hiệu là V_A và được gọi là điện áp Early. Dĩ nhiên là một transistor không bao giờ hoạt động với V_{CE} bằng điện áp Early, V_A chỉ đơn giản là một thông số khác của transistor. Nó rất hữu dụng cho các chương trình mô phỏng mạch như SPICE.



Hình 3-21

Điện áp Early, V_A , là giao điểm của các đường đặc tuyến với trục hoành.

Ví dụ 3-6

Một transistor có đặc tuyến ngõ ra như hình 3-19.

1. Tìm độ thay đổi của β khi V_{CE} thay đổi từ 2.5 V đến 10 V với I_B là 40 μA .
2. Tìm độ thay đổi của β khi I_B thay đổi từ 10 μA đến 50 μA khi V_{CE} là 7.5 V.

Hướng dẫn

1. Tại giao điểm của đường thẳng $V_{CE} = 2.5$ V với đường cong $I_B = 40 \mu A$, ta có $I_C \approx 3.8$ mA. Do đó, $\beta \approx (3.8 \text{ mA}) / (40 \mu A) = 95$.

Đi dọc theo đường cong $I_B = 40 \mu A$ đến giao điểm của nó với đường thẳng $V_{CE} = 10$ V, ta có $I_C \approx 4.2$ mA. Do đó, $\beta \approx (4.2 \text{ mA}) / (40 \mu A) = 105$.

$$\text{Độ thay đổi của } \beta \text{ là } \frac{105 - 95}{95} \times 100\% = 10.53\%$$

2. Tại giao điểm của đường thẳng $V_{CE} = 7.5$ V với đường cong $I_B = 10 \mu A$, ta có $I_C \approx 0.8$ mA. Do đó, $\beta \approx (0.8 \text{ mA}) / (10 \mu A) = 80$.

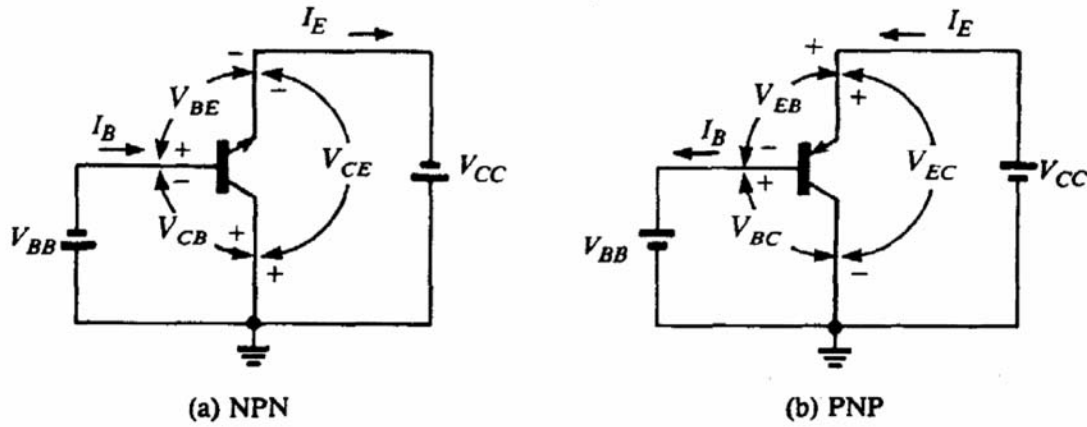
Đi dọc theo đường thẳng $V_{CE} = 7.5$ V đến giao điểm của nó với đường cong $I_B = 50 \mu A$, ta có $I_C \approx 5.2$ mA. Do đó, $\beta \approx (5.2 \text{ mA}) / (50 \mu A) = 104$.

$$\text{Độ thay đổi của } \beta \text{ là } \frac{104 - 80}{80} \times 100\% = 30\%$$

3-5 Đặc tính C chung (Common-collector)

Trong cách phân cực thứ ba này, cực thu được chọn làm điểm tham khảo chung. Cấu hình phân cực CC được trình bày trong hình 3-22. Ta có:

$$V_{CE} = V_{CB} + V_{BE} \quad (3-13)$$



Hình 3-22

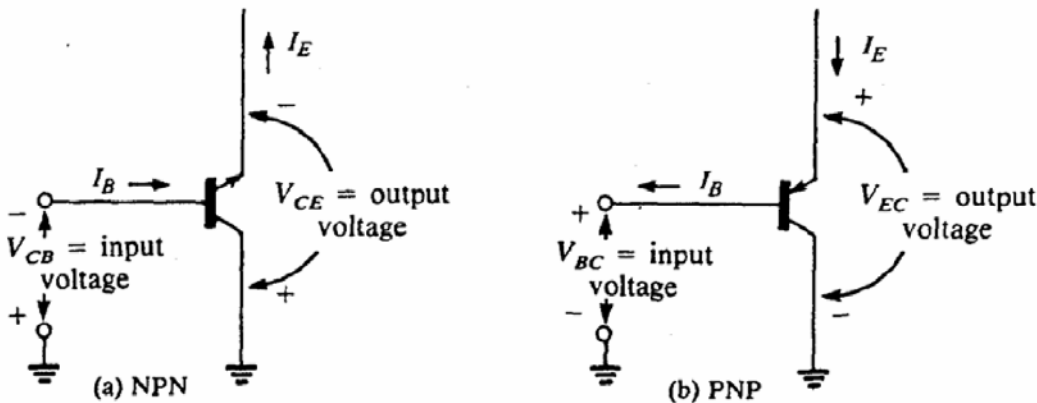
Cấu hình phân cực CC.

Trong đó, $V_{CE} = V_{CC}$, $V_{CB} = V_{BB}$, vì vậy $V_{BB} = V_{CC} - V_{BE}$. Vì V_{BE} thường nhỏ và là hằng số đối với phân cực thuận j_E (khoảng 0.7 V đối với silicon), nên:

$$V_{BB} = V_{CB} \approx V_{CC} - 0.7 \quad (3-14)$$

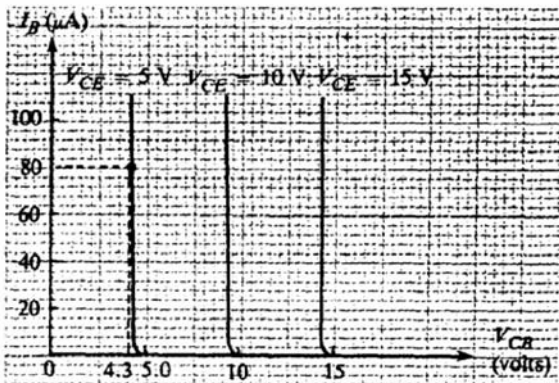
Như vậy, để giữ chuyên tiếp j_C phân cực ngược thì V_{BB} phải lớn hơn $V_{CC} - 0.7$ V.

Hình 3-23 cho thấy điện áp base-collector là điện áp ngõ vào và dòng base là dòng ngõ vào. Điện áp emitter-collector là điện áp ngõ ra và dòng emitter là dòng ngõ ra.



Hình 3-23

Điện áp và dòng điện vào ra của cấu hình CC.



Hình 3-24

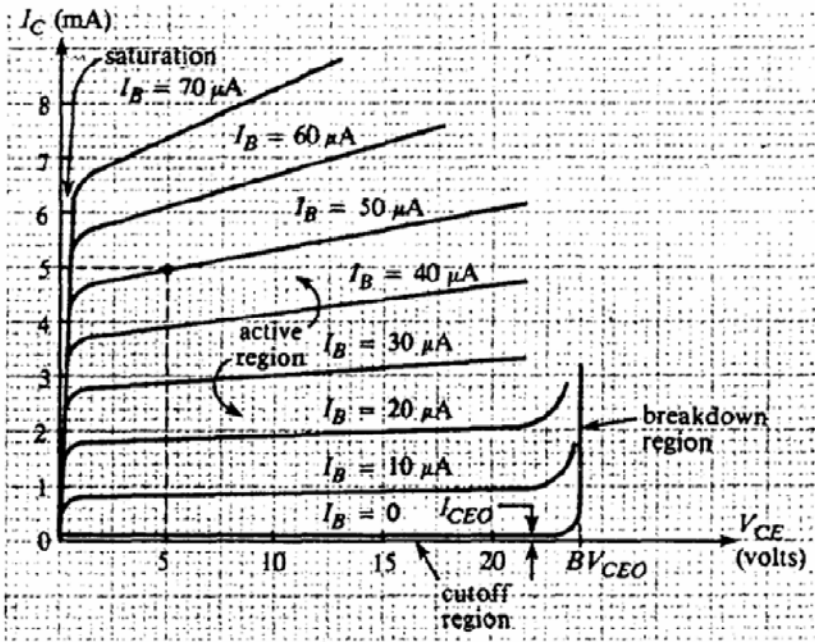
Đặc tuyến ngõ vào CC.

Hình 3-24 biểu diễn một tập hợp tiêu biểu của các đặc tuyến ngõ vào cho một transistor loại NPN trong cấu hình CC. Rõ ràng là chúng không phải là đặc tuyến của một chuyển tiếp PN phân cực thuận. Chúng ta có thể thấy là mỗi đường cong được vẽ cho một giá trị V_{CE} cố định khác nhau, và với mỗi đường dòng base sẽ giảm xuống 0 rất nhanh khi V_{CB} tăng. Điều này có thể giải thích là

do V_{BE} phải xấp xỉ trong khoảng 0.5 V đến 0.7 V thì mới có dòng base, nhưng từ biểu thức 3-13 ta có:

$$V_{BE} = V_{CE} - V_{CB} \quad (3-15)$$

Do đó, nếu V_{CB} tăng đến một giá trị gần V_{CE} thì V_{BE} tiến đến 0 và không có dòng base. Hình 3-25 biểu diễn một tập hợp các đặc tuyến ngõ ra cho transistor loại NPN trong cấu hình CC. Chúng biểu diễn dòng emitter I_E theo V_{CE} với I_B được giữ cố định. Các đặc tuyến này có dạng gần giống với các đặc tuyến ngõ ra trong cấu hình CE ở hình 3-19. Điều này rõ ràng là vì $I_E \approx I_C$.



Hình 3-25
 Đặc tuyến ngõ ra CC.

Khi bỏ qua dòng rò, ta có:

$$I_E = (\beta + 1) I_B \quad (3-16)$$

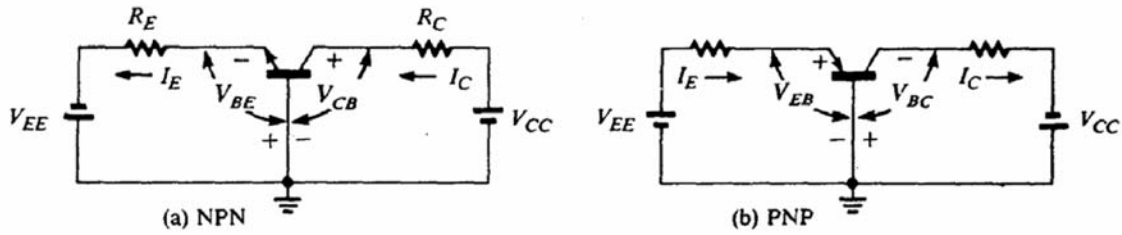
Biểu thức 3-16 biểu diễn quan hệ giữa dòng ngõ vào và dòng ngõ ra trong cấu hình CC.

3-6 Các dạng mạch phân cực

Trong phân phân tích trước, ta đã dùng từ “phân cực” (bias) để chỉ việc ta dùng một điện áp bên ngoài đặt lên chuyển tiếp PN nhằm xác định cực tính của nó. Ta cũng đã nhấn mạnh là chuyển tiếp j_E giữa base và emitter phải phân cực thuận và chuyển tiếp j_C giữa base và collector phải phân cực ngược. Dưới tác động của các nguồn phân cực này có thể xác định được một giá trị cụ thể của điện áp và của dòng điện ngõ ra, ta nói là ta đã định điểm phân cực ngõ ra tại các giá trị đó.

3-6-1 Mạch phân cực B chung

Trong thực tế, phân cực được điều khiển bằng cách dùng các điện trở mắc nối tiếp với các nguồn V_{EE} và V_{CC} . Từ đó ta có thể thay đổi giá trị của điện trở thay vì thay đổi giá trị điện áp của nguồn để điều khiển dòng và áp tĩnh (dc) trong mạch. Mạch được sử dụng khi này được gọi là mạch phân cực. Hình 3-26 trình bày cấu hình mạch phân cực CB trong đó điện trở được mắc nối tiếp với emitter và điện trở R_C được mắc nối tiếp với collector. Lưu ý là ngõ vào và ngõ ra vẫn giữ nguyên như trong phân tích ở phần trước về cấu hình phân cực CB (hình 3-9). Sự khác biệt ở dạng mạch phân cực này là điện áp ngõ vào không còn là V_{BE} bởi vì có điện áp rơi trên điện trở R_E , và điện áp ngõ ra không còn là V_{CE} do điện áp rơi trên R_C . Các nguồn V_{EE} và V_{CC} được gọi là các nguồn cung cấp. Dĩ nhiên là đặc tuyến ngõ vào và ngõ ra vẫn giữ nguyên trong việc biểu diễn mối quan hệ của dòng và áp ngõ vào và ngõ ra.



Hình 3-26

Các mạch phân cực CB thực tế.

Từ hình 3-26 ta có:

$$V_{CC} = I_C R_C + V_{CB} \quad (3-17)$$

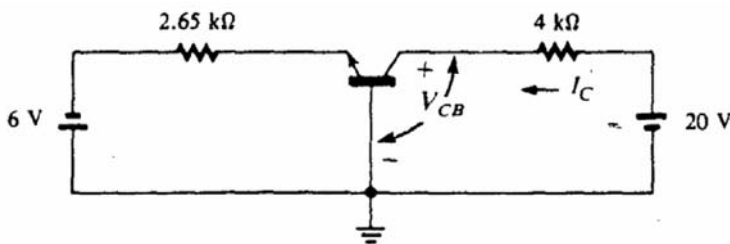
$$I_C = \frac{-1}{R_C} V_{CB} + \frac{V_{CC}}{R_C} \quad (3-18)$$

Khi ta xem I_C và V_{CB} là biến, V_{CC} và R_C là hằng số, ta có thể thấy là biểu thức 3-18 biểu diễn phương trình của một đường thẳng. Nếu vẽ trên đồ thị có hệ trục là $I_C - V_{CB}$, đường thẳng này có độ dốc là $-1/R_C$ và giao với trục I_C tại V_{CC}/R_C . Biểu thức 3-18 là biểu thức đường tải (load line) cho cấu hình CB (NPN). Đường tải này có cách hiểu hoàn toàn giống như đường tải của diode mà ta đã biết trong chương 3: nó là tập hợp của tất cả các tổ hợp có thể có của I_C và V_{CB} trong mạch. Điểm phân cực thật sự phải nằm trên đường tải này. Vị trí chính xác của điểm phân cực phụ thuộc vào dòng và áp ngõ vào I_E và V_{BE} .

Từ biểu thức 3-18 có thể thấy là đường tải giao với trục V_{CB} tại V_{CC} . Do đó, đường tải có thể được vẽ bằng cách vẽ một đường đi qua hai điểm $V_{CB} = 0, I_C = V_{CC}/R_C$ và $I_C = 0, V_{CB} = V_{CC}$.

Ví dụ 3-7

Xác định và vẽ đường tải cho mạch trong hình 3-27.

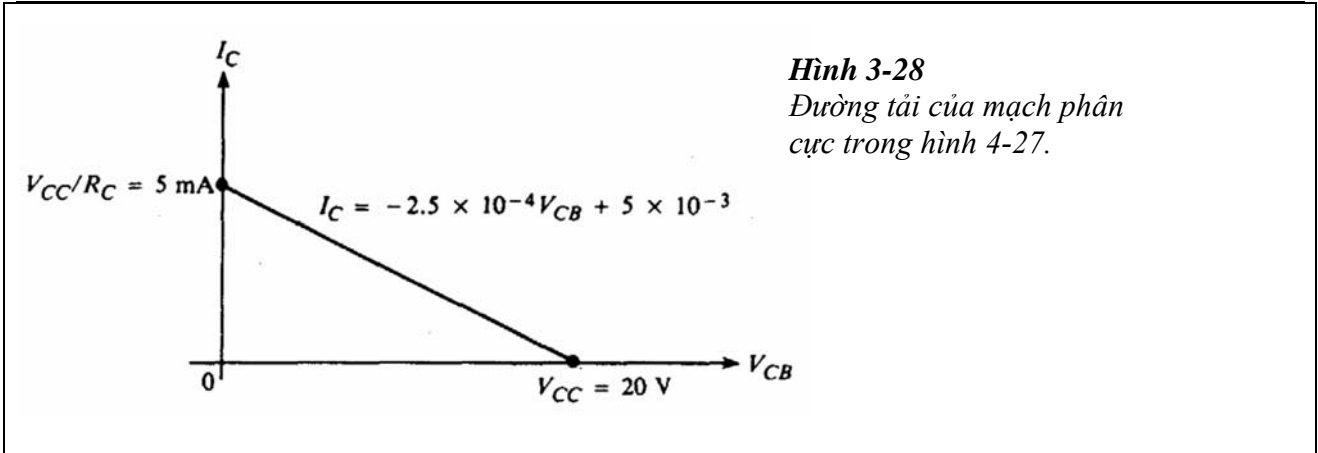


Hình 3-27
 Ví dụ 3-7

Hướng dẫn

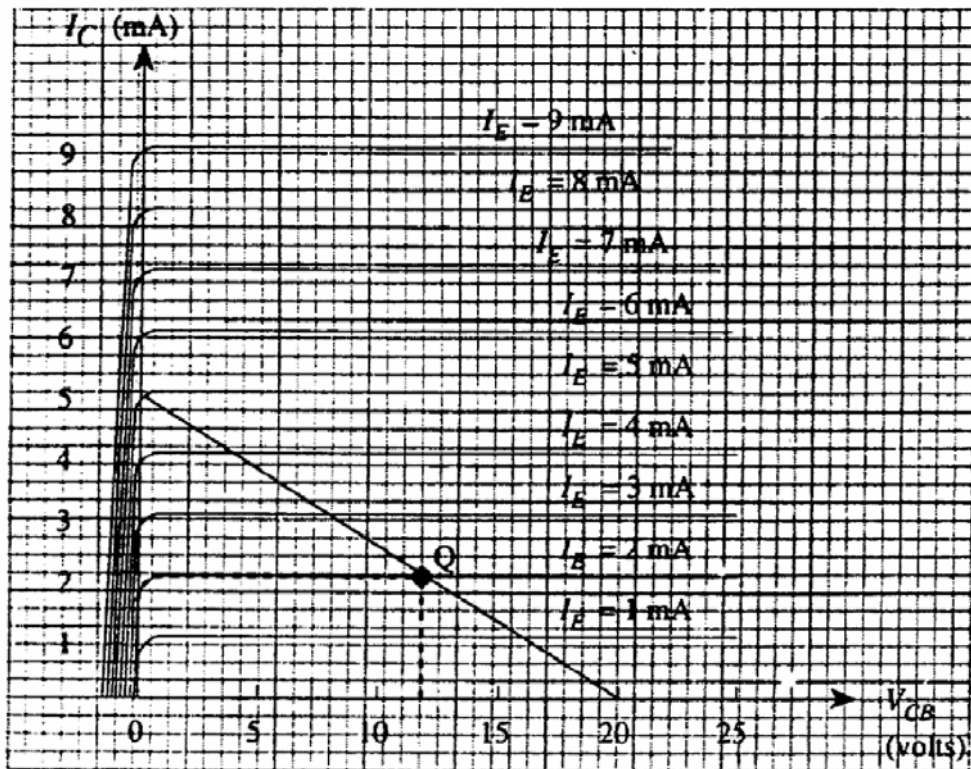
$$\begin{aligned} I_C &= \frac{-1}{R_C} V_{CB} + \frac{V_{CC}}{R_C} \\ &= \frac{-1}{4 \times 10^3} V_{CB} + \frac{20}{4 \times 10^3} \\ &= -2.5 \times 10^{-4} V_{CB} + 5 \times 10^{-3} \text{ A} \end{aligned}$$

Đường tải có độ dốc -2.5×10^{-4} S, giao với trục I_C tại 5 mA, và giao với trục V_{CB} tại 20 V. Hình 3-28 vẽ đường tải này.



Hình 3-28
 Đường tải của mạch phân cực trong hình 4-27.

Ta có thể xác định điểm phân cực bằng cách vẽ đường tải trên đặc tuyến ngõ ra của transistor được sử dụng trong mạch. Để minh họa, đường tải được xác định trong ví dụ 3-8 được vẽ trên một tập hợp các đặc tuyến ngõ ra của cấu hình CB trong hình 3-29.



Hình 3-29
 Đường tải và họ đặc tuyến ngõ ra của cấu hình CB. Điểm phân cực Q là giao điểm của đường tải với đặc tuyến $I_B = 2 \text{ mA}$.

Để có thể xác định được điểm phân cực trên đường tải được vẽ trong hình 3-29, chúng ta phải xác định dòng I_E trong mạch của hình 3-27. Một cách để tìm I_E là viết phương trình đường tải ngõ vào trên một đặc tuyến ngõ vào và xác định giá trị của I_E dựa vào giao điểm của hai đường này. Cách này giống với cách đã làm đối với diode để tìm dòng và áp phân cực tĩnh cho diode. Tuy nhiên phương pháp này không thực tế vì đặc tuyến ngõ vào thường không có sẵn.

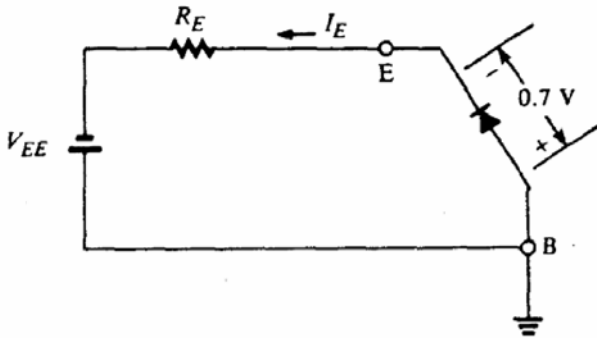
Cách thường dùng nhất để xác định I_E là xem như chuyển tiếp j_E phân cực thuận có điện áp rơi là khoảng 0.7 V (Si) và tìm dòng qua chuyển tiếp như ta đã biết. Trong hình 3-30 ta có

$$I_E = \frac{V_{EE} - 0.7}{R_E} \quad (3-19)$$

Chú ý là ta đã bỏ qua ảnh hưởng hồi tiếp (feedback) của V_{CB} lên đặc tuyến ngõ vào. Cũng cần phải lưu ý là vì V_{EE} có cực dương nối đến điểm tham khảo chung (tức là ground) nên ta thường xem nó như nguồn âm. Tuy nhiên, khi tính toán trong biểu thức 3-19 giá trị của V_{EE} phải được xem như là độ lớn của nguồn. Trở lại ví dụ trong hình 3-27, áp dụng biểu thức 3-19 ta có:

$$I_E = \frac{V_{EE} - 0.7}{R_E}$$

Trong hình 3-29, điểm phân cực, điểm Q, được xem là giao điểm của đường tải và đường đặc tuyến có $I_E = 2 \text{ mA}$. Tại điểm đó, $I_C \approx 2 \text{ mA}$ và $V_{CB} = 12 \text{ V}$.



Hình 3-30
 Để tính I_E , phía ngõ vào của transistor trong cấu hình CB có thể được xem như một diode phân cực thuận.

Điểm phân cực thường được gọi là điểm tĩnh (quiescent point), điểm Q, hoặc điểm hoạt động. Nó xác định điện áp và dòng ngõ ra dc khi không có điện áp ac trên ngõ vào. Mạch được sử dụng như một bộ khuếch đại ac bằng cách kết nối một nguồn áp ac nối tiếp với cực phát. Khi điện áp ac thay đổi, dòng cực phát I_E cũng thay đổi theo, kết quả là dòng và áp ngõ ra thay đổi dọc theo đường tải trên giới hạn được xác định bởi sự thay đổi giá trị của I_E .

Đặc tuyến ngõ vào và ngõ ra của transistor rất tiện lợi để có thể nhìn thấy hoạt động bên trong của transistor và khi sử dụng đường tải, chúng giúp thấy được sự thay đổi trong dòng và áp ngõ ra. Tuy nhiên, cách này ít khi được sử dụng để thiết kế hoặc phân tích các mạch dùng transistor. Một lý do là vì không phải tất cả các transistor cùng kiểu đều có cùng đặc tính, do đó, các nhà chế tạo linh kiện không đưa ra một tập hợp các đường đặc tuyến có thể sử dụng được trong thiết kế. Hơn nữa, độ chính xác khi sử dụng xấp xỉ và phương pháp phân tích đại số thường đủ cho các ứng dụng trong thực tế. Ta đã thấy phương pháp tính xấp xỉ khi ta xem ngõ vào của transistor CB tương tự như một diode được phân cực thuận. Bây giờ ta sẽ phân tích toàn bộ mạch phân cực mà không dùng đặc tuyến.

Vì $\alpha \approx 1$ và $I_C = \alpha I_E$, do đó $I_C \approx I_E$. Ta đã xác định được I_E dùng biểu thức 3-19, do đó có thể tính xấp xỉ được I_C . Sau đó, ta có thể dùng biểu thức 3-17 để tìm V_{CB}

$$V_{CB} = V_{CC} - I_C R_C \quad (3-20)$$

Ví dụ 3-8

Xác định điểm phân cực cho mạch trong hình 3-27 mà không sử dụng đặc tuyến.

Hướng dẫn

Ta đã có $I_E = \frac{V_{EE} - 0.7}{R_E} = \frac{(6 - 0.7) \text{ V}}{2.65 \text{ k}\Omega} = 2 \text{ mA}$.

Vì $I_C \approx I_E$ nên từ biểu thức 3-20, $V_{CB} = V_{CC} - I_C R_C = 20 \text{ V} - 8 \text{ V} = 12 \text{ V}$. Chú ý là điểm phân cực tính bằng cách này cho kết quả giống với kết quả được tìm thấy bằng đồ thị trong hình 3-29.

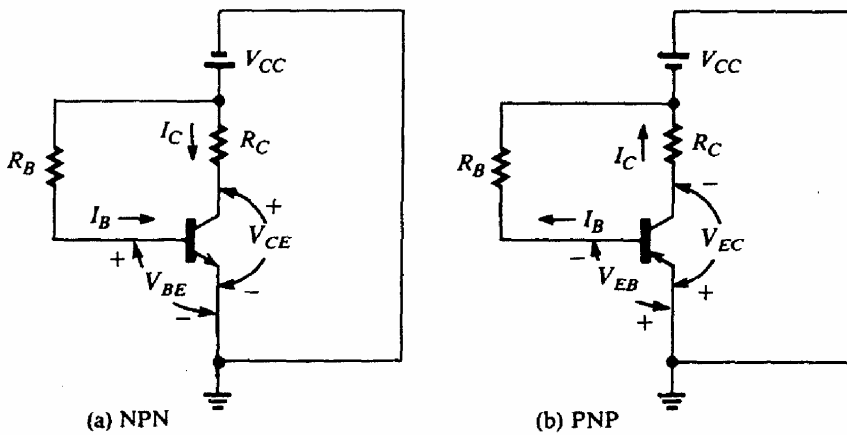
Tóm lại, đây là bốn công thức có thể dùng để tìm dòng và áp ngõ vào và ngõ ra cho cấu hình CB, NPN trong mạch hình 3-26(a):

$$\begin{aligned}
 V_{BE} &= 0.7 \text{ V (Si), } 0.3 \text{ V (Ge)} \\
 I_E &= \frac{V_{EE} - V_{BE}}{R_E} \\
 I_C &= I_E - I_B \approx I_E \\
 V_{CB} &= V_{CC} - I_C R_C
 \end{aligned}
 \tag{3-21}$$

Biểu thức 3-21 cũng có thể được dùng cho transistor PNP (hình 3-26(b)) bằng cách thay V_{BE} thành V_{EB} và V_{CB} thành V_{BC} , đồng thời V_{CC} là giá trị tuyệt đối của nguồn.

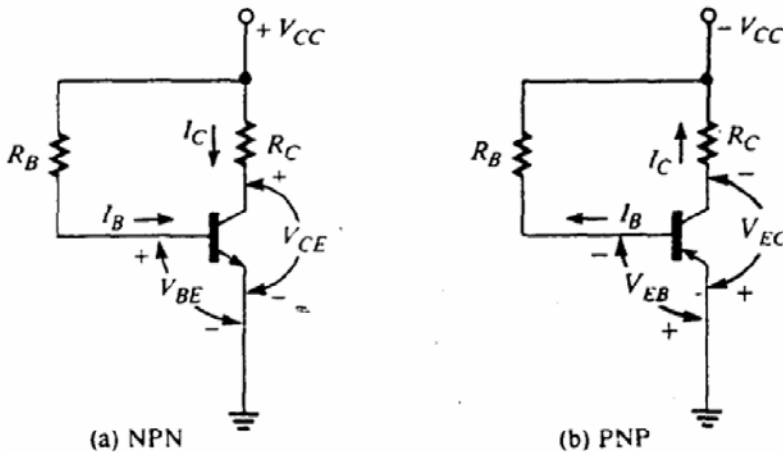
3-6-2 Mạch phân cực E chung

Hình 3-31 trình bày mạch phân cực cho transistor NPN và PNP trong cấu hình CE. Chú ý là các mạch phân cực này chỉ sử dụng nguồn đơn V_{CC} . Giá trị của R_B và R_C phải được chọn sao cho điện áp rơi trên R_B là lớn hơn điện áp rơi trên R_C nhằm giữ cho chuyển tiếp j_C được phân cực ngược.



Hình 3-31
Mạch phân cực CE thực tế.

Sơ đồ hình 3-31 thật ra ít được sử dụng trong thực tế, sơ đồ này chỉ được dùng để giúp nhận ra một vòng kín trong mạch, hình 3-32 trình bày một sơ đồ tương tự nhưng ở dạng thường gặp hơn.

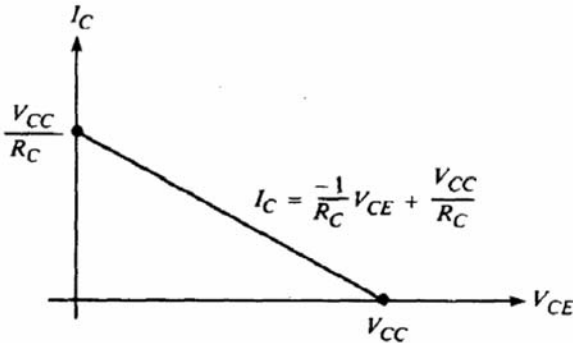


Hình 3-32
Sơ đồ mạch phân cực CE trong hình 3-31 vẽ lại.

Dùng định luật Kirchhoff cho vòng ngõ ra trong hình 3-31(a) hoặc 3-32(a), ta có phương trình đường tải của một transistor NPN trong cấu hình E chung:

$$I_C = \frac{-1}{R_C} V_{CE} + \frac{V_{CC}}{R_C} \quad (3-22)$$

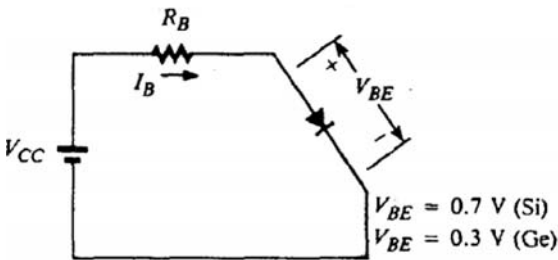
Biểu thức này có dạng tương tự như biểu thức đường tải của cấu hình CB. Đường tải CE có độ dốc $-1/R_C$, giao với trục I_C tại V_{CC}/R_C , và giao với trục V_{CE} tại V_{CC} . Hình 3-33 vẽ đồ thị của đường tải.



Hình 3-33
 Đường tải cho mạch trong hình 3-33(a)

Khi đường tải CE được vẽ trên tập hợp đặc tuyến ngõ ra CE, ta có thể xác định được điểm làm việc ngõ ra khi biết trước giá trị I_B . Để xác định I_B , ta xem ngõ vào của transistor là một chuyển tiếp PN được phân cực thuận, do đó có điện áp rơi cố định như được trình bày trong hình 3-34. Ta có:

$$I_B = \frac{V_{CC} - V_{BE}}{R_B} \quad (3-23)$$



Hình 3-34
 Ngõ vào của transistor trong cấu hình CE có thể được xem như là một diode phân cực thuận với điện áp rơi cố định.

với $V_{BE} = 0.7 \text{ V}$ cho silicon và 0.3 V cho germanium. Trong tính toán này ta đã bỏ qua ảnh hưởng của V_{CE} lên I_B . Cũng như trong cấu hình CB, điểm phân cực của CE cũng có thể được xác định bằng các biểu thức đại số. Các biểu thức này có thể được tóm tắt như sau:

$$\begin{aligned} V_{BE} &= 0.7 \text{ V (Si)}, 0.3 \text{ V (Ge)} \\ I_B &= \frac{V_{CC} - V_{BE}}{R_B} \\ I_C &= \beta I_B \\ I_B &= \frac{V_{CC} - V_{BE}}{R_B} \end{aligned} \quad (3-24)$$

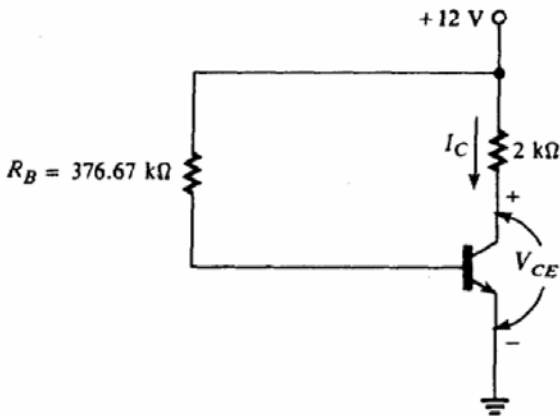
Biểu thức 3-24 cũng có thể được áp dụng cho transistor loại PNP (mạch phân cực hình 3-31(b)) bằng cách thay V_{CE} bằng V_{EC} và thay V_{BE} bằng V_{EB} , dùng giá trị tuyệt đối của V_{CC} .

Ví dụ 3-9

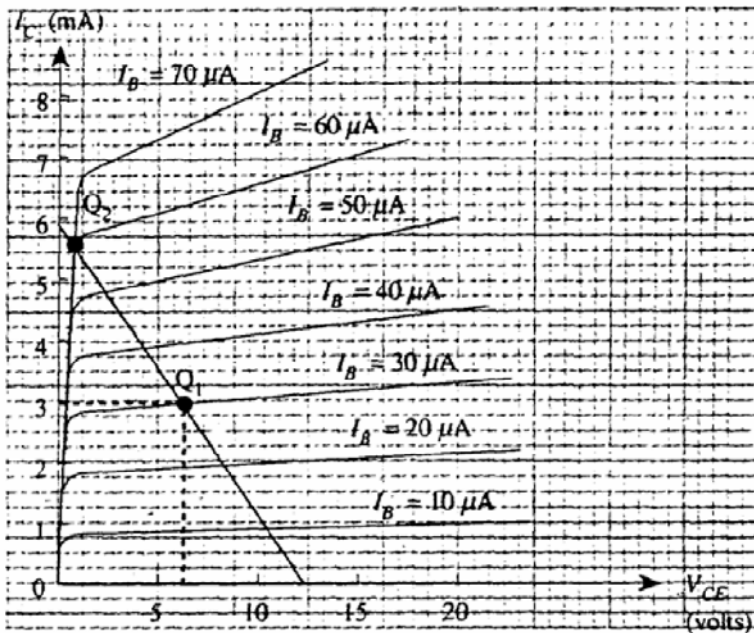
Transistor silicon trong mạch phân cực hình 3-35 có β là 100.

1. Giả sử là transistor có đặc tuyến ngõ ra như hình 3-36, tìm điểm phân cực bằng cách dùng đồ thị.
2. Tìm điểm phân cực bằng cách dùng đại số.

3. Lập lại câu 1 và 2 khi R_B là 161.43 k Ω .



Hình 3-35
 Ví dụ 3-8.



Hình 3-36
 Đường tải trên đặc tuyến ngõ ra CE. Điểm phân cực dịch về phía vùng bão hòa bằng cách thay đổi R_B .

Hướng dẫn

1. Biểu thức đường tải là

$$I_C = -\frac{1}{2 \times 10^{-3}} V_{CE} + \frac{12}{2 \times 10^3}$$

$$= -0.5 \times 10^{-3} V_{CE} + 6 \times 10^{-3}$$

Đường tải giao với trục I_C tại 6 mA và trục V_{CE} tại 12 V. Đường tải này được vẽ trên đặc tuyến ngõ ra trong hình 3-36. Để xác định điểm phân cực ta cần tìm I_B :

$$I_B = \frac{(12 - 0.7) \text{ V}}{376.67 \text{ k}\Omega} = 30 \mu\text{A}$$

Tại giao điểm của đường cong $I_B = 30 \mu\text{A}$ với đường tải, Q_1 , ta có điểm phân cực là $Q_1(6 \text{ V}; 3 \text{ mA})$.

2. Từ biểu thức 3-24, ta có

$$V_{BE} = 0.7 \text{ V}$$

$$I_B = \frac{(12 - 0.7) \text{ V}}{376.67 \text{ k}\Omega} = 30 \mu\text{A}$$

$$I_C = (100)(30 \mu\text{A}) = 3 \text{ mA}$$

$$V_{CE} = 12 \text{ V} - (3 \text{ mA})(2 \text{ k}\Omega) = 6 \text{ V}$$

Kết quả này phù hợp với các giá trị được tìm bằng đồ thị.

3. Thay đổi $R_B = 161.43 \text{ k}\Omega$ không có ảnh hưởng trên đường tải. Lưu ý là đường tải 3-22 không phụ thuộc R_B . Tuy nhiên, giá trị I_B có thay đổi

$$I_B = \frac{(12 - 0.7) \text{ V}}{161.43 \text{ k}\Omega} = 70 \mu\text{A}$$

Vì vậy điểm phân cực dịch chuyển dọc theo đường tải đến điểm Q_2 trong hình 3-36. Chúng ta thấy là Q_2 nằm trong vùng bão hòa. Tại Q_2 , $I_C \approx 5.7 \text{ mA}$, $V_{CE} \approx 0.5 \text{ V}$. Kết quả này cho thấy điểm phân cực có thể bị thay đổi bằng cách thay đổi giá trị của các điện trở phân cực trong mạch ngoài.

Dùng biểu thức 3-24 để tìm điểm phân cực mới, ta có

$$I_C = \beta I_B = (100)(70 \mu\text{A}) = 7 \text{ mA}$$

$$V_{CE} = 12 \text{ V} - (7 \text{ mA})(2 \text{ k}\Omega) = -2 \text{ V}(\!!!)$$

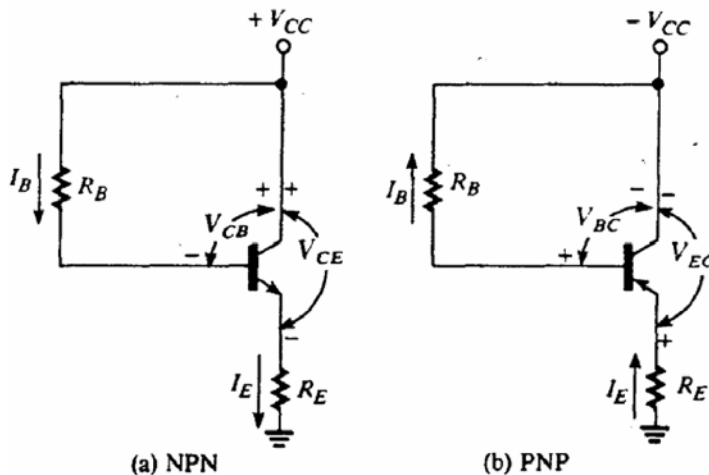
Rõ ràng là kết quả này là sai vì giá trị tối đa của I_C có thể có là 6 mA và giá trị tối thiểu của V_{CE} là 0 V. Biểu thức 3-24 không có ý nghĩa trong trường hợp điểm làm việc nằm trong vùng bão hòa.

3-6-3 Mạch phân cực C chung

Hình 3-37 biểu diễn mạch phân cực C chung cho transistor NPN và PNP. Biểu thức đường tải là:

$$V_{CC} = I_E R_E + V_{CE}$$

$$I_E = \frac{-1}{R_E} V_{CE} + \frac{V_{CC}}{R_E} \quad (3-25)$$



Hình 3-37
Mạch phân cực CC.

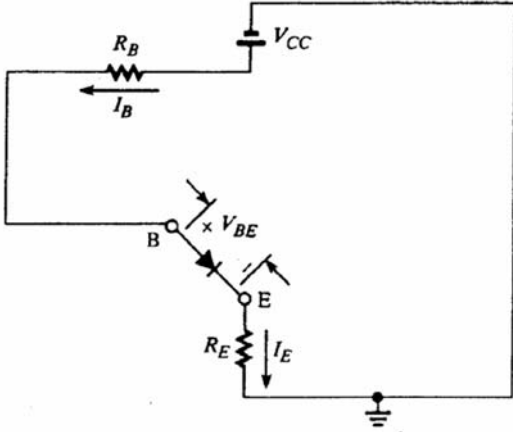
Như trong cấu hình trước, chúng ta phải tìm I_B để xác định điểm phân cực. Hình 3-38 biểu diễn mạch tương đương cho vòng kín trong hình 3-37(a), bắt đầu tại V_{CC} , qua R_B , qua chuyển tiếp j_E và R_E . Ta có:

$$V_{CC} = I_B R_B + V_{BE} + I_E R_E \quad (3-26)$$

Từ biểu thức 3-16 ta có $I_E = (\beta + 1)I_B$. Thay vào biểu thức 3-26 ta có:

$$V_{CC} = I_B R_B + V_{BE} + (\beta + 1)I_B R_E$$

$$V_{CC} - V_{BE} = I_B [R_B + (\beta + 1)R_E] \quad (3-27)$$



Hình 3-38
 Mạch tương đương phía ngõ vào của hình 3-37(a).

Tóm lại, các biểu thức để xác định điểm phân cực trong cấu hình CC là

$$V_{BE} = 0.7 \text{ V (Si)}, 0.3 \text{ V (Ge)}$$

$$I_B = \frac{V_{CC} - V_{BE}}{R_B + (\beta + 1)R_E} \quad (3-28)$$

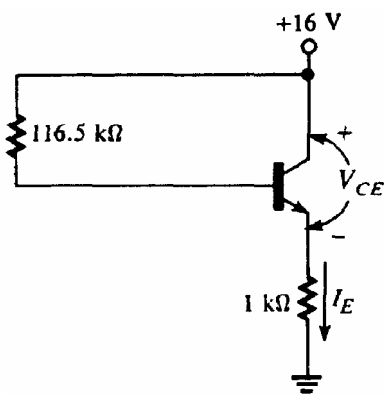
$$I_E = (\beta + 1)I_B$$

$$V_{CE} = V_{CC} - I_E R_E$$

Đối với transistor loại PNP, thay V_{CE} bằng V_{EC} và V_{BE} bằng V_{EB} , sử dụng giá trị tuyệt đối của V_{CC} .

Ví dụ 3-10

Tìm điểm phân cực của transistor loại Ge cho mạch trong hình 3-39. Giả sử β là 120.



Hình 3-39
 Ví dụ 4-11.

Hướng dẫn

Từ biểu thức 3-28

$$V_{BE} = 0.3 \text{ V}$$

$$I_B = \frac{16 - 0.3}{116.5 \times 10^3 + 121 \times 10^3} = 66.105 \mu\text{A}$$

$$I_E = (121)(66.105 \mu\text{A}) = 8 \text{ mA}$$

$$V_{CE} = 16 - (8 \times 10^{-3})(10^3) = 8 \text{ V}$$

3-7 Thiết kế mạch phân cực

3-7-1 Thiết kế phân cực B chung

Ta chỉ xem xét cách thức thiết kế phân cực cho cấu hình hai nguồn (hình 3-26). Thông thường, giá trị của nguồn V_{EE} và V_{CC} là cố định, và ta phải chọn giá trị của R_E và R_C theo giá trị phân cực của I_E và V_{CB} đã biết trước. Đặt $I_C = I_E$, biểu thức 3-21 có thể viết lại:

$$R_E = \frac{V_{EE} - V_{BE}}{I_E} \tag{3-29}$$
$$R_C = \frac{V_{CC} - V_{CB}}{I_E}$$

Trong các thiết kế mạch thực tế, các giá trị điện trở được thiết kế theo các giá trị chuẩn, do đó, các giá trị điện trở chuẩn gần nhất với kết quả thiết kế sẽ được chọn. Từ đó, phân tích lại các giá trị phân cực I_E và V_{CB} . Nếu các giá trị này có sai số quá lớn so với yêu cầu, có thể cần phải tính lại các giá trị của điện trở phân cực.

Ví dụ 3-11

Một mạch phân cực B chung được thiết kế dùng transistor NPN silicon. Các nguồn phân cực có giá trị +15 V và -5 V. Điểm phân cực là $I_E = 1.5 \text{ mA}$ và $V_{CB} = 7.5 \text{ V}$.

1. Thiết kế mạch dùng các điện trở chuẩn dung sai 5 %.
2. Giá trị phân cực thật sự khi dùng các các điện trở chuẩn là bao nhiêu?
3. Tìm giới hạn của I_E và V_{CB} khi tính cả sai số trên điện trở.

Hướng dẫn

1. Từ biểu thức 3-29, ta có

$$R_E = \frac{(5 - 0.7) \text{ V}}{1.5 \times 10^{-3} \text{ A}} = 2867 \Omega$$

$$R_C = \frac{(15 - 7.5) \text{ V}}{1.5 \times 10^{-3} \text{ A}} = 5000 \Omega$$

Dựa vào các giá trị của điện trở chuẩn 5 %, ta có thể chọn $R_E = 3 \text{ k}\Omega$ và $R_C = 5.1 \text{ k}\Omega$.

2. Từ biểu thức 3-21, ta có

$$I_E = \frac{(5 - 0.7) \text{ V}}{3 \text{ k}\Omega} = 1.43 \text{ mA}$$

$$V_{CB} = 15 \text{ V} - (1.43 \text{ mA})(5.1 \text{ k}\Omega) = 7.69 \text{ V}$$

3. Giới hạn của các giá trị điện trở có thể của R_E và R_C là

$$R_E = 3 \text{ k}\Omega \pm 0.05(3 \text{ k}\Omega) = 2850 \Omega - 3150 \Omega$$

$$R_C = 5.1 \text{ k}\Omega \pm 0.05(5.1 \text{ k}\Omega) = 4845 \Omega - 5355 \Omega$$

$$I_{E(\min)} = \frac{V_{EE} - V_{BE}}{R_{E(\max)}} = \frac{(5 - 0.7) \text{ V}}{3150 \Omega} = 1.365 \text{ mA}$$

$$I_{E(\max)} = \frac{V_{EE} - V_{BE}}{R_{E(\min)}} = \frac{(5 - 0.7) \text{ V}}{2850 \Omega} = 1.509 \text{ mA}$$

$$V_{CB(\min)} = V_{CC} - I_{E(\max)} R_{C(\max)} = 15 \text{ V} - (1.509 \text{ mA})(5355 \Omega) = 6.92 \text{ V}$$

$$V_{CB(\max)} = V_{CC} - I_{E(\min)} R_{C(\min)} = 15 \text{ V} - (1.365 \text{ mA})(4845 \Omega) = 8.39 \text{ V}$$

Từ kết quả trên ta có thể thấy được sự thay đổi trong điểm phân cực khi dùng các giá trị điện trở chuẩn.

3-7-2 Thiết kế mạch phân cực E chung

Mạch phân cực hình 3-31 có thể được sử dụng như là mạch phân cực cho cấu hình CE. Giả sử là áp nguồn cung cấp V_{CC} là biết trước (điều này cũng thường đúng trong thực tế). Biểu thức 3-24 có thể viết lại cho trường hợp thiết kế:

$$R_B = \frac{V_{CC} - V_{BE}}{I_E} \tag{3-30}$$

$$R_C = \frac{V_{CC} - V_{CB}}{I_C / \beta}$$

Sự khó khăn với thiết kế loại này là điểm phân cực bị phụ thuộc vào β , trong khi đó β phụ thuộc rất nhiều vào nhiệt độ. Thêm vào đó, với cùng một loại transistor, giá trị này cũng thay đổi rất nhiều. Chính vì vậy, dạng phân cực này thường không được phổ biến trong thực tế.

Ví dụ 3-12

Một transistor silicon NPN có β tối ưu là 100, được sử dụng trong mạch phân cực CE với $V_{CC} = 12 \text{ V}$. Điểm phân cực là $I_C = 2 \text{ mA}$ và $V_{CE} = 6 \text{ V}$.

1. Thiết kế mạch dùng các điện trở chuẩn 5 %.
2. Tìm giới hạn có thể có của điểm phân cực nếu β của transistor thay đổi từ 50 đến 150 (một giới hạn thường gặp trong thực tế). Giả sử là các điện trở 5 % có giá trị tối ưu.

Hướng dẫn

1. Từ biểu thức 3-30, ta có

$$R_B = \frac{(12 - 0.7) \text{ V}}{2 \times 10^{-3} \text{ A} / 100} = 65 \text{ k}\Omega$$

$$R_C = \frac{(12 - 6) \text{ V}}{2 \times 10^{-3} \text{ A}} = 3 \text{ k}\Omega$$

Nếu sử dụng các điện trở chuẩn 5 %, ta có thể chọn $R_B = 560 \text{ k}\Omega$ và $R_C = 3 \text{ k}\Omega$.

2. Từ biểu thức 3-24

$$I_B = \frac{(12 - 0.7) \text{ V}}{560 \text{ k}\Omega} = 20.18 \mu\text{A}$$

$$I_{C(\min)} = \beta_{(\min)} I_B = 50(20.18 \mu A) = 1.01 \text{ mA}$$

$$I_{C(\max)} = \beta_{(\max)} I_B = 150(20.18 \mu A) = 3.03 \text{ mA}$$

$$V_{CE(\min)} = V_{CC} - I_{C(\max)} R_C = 12 \text{ V} - (3.03 \text{ mA})(3 \text{ k}\Omega) = 2.92 \text{ V}$$

$$V_{CE(\max)} = V_{CC} - I_{C(\min)} R_C = 12 \text{ V} - (1.01 \text{ mA})(3 \text{ k}\Omega) = 8.97 \text{ V}$$

Trong hầu hết giá trị V_{CE} có thể thay đổi từ 2.92 V đến 8.97 V .

3-7-3 Thiết kế phân cực C chung

Để tìm được các giá trị điện trở trong mạch phân cực CC (hình 3-36), biểu thức 3-28 có thể viết lại như sau:

$$R_E = \frac{V_{EE} - V_{CE}}{I_E} \tag{3-31}$$

$$R_B = \frac{(\beta + 1)}{I_E} (V_{CC} - V_{BE} - I_E R_E)$$

Ví dụ 3-13

Một transistor silicon NPN có $\beta = 100$ được dùng trong cấu hình CC với $V_{CC} = 24 \text{ V}$. Điểm phân cực cần thiết kế là $V_{CE} = 16 \text{ V}$ và $I_E = 4 \text{ mA}$.

1. Thiết kế mạch phân cực dùng các điện trở chuẩn 5 % .
2. Tìm điểm phân cực thật sự khi các điện trở chuẩn 5 % được sử dụng, giả sử là chúng có các giá trị tối ưu.

Hướng dẫn

1. Từ biểu thức 3-31,

$$R_E = \frac{(24 - 16) \text{ V}}{4 \text{ mA}} = 2 \text{ k}\Omega$$

$$R_B = \frac{101}{4 \text{ mA}} [24 \text{ V} - 0.7 \text{ V} - (4 \text{ mA})(2 \text{ k}\Omega)] = 386.325 \Omega$$

Dùng điện trở chuẩn $R_E = 2 \text{ k}\Omega$ và $R_B = 390 \text{ k}\Omega$

2. Từ biểu thức 3-28

$$I_B = \frac{(24 - 0.7) \text{ V}}{390 \text{ k}\Omega + 101(2 \text{ k}\Omega)} = 39.358 \mu A$$

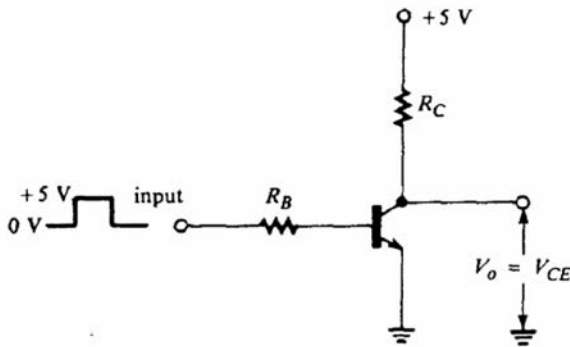
$$I_E = 101(39.358 \mu A) = 3.98 \text{ mA}$$

$$V_{CE} = 24 \text{ V} - (3.98 \text{ mA})(2 \text{ k}\Omega) = 16.04 \text{ V}$$

3-8 BJT Inverter (Transistor switch)

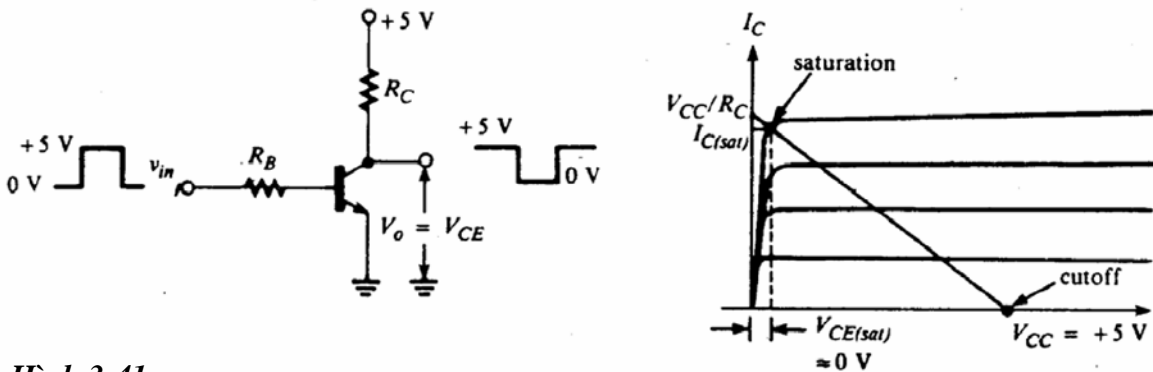
Transistor được sử dụng rộng rãi trong các mạch số và các ứng dụng switching. Dạng tín hiệu trong các ứng dụng này thay đổi giữa hai mức điện áp “cao” và “thấp”, ví dụ như 0 V và 5 V . Các mạch transistor cơ bản được dùng trong các ứng dụng switching được gọi là inverter. Hình 3-40 là dạng mạch này đối với transistor loại NPN. Trong hình này, transistor được mắc ở cấu hình CE, tuy nhiên, không có điện áp phân cực thuận được đặt lên cực base thông qua điện trở. Thay vào đó, điện trở R_B được mắc nối tiếp với cực base, một tín hiệu sóng vuông hoặc xung vuông sẽ được đặt

ở ngõ vào của inverter. Trong mạch, V_{CC} và điện áp mức “cao” đều là +5 V. Ngõ ra vẫn là điện áp giữa collector và emitter (V_{CE}).



Hình 3-40
 Inverter (switch) dùng transistor.

Khi ngõ vào là mức cao, chuyển tiếp base-emitter được phân cực thuận và dòng điện chảy qua điện trở R_B vào cực base của transistor. Giá trị của R_B và R_C được chọn (khi thiết kế) sao cho dòng base đủ để làm cho transistor bão hòa, tức là lái transistor vào vùng bão hòa của đặc tuyến ngõ ra. Hình 3-41 vẽ đường tải trên tập hợp đặc tuyến ngõ ra và xác định điểm trên đường tải tại đó transistor bị bão hòa. Chú ý là giá trị của V_{CE} tương ứng với điểm này, được gọi là $V_{CE(sat)}$, rất gần 0 (thông thường khoảng 0.1 V). Dòng tại điểm bão hòa được gọi là $I_{C(sat)}$ và rất gần với giao điểm của đường tải với trục tung, V_{CC}/R_C . Khi transistor bị bão hòa, nó được xem như là dẫn (ON). Phân tích này chứng tỏ là ngõ vào “cao” (+5 V) sẽ tạo ra một ngõ ra “thấp” (≈ 0 V).



Hình 3-41
 Khi ngõ vào của inverter là mức cao (+5 V), transistor bị bão hòa và ngõ ra là mức thấp (≈ 0 V). Khi ngõ vào inverter là mức thấp, transistor bị tắt, ngõ ra là mức cao.

Khi ngõ vào của mạch là thấp, tức là 0 V, chuyển tiếp base-emitter không được phân cực thuận, do đó không có dòng base và vì vậy cũng không có dòng collector. Điện áp rơi trên R_C là không và V_{CE} phải bằng +5 V. Trong trường hợp này, transistor nằm trong vùng tắt của đặc tuyến ngõ ra như trong hình 3-41, lúc này transistor được xem như là tắt (OFF). Một ngõ vào mức “thấp” sẽ tạo ra một ngõ ra mức “cao”. Đó cũng là lý do mà mạch được gọi là inverter.

Trong thiết kế và phân tích các mạch inverter dùng transistor, ta thường giả sử là $I_{C(sat)} = V_{CC}/R_C$ và $V_{CE(sat)} = 0$. Dùng các giả sử này ta có mối quan hệ của dòng và áp trong mạch inverter. Vì transistor tắt khi ngõ vào mức “thấp” bất chấp giá trị của R_B và R_C , các biểu thức sau chỉ dùng khi ngõ vào mức cao.

$$I_C = I_{C(sat)} = \frac{V_{CC}}{R_C} \tag{3-32}$$

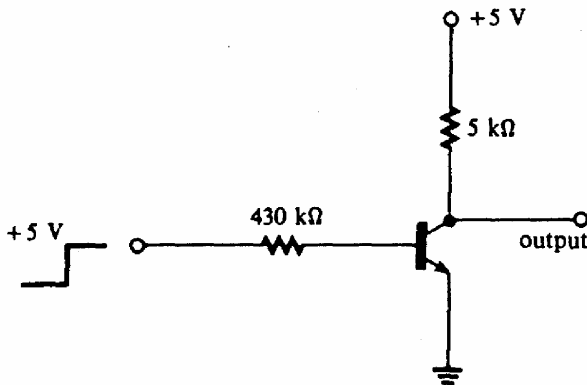
$$I_B = \frac{I_{C(sat)}}{\beta} \quad (3-33)$$

$$I_B = \frac{V_{HI} - V_{BE}}{R_B} \quad (3-34)$$

với V_H là điện áp mức cao của tín hiệu vào, thường bằng với V_{CC} .

Ví dụ 3-14

Chúng tỏ là mạch trong hình 3-42 hoạt động như mạch inverter khi ngõ vào thay đổi giữa 0 V và 5 V. Giả sử transistor là loại silicon với $\beta = 100$.



Hình 3-42
 Ví dụ 3-14.

Hướng dẫn

Ta chỉ cần chứng tỏ là transistor sẽ bị bão hòa khi $V_{in} = +5\text{ V}$. Từ 3-34 ta có

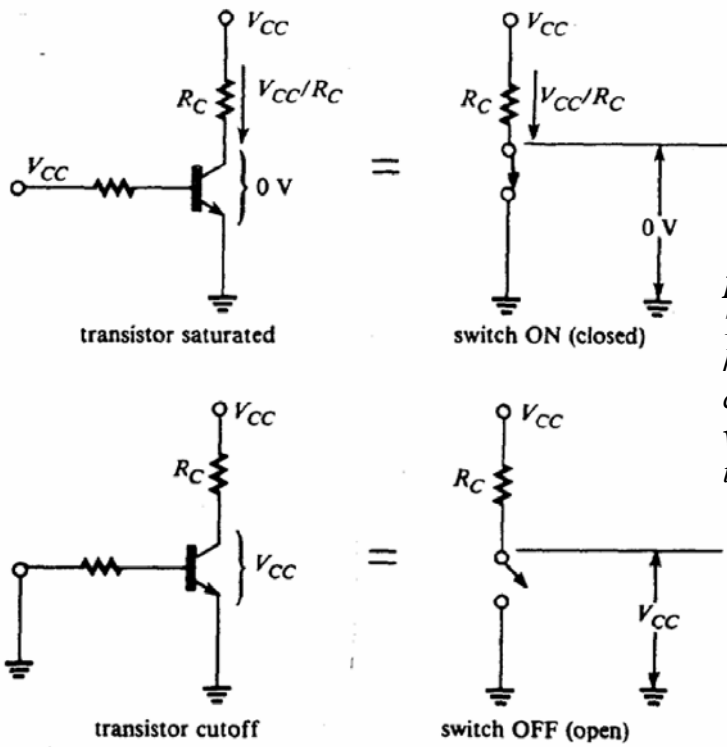
$$I_B = \frac{(5 - 0.7)\text{ V}}{430\text{ k}\Omega} = 10\ \mu\text{A}$$

$$I_C = \beta I_B = 100(10\ \mu\text{A}) = 1\text{ mA}$$

$$V_{CE} = 5 - (1\text{ mA})(5\text{ k}\Omega) = 0\text{ V} = V_{CE(sat)}$$

3-8-1 Transistor là một công tắc

Một mạch inverter dùng transistor thường được gọi là công tắc transistor (transistor switch). Điều này là do trạng thái ON và OFF của transistor tương ứng với trạng thái đóng và mở của một công tắc. Khi transistor ON, tức là bão hòa, điện áp collector-emitter gần bằng 0 V giống như khi công tắc đóng lại, dòng tối đa là V_{CC}/R_C . Khi transistor OFF, tức bị tắt, không có dòng chảy từ collector đến emitter và điện áp là tối đa giống như khi công tắc mở. Công tắc này được điều khiển bằng điện áp ngõ vào: mức “cao” thì công tắc đóng và mức “thấp” thì công tắc mở. Hình 3-45 vẽ một số sơ đồ mạch switch dùng transistor.



Hình 3-43
Transistor là công tắc điều khiển bằng áp. Ngõ vào mức cao sẽ đóng công tắc và ngõ vào mức thấp sẽ mở công tắc.

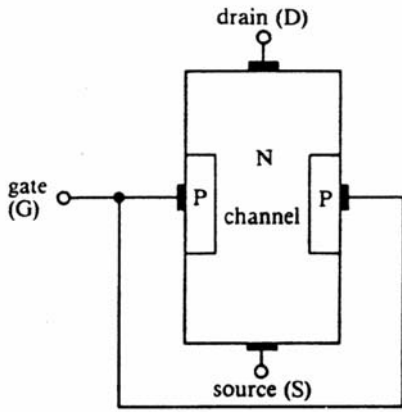
Transistor hiệu ứng trường (Field-Effect Transistors)

4-1 Giới thiệu

FET cũng là một linh kiện ba cực giống như BJT. Tuy nhiên, FET hoạt động dựa trên nguyên lý khác với BJT. FET được xem là một linh kiện đơn cực (unipolar) vì dòng điện qua linh kiện chỉ do một trong hai loại hạt dẫn: lỗ trống hoặc electron tự do. Tên gọi FET (Field-Effect Transistor) xuất phát từ lý do dòng điện trong linh kiện được điều khiển dựa trên điện trường ngoài được cung cấp từ một nguồn áp đặt vào linh kiện. FET có hai loại chính: JFET (Junction FET) và MOSFET (Metal-Oxide-Semiconductor FET).

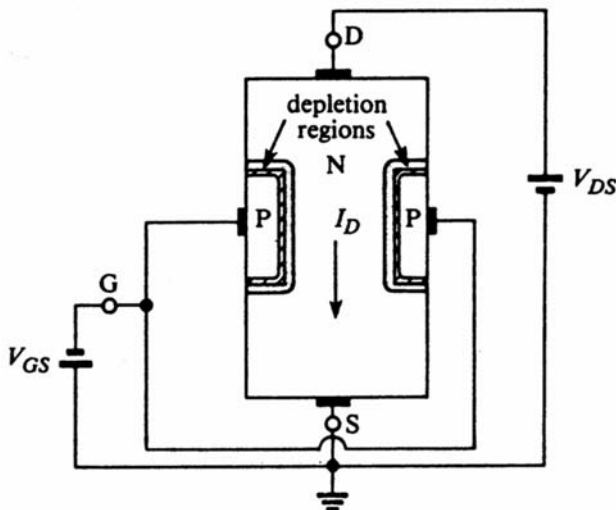
4-2 JFET

Hình 4-1 trình bày cấu trúc của JFET cũng như ba cực của linh kiện. Cấu trúc này gồm một thanh bán dẫn loại N có hai vùng bán dẫn loại P nằm hai bên. Hai vùng P được nối chung với nhau và kết nối chung giữa chúng được gọi là cực cổng G (gate). Một cực của thanh N được gọi là cực máng D (drain), cực còn lại được gọi là cực nguồn S (source). Vùng N nằm giữa hai vùng P được gọi là kênh dẫn (channel). Transistor này được gọi là JFET kênh N. Nếu JFET được tạo nên từ một thanh bán dẫn loại P với các vùng N ở hai bên thì JFET này được gọi là JFET kênh P. Khi tìm hiểu về lý thuyết của JFET, ta có thể so sánh cực máng của JFET với cực thu của BJT, cực nguồn của JFET tương ứng với cực phát của BJT và cực cổng của JFET tương ứng với cực nền của BJT. Như ta sẽ thấy, đối với JFET, điện áp đặt vào cực cổng sẽ điều khiển dòng giữa cực máng và cực nguồn cũng giống như điện áp tại cực nền điều khiển dòng qua cực thu và cực phát của BJT.



Hình 4-1
 Cấu trúc của JFET kênh N.

Khi đặt một điện áp ngoài vào giữa cực máng và cực nguồn của JFET kênh N sao cho cực máng dương hơn thì dòng điện được hình thành từ dòng electron qua kênh N sẽ xuất hiện với chiều qui ước là từ máng đến nguồn (dòng electron xuất phát từ cực nguồn). Dòng điện này bị giới hạn bởi điện trở của vật liệu bán dẫn loại N. Khi JFET hoạt động ở chế độ thông thường, một điện áp ngoài sẽ được đặt giữa cực cổng và cực nguồn để hai chuyển tiếp PN ở mỗi bên bị phân cực ngược. Vì vậy, cực cổng sẽ mang điện thế âm tương ứng so với cực nguồn như được trình bày trong hình 4-2. Phân cực ngược này gây ra hai vùng nghèo trong kênh dẫn. Vì khi thiết kế JFET, kênh dẫn được pha tạp chất với nồng độ thấp hơn so với cực cổng, do đó vùng nghèo sẽ lấn sâu hơn vào phía kênh.

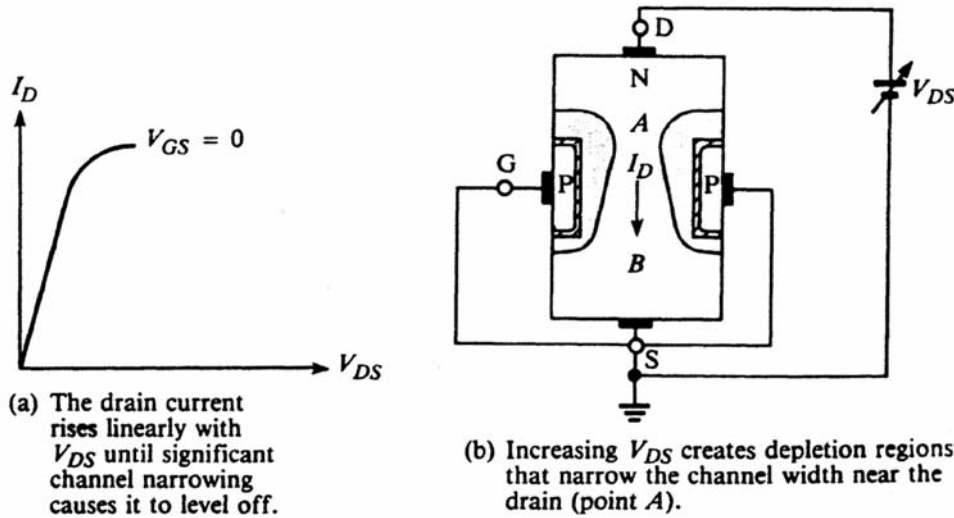


Hình 4-2
 Phân cực ngược chuyển tiếp gate-source tạo nên vùng nghèo. V_{GS} là điện áp phân cực ngược nhỏ cho trường hợp này.

Bề rộng của vùng nghèo trong hình 4-2 phụ thuộc vào độ lớn của điện áp phân cực ngược V_{GS} . Khi điện áp phân cực ngược âm dần, vùng nghèo sẽ mở rộng và độ rộng của kênh dẫn giảm xuống. Kết quả là điện trở kênh dẫn tăng lên và vì vậy làm giảm dòng I_D từ máng đến nguồn.

Để phân tích ảnh hưởng của việc tăng V_{DS} trên dòng máng I_D , ta tạm thời ngắt mạch cực máng và cực nguồn ($V_{GS} = 0$). Khi V_{DS} tăng lớn hơn 0 một chút, dòng I_D tăng tỉ lệ với nó như được trình bày trong hình 4-3(a). Điều này là do khi tăng điện áp trên một kênh dẫn có điện trở cố định thì dòng điện qua nó phải tuân theo định luật Ohm. Nếu cứ tiếp tục tăng V_{DS} , vùng nghèo bắt đầu chiếm ưu thế như trong hình 4-3(b). Cần phải lưu ý là vùng nghèo rộng hơn tại đầu kênh dẫn gần với cực máng (điểm A) so với đầu kênh dẫn gần với cực nguồn (điểm B). Đó là do khi dòng điện chảy qua kênh dẫn, nó tạo ra một điện áp rơi dọc theo chiều dài của kênh. Ở phía đầu kênh dẫn gần cực máng điện áp xấp xỉ V_{DS} , do đó có một điện áp phân cực ngược lớn đặt giữa kênh N và cực cổng P. Càng tiến xuống phía dưới của kênh dẫn điện áp ngày càng giảm vì điện áp rơi trên điện trở kênh dẫn ngày càng tăng. Kết quả là điện áp phân cực ngược giảm và vùng nghèo trở nên nhỏ hơn

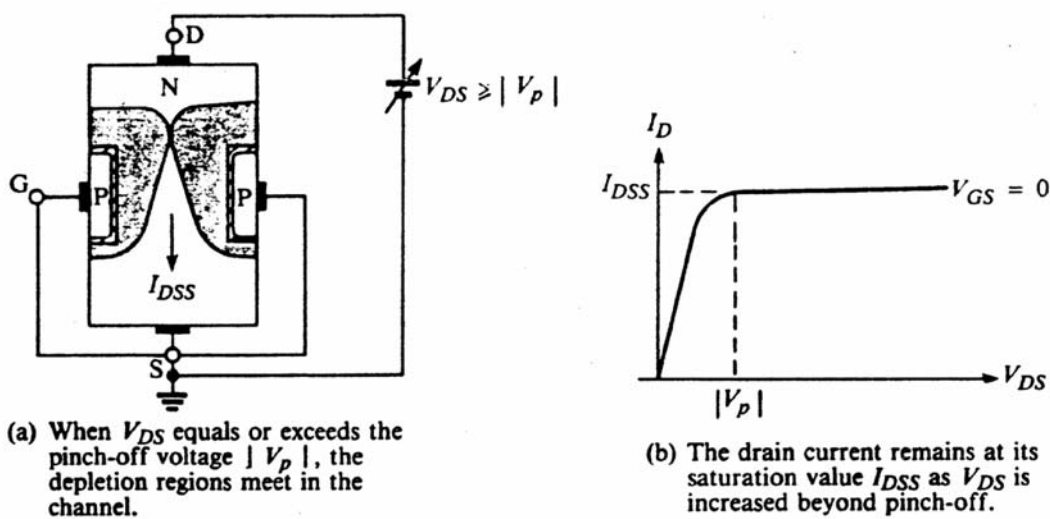
khi tiến đến gần cực nguồn. Nếu tiếp tục tăng V_{DS} , vùng nghèo ngày càng mở rộng làm cho kênh dẫn trở nên hẹp hơn (tại điểm A) và điện trở kênh vì thế tăng lên. Lúc này dòng điện qua kênh dẫn không còn tăng tỉ lệ thuận với việc tăng điện áp V_{DS} mà chỉ tăng rất nhẹ như ta thấy ở đoạn cong trong hình 4-3(a).



Hình 4-3

Hiệu quả của việc tăng V_{DS} khi ngắn mạch cực cổng đến nguồn ($V_{GS} = 0$).

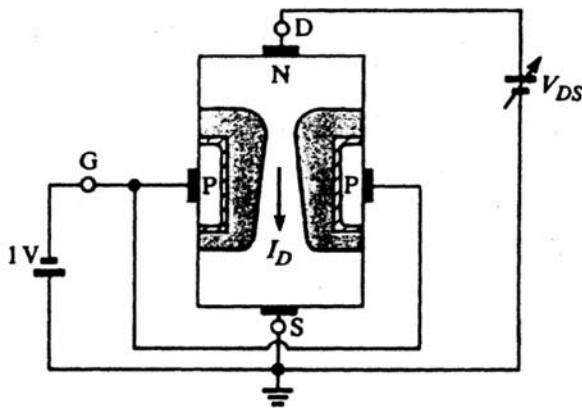
Hình 4-4(a) cho thấy kết quả của việc tăng V_{DS} đến một giá trị đủ lớn làm cho vùng nghèo hai bên kênh dẫn gặp nhau tại đầu gần cực máng. Điều kiện này được gọi là nghẽn (pinch-off). Tại điểm xảy ra nghẽn, chuyển tiếp giữa cực cổng và kênh được phân cực ngược bởi chính giá trị V_{DS} , giá trị này được gọi là điện áp nghẽn (pinch-off voltage), V_p . Thông số này rất quan trọng đối với JFET, giá trị của nó phụ thuộc vào mức độ pha tạp chất và cấu trúc của linh kiện. V_p luôn có giá trị âm đối với JFET kênh N và có giá trị dương đối với JFET kênh P. Trong hình 4-4(b), dòng điện sẽ đạt đến giá trị tối đa tại điểm nghẽn và giữ không đổi khi V_{DS} tăng vượt quá $|V_p|$. Dòng này được gọi là dòng bão hòa (saturation current) I_{DSS} .



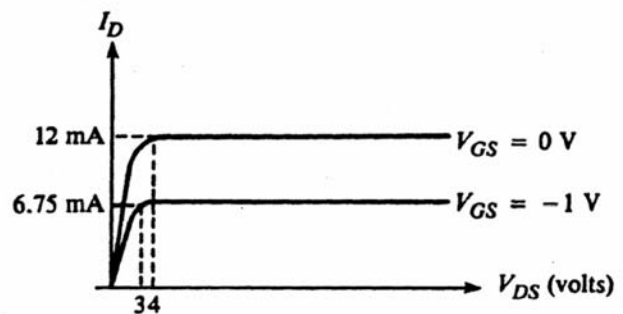
Hình 4-4

JFET kênh N tại điểm nghẽn.

Giá trị thông thường cho V_p và I_{DSS} là -4 V và 12 mA , giả sử là JFET này được dùng trong hình 4-5(a). Trong hình này, cực cổng và nguồn không còn bị ngắn mạch mà được nối với nguồn -1 V để phân cực ngược chuyển tiếp này. Điện áp phân cực ngược này sẽ làm cho bề rộng vùng nghèo dọc theo kênh dẫn mở rộng hơn so với khi ngắn mạch. Do đó, nếu bây giờ điện áp V_{DS} được tăng dần từ 0 ta sẽ thấy là dòng điện ban đầu vẫn tiếp tục tăng tuyến tính như trong hình 4-5(b). Tuy nhiên, độ dốc của đoạn tăng này thấp hơn so với đường ứng với $V_{GS} = 0$ bởi vì toàn bộ điện trở của kênh là lớn hơn trường hợp trước (do bề rộng kênh hẹp hơn). Khi tiếp tục tăng V_{DS} , vùng nghèo lại tiếp tục mở rộng cho đến khi gặp nhau. Điểm nghẽn sẽ xảy ra tại $V_{DS} = 3\text{ V}$ thay vì 4 V vì chuyển tiếp giữa kênh dẫn và cực cổng đã được phân cực ngược trước bởi điện áp $V_{GS} = -1\text{ V}$. Trong hình 4-5(b), dòng bão hòa có giá trị 6.75 mA khi V_{DS} tăng vượt quá 3 V .



(a) A reverse-biasing voltage $V_{GS} = -1\text{ V}$ creates, along the length of the channel, a depletion region that is wider than when $V_{GS} = 0\text{ V}$.



(b) As V_{DS} is increased, I_D increases linearly, until pinch-off occurs at $V_{DS} = 3\text{ V}$.

Hình 4-5

Hiệu quả của việc tăng V_{DS} khi $V_{GS} = -1\text{ V}$.

Nếu giảm V_{GS} xuống -2 V thay vì -1 V và lặp lại quá trình ta sẽ thấy điểm nghẽn xảy ra tại $V_{DS} = 2\text{ V}$ ứng với dòng bão hòa là 3 mA . Rõ ràng là khi tăng giá trị phân cực ngược giữa kênh và cực cổng (bằng cách làm cho V_{GS} âm hơn) thì điểm nghẽn xảy ra sớm hơn (tức là ứng với V_{DS} nhỏ hơn) và dòng bão hòa cũng nhỏ hơn. Hình 4-6 biểu diễn đường cong đặc tuyến, còn gọi là đặc tuyến máng, có được khi cho V_{GS} lần lượt là 0, -1 , -2 , -3 và -4 V . Đường parabol đứt nét cho thấy tập hợp các điểm xảy ra nghẽn. Giá trị của V_{DS} trên đường cong này được gọi là điện áp bão hòa $V_{DS(sat)}$. Tại một giá trị V_{GS} bất kỳ, giá trị $V_{DS(sat)}$ tương ứng là hiệu số giữa V_{GS} và V_p : $V_{DS(sat)} = V_{GS} - V_p$. Biểu thức của đường parabol là:

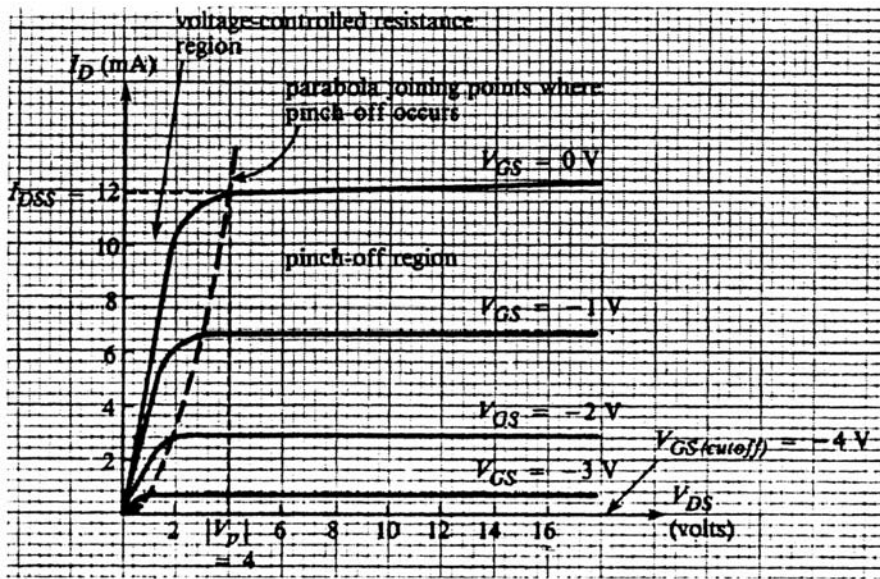
$$I_D = I_{DSS} \left(\frac{V_{DS(sat)}}{V_p} \right)^2 \quad (4-1)$$

Để minh họa, cho $V_p = -4\text{ V}$ và $I_{DSS} = 12\text{ mA}$; tại $V_{DS} = 3\text{ V}$ ta tìm được

$$I_D = (12\text{ mA}) \left(\frac{3}{-4} \right)^2 = 6.75\text{ mA}$$

chính là dòng bão hòa của đường $V_{GS} = -1\text{ V}$. Lưu ý là trong hình 4-6, vùng bên phải của đường parabol được gọi là vùng nghẽn. Đây là vùng hoạt động thông thường của JFET khi được sử dụng ở chế độ khuếch đại. Nó còn được gọi là vùng tích cực (active) hoặc vùng bão hòa

(saturation). Vùng bên trái của đường parabol được gọi là vùng điện trở phụ thuộc áp (voltage-controlled-resistance), vùng ohmic, hoặc vùng triode. Trong vùng này, điện trở giữa cực máng và cực nguồn được điều khiển bởi V_{GS} .

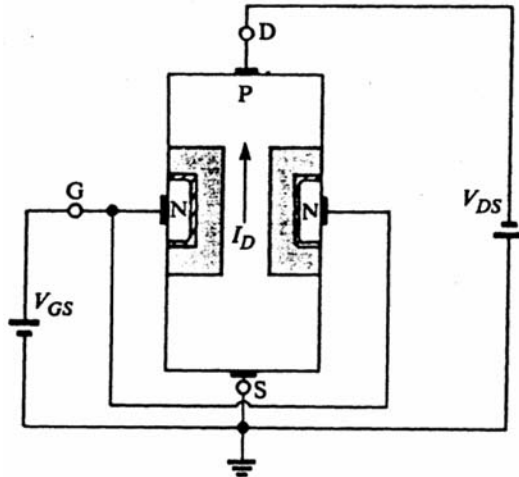


Hình 4-6
 Đặc tuyến máng của JFET kênh N.

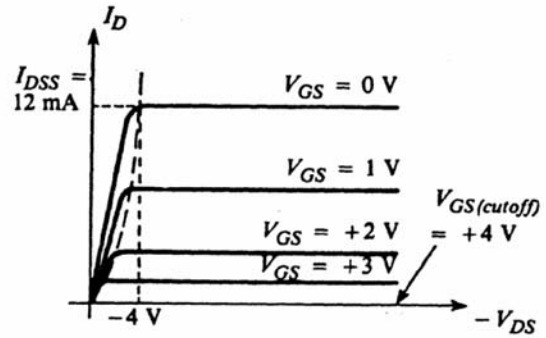
Đường nằm dọc theo trục hoành trong hình 4-6 cho thấy $I_D = 0$ khi $V_{GS} = -4$ V bất chấp giá trị của V_{DS} . Khi V_{GS} phân cực ngược chuyển tiếp giữa cực cổng và kênh dẫn bằng giá trị V_p , vùng nghèo hai bên kênh dẫn mở rộng chiếm toàn bộ kênh và dòng máng bị tắt. Vì giá trị của V_{GS} tại đó dòng máng bị tắt bằng V_p , điện áp nghẽn còn được gọi là điện áp tắt cổng-nguồn (gate-to-source cutoff voltage). Từ đó có thể thấy là để xác định giá trị V_p từ đặc tuyến máng ta có hai cách: thứ nhất, đó là giá trị của V_{DS} tại đó I_D bão hòa khi $V_{GS} = 0$ V; thứ hai, đó là giá trị của V_{GS} tại đó toàn bộ dòng máng đều tắt, nghĩa là $V_p = V_{GS(cutoff)}$.

Điểm đặc biệt đáng giá của FET khi được dùng trong các bộ khuếch đại điện áp đó là điện trở ngõ vào rất cao tại cực cổng của nó. Vì giữa cực cổng và cực nguồn là chuyển tiếp PN phân cực ngược nên dòng chảy vào cực cổng lúc này chỉ có dòng rò rất nhỏ của chuyển tiếp. Do đó, nguồn tín hiệu chỉ lái cực cổng bằng một dòng rất nhỏ và FET được xem là có điện trở ngõ vào rất cao. Giá trị này có thể đến vài trăm megaohms.

Hình 4-7 vẽ cấu trúc và đặc tuyến máng cho JFET kênh P. Trong JFET kênh P, tất cả các cực của điện áp là ngược lại so với JFET kênh N. Hình 4-7(b) chứng tỏ là các giá trị dương của V_{GS} điều khiển độ lớn dòng bão hòa trong vùng nghẽn.



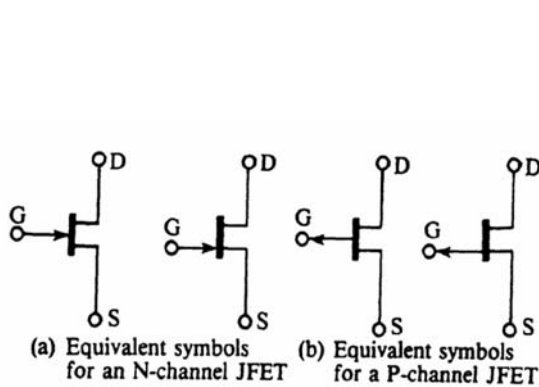
(a) The structure of a P-channel JFET



(b) Drain characteristics of a P-channel JFET. (Note that values of V_{DS} are negative and increase negatively to the right.)

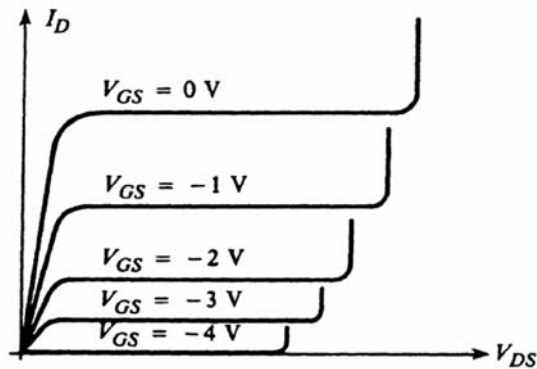
Hình 4-7

Cấu trúc và đặc tuyến của JFET kênh P.



Hình 4-8

Biểu tượng mạch cho JFET.



Hình 4-9

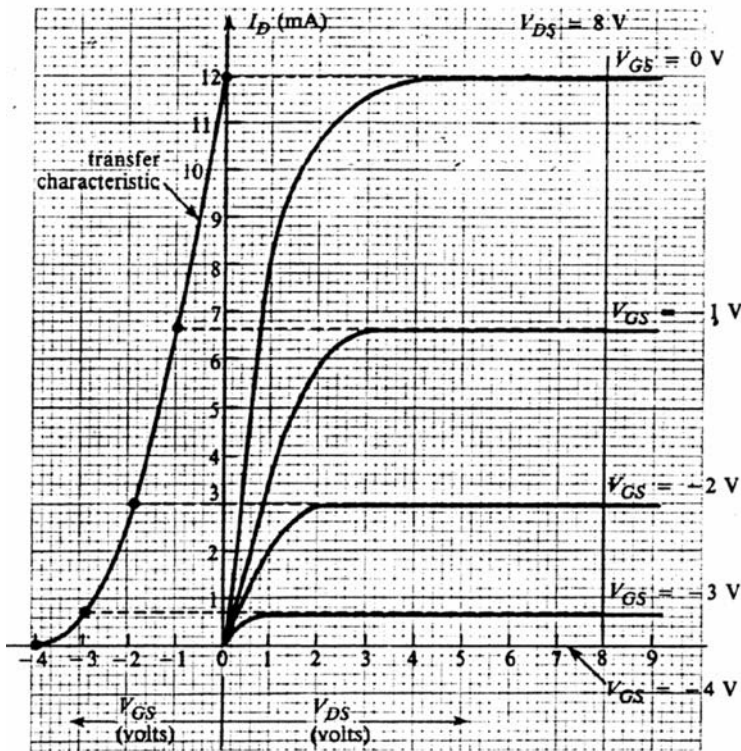
Đặc tuyến đánh thủng của JFET kênh N.

Hình 4-8 vẽ ký hiệu qui ước để biểu diễn JFET kênh N và kênh P. Hình 4-9 biểu diễn đặc tuyến đánh thủng của một JFET kênh N. Đánh thủng xảy ra tại các giá trị V_{DS} lớn và do cơ chế đánh thủng thác lũ gây ra.

4-2-1 Đặc tuyến truyền đạt

Đặc tuyến truyền đạt của linh kiện biểu diễn quan hệ giữa dòng ngõ ra và điện áp ngõ vào với một điện áp ngõ ra cố định. Khi ngõ vào của JFET là điện áp giữa cực cổng và cực nguồn và dòng ngõ ra là dòng máng (cấu hình nguồn chung), đặc tuyến truyền đạt có thể được suy ra từ đặc tuyến máng. Ta chỉ cần dựng một đường thẳng đứng trên đặc tuyến máng (V_{DS} là hằng số) và ghi lại giá trị của I_D tại mỗi giao điểm với đường V_{GS} là hằng số. Các giá trị của I_D có thể được vẽ theo V_{GS} để tạo nên đặc tuyến truyền đạt. Hình 4-10 mô tả quá trình này.

Trong hình 4-10, đặc tuyến truyền đạt được vẽ cho $V_{DS} = 8 \text{ V}$. Như ta thấy trong hình, giá trị V_{DS} này làm cho tất cả các điểm làm việc đều nằm trong vùng nghẽn. Ví dụ, giao điểm của đường $V_{DS} = 8 \text{ V}$ và đường $V_{GS} = 0 \text{ V}$ xảy ra tại $I_D = I_{DSS} = 12 \text{ mA}$. Tại $V_{DS} = 8 \text{ V}$ và $V_{GS} = -1 \text{ V}$, ta có $I_D = 6.75 \text{ mA}$. Tập hợp của các giá trị I_D và V_{GS} này tạo nên một đặc tuyến truyền đạt có dạng parabol. Lưu ý là giao điểm của đường đặc tuyến này với trục I_D là I_{DSS} và với trục V_{GS} là V_p .



Hình 4-10
 Xây dựng đặc tuyến truyền đạt cho JFET kênh N từ đặc tuyến máng.

Biểu thức cho đặc tuyến truyền đạt trong vùng nghẽn là

$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_p} \right)^2 \quad (4-2)$$

Biểu thức này cho phép xác định được chính xác giá trị của $I_D = I_{DSS}$ khi $V_{GS} = 0 \text{ V}$ và $I_D = 0$ khi $V_{GS} = V_p$. Đặc tuyến truyền đạt thường được gọi là đặc tuyến luật bình phương (square-law) của JFET và được sử dụng trong một số ứng dụng trong đó ngõ ra là một hàm phi tuyến của ngõ vào.

Ví dụ 4-1

Một JFET kênh N có điện áp nghẽn là -4.5 V và $I_{DSS} = 9 \text{ mA}$.

1. Tìm giá trị của V_{GS} trong vùng nghẽn khi $I_D = 3 \text{ mA}$.
2. Tìm giá trị $V_{DS(sat)}$ khi $I_D = 3 \text{ mA}$.

Hướng dẫn

1. Ta dùng biểu thức 4-2 cho V_{GS} :

$$\begin{aligned} \left(1 - \frac{V_{GS}}{V_p} \right)^2 &= \frac{I_D}{I_{DSS}} \\ 1 - V_{GS}/V_p &= \sqrt{I_D/I_{DSS}} \\ V_{GS} &= V_p \left(1 - \sqrt{I_D/I_{DSS}} \right) \\ V_{GS} &= -4.5 \left[1 - \sqrt{(3 \text{ mA})/(9 \text{ mA})} \right] = -1.9 \text{ V} \end{aligned}$$

2. Biểu thức 4-1 cho thấy liên hệ của I_D và $V_{DS(sat)}$

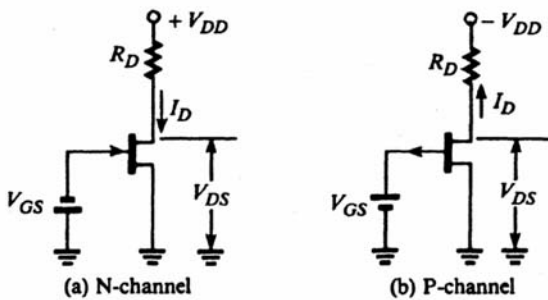
$$V_{DS(sat)} = \sqrt{(V_P)^2 I_D / I_{DSS}} = \sqrt{(4.5)^2 (3 \text{ mA}) / (9 \text{ mA})} = 2.6 \text{ V}$$

Chú ý là ta chọn căn bậc hai dương vì V_{DS} là dương đối với JFET kênh N. Đối với một JFET kênh P, ta cần phải chọn căn âm. Giá trị của V_{DS} cũng có thể được tính từ $V_{DS} = V_{GS} - V_P = -1.9 \text{ V} - (-4.5 \text{ V}) = 2.6 \text{ V}$.

4-3 Phân cực cho JFET

4-3-1 Phân cực cố định

Cũng như đối với BJT, JFET thường được sử dụng như một mạch khuếch đại ac, do đó nó cũng phải được phân cực để tạo một thành phần dc quanh nó thành phần ac có thể thay đổi. Khi một JFET được kết nối trong cấu hình nguồn chung (common-source), điện áp ngõ vào là V_{GS} và điện áp ngõ ra là V_{DS} . Do đó, mạch phân cực phải đặt các giá trị tĩnh cho V_{DS} và I_D . Hình 4-11 trình bày một phương pháp có thể dùng để phân cực cho JFET kênh N và kênh P.



Hình 4-11
 Mạch phân cực cố định cho JFET kênh N và kênh P.

Chú ý là trong hình 4-11 một nguồn dc V_{DD} được sử dụng để cung cấp dòng máng cho JFET thông qua điện trở R_D , và một nguồn khác được dùng để tạo điện áp giữa cực nguồn và cực cổng V_{GS} . Phương pháp phân cực này được gọi là phân cực cố định (fixed bias) vì điện áp V_{GS} được giữ cố định bởi một nguồn áp. Từ hình 4-11 ta có

$$\begin{aligned} V_{DS} &= V_{DD} - I_D R_D \quad (N\text{-channel}) \\ V_{DS} &= -V_{DD} + I_D R_D \quad (P\text{-channel}) \end{aligned} \quad (4-3)$$

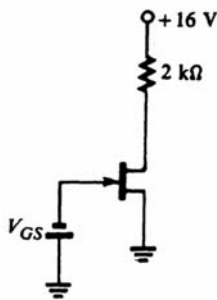
Khi dùng các biểu thức này, V_{DD} phải luôn luôn có giá trị dương để đảm bảo dấu của V_{DS} là chính xác. V_{DS} phải có giá trị dương đối với JFET kênh N và có giá trị âm đối với JFET kênh P. Ví dụ trong một JFET kênh N, V_{DD} là +15 V từ cực máng đến cực nguồn, nếu I_D là 10 mA và R_D là 1 k Ω , ta có $V_{DS} = 15 - (10 \text{ mA})(1 \text{ k}\Omega) = +5 \text{ V}$. Đối với một JFET kênh P, khi điện áp nguồn V_{DD} là -15 V từ máng đến nguồn thì $V_{DS} = -15 + (10 \text{ mA})(1 \text{ k}\Omega) = -5 \text{ V}$. Biểu thức 4-3 cũng có thể được viết lại dưới dạng

$$\begin{aligned} I_D &= -(1/R_D)V_{DS} + V_{DD}/R_D \quad (N\text{-channel}) \\ I_D &= (1/R_D)V_{DS} + V_{DD}/R_D \quad (P\text{-channel}) \end{aligned} \quad (4-4)$$

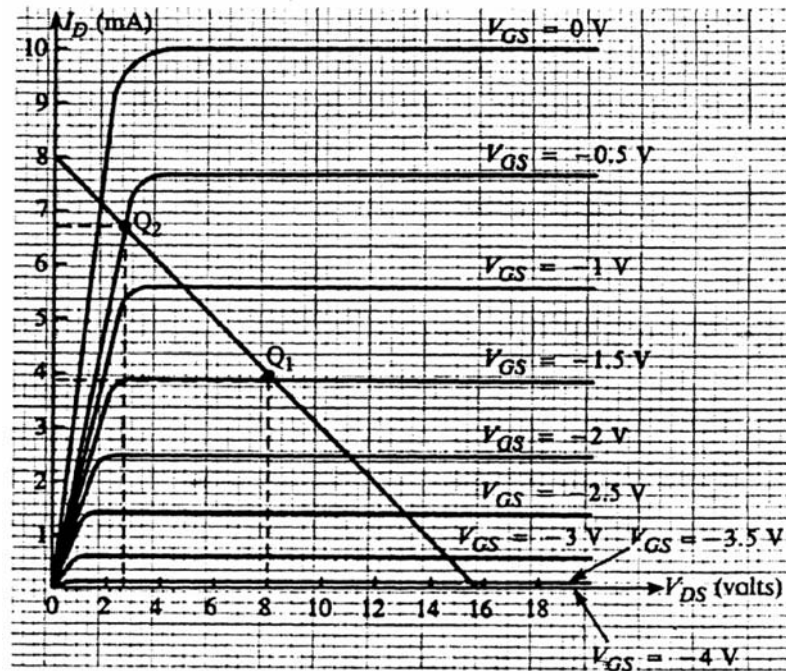
Biểu thức 4-4 là phương trình đường tải dc cho JFET kênh N và kênh P, mỗi đường có thể được vẽ trên tập hợp các đặc tuyến máng để xác định điểm làm việc tĩnh Q. Cách này cũng giống như cách đã làm đối với mạch phân cực cho BJT. Đường tải cắt trục V_{DS} tại V_{DD} và cắt trục I_D tại V_{DD}/R_D .

Ví dụ 4-2

JFET trong hình 4-12 có đặc tuyến máng được vẽ trong hình 4-13. Tìm các giá trị tĩnh của I_D và V_{DS} khi (1) $V_{GS} = -1.5\text{ V}$ và (2) $V_{GS} = -0.5\text{ V}$.



Hình 4-12
 Ví dụ 4-2.



Hình 4-13
 Ví dụ 4-2.

Hướng dẫn

- Đường tải cắt trục V_{DS} tại $V_{DD} = +16\text{ V}$ và trục I_D tại $I_D = (16\text{ V}) / (2\text{ k}\Omega) = 8\text{ mA}$. Tại giao điểm của đường tải với $V_{GS} = -1.5\text{ V}$ (điểm Q_1 trên hình 4-13) giá trị của điểm tĩnh là $I_D \approx 3.9\text{ mA}$ và $V_{DS} \approx 8.4\text{ V}$.
- Đường tải giống như câu 1. Thay đổi V_{GS} đến -0.5 V làm cho điểm Q di chuyển đến điểm Q_2 . Ta thấy là $I_D \approx 6.7\text{ mA}$ và $V_{DS} \approx 2.6\text{ V}$.

Câu 2 của ví dụ trên cho thấy một kết quả quan trọng. Lưu ý là việc thay đổi V_{GS} đến giá trị -0.5 V trong mạch phân cực của hình 4-12 làm cho điểm Q di chuyển ra khỏi vùng nghẽn và vào trong vùng điện trở phụ thuộc áp. Như đã nói, điểm Q phải nằm trong vùng nghẽn đối với các mạch khuếch đại thông thường. Để đảm bảo điểm Q nằm trong vùng nghẽn, giá trị tĩnh của $|V_{DS}|$ phải lớn hơn $|V_P| - |V_{GS}|$. Điện áp nghẽn đối với linh kiện mà đặc tuyến của nó được cho trong hình 4-13 có giá trị xấp xỉ -4 V . Vì $|V_{GS}| = 0.5\text{ V}$ và giá trị tĩnh của V_{DS} tại Q_2 là 2.6 V , nên biểu thức $|V_{DS}| > |V_P| - |V_{GS}|$ không thỏa mãn. Do đó Q_2 nằm ngoài vùng nghẽn.

Giá trị của I_D cũng có thể tính được bằng cách dùng đặc tuyến truyền đạt của JFET. Vì đặc tuyến truyền đạt vẽ I_D theo V_{GS} , ta chỉ cần xác định V_{GS} và đọc giá trị I_D tương ứng. Giá trị của V_{DS} có thể tính bằng cách dùng biểu thức 4-3. Phương pháp này sử dụng đồ thị để tính và cho phép ta thấy được hoạt động bên trong của linh kiện, trong đó các biến trong mạch ảnh hưởng lẫn nhau. Giá trị tĩnh của V_{DS} và I_D cũng có thể tính bằng cách dùng các biểu thức nếu ta biết giá trị của I_{DSS} và V_P .

Ví dụ 4-3

Cho JFET trong hình 4-12 có $I_{DSS} = 10 \text{ mA}$ và $V_p = -4 \text{ V}$, hãy tính giá trị tĩnh cho I_D và V_{DS} khi $V_{GS} = -1.5 \text{ V}$. Giả sử là JFET được phân cực trong vùng nghẽn.

Hướng dẫn

Từ biểu thức 4-2,

$$I_D = I_{DSS} \left(1 - V_{GS}/V_p\right)^2 = (10 \text{ mA}) \left(1 - \frac{-1.5}{-4}\right)^2 = 3.9 \text{ mA}$$

Từ biểu thức 4-2, $V_{DS} = V_{DD} - I_D R_D = 16 - (3.9 \text{ mA})(2 \text{ k}\Omega) = 8.2 \text{ V}$. Kết quả này khá chính xác so với các tính toán từ đồ thị trong ví dụ 4-3. Chú ý là ta cần phải có giả sử là JFET nằm trong vùng nghẽn. Nếu tính toán trên tạo ra kết quả V_{DS} nhỏ hơn $|V_p| - |V_{GS}| = 2.5 \text{ V}$, ta kết luận là linh kiện không được phân cực trong vùng nghẽn và ta phải sử dụng phương pháp khác để tính điểm Q .

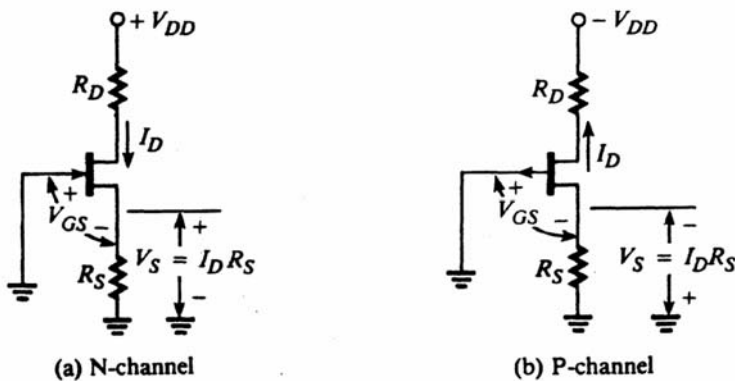
Các giá trị của I_{DSS} và V_{DS} có thể thay đổi rất rộng đối với các JFET khác nhau. Khi mạch phân cực cố định được dùng để xác định điểm Q , một sự thay đổi trong các thông số của JFET có thể làm cho các giá trị phân cực tĩnh thay đổi rất lớn. Giả sử là một JFET có $I_{DSS} = 13 \text{ mA}$ và $V_p = -4.3 \text{ V}$ được thay vào mạch phân cực hình 4-12 trong ví dụ 4-3, với $V_{GS} = -1.5 \text{ V}$ như cũ, thì

$$I_D = (13 \text{ mA}) \left(1 - \frac{-1.5}{-4.3}\right)^2 = 5.51 \text{ mA}$$

$$V_{DS} = 16 - (5.51 \text{ mA})(2 \text{ k}\Omega) = 4.98 \text{ V}$$

Các kết quả này cho thấy là I_D tăng 41.3% so với giá trị đã có được trong ví dụ 4-3 và V_{DS} giảm 68.7%. Do đó, ta có thể kết luận là mạch phân cực cho JFET dùng phân cực cố định có độ ổn định phân cực không được tốt.

Hình 4-14 biểu diễn một dạng mạch phân cực có sự ổn định tốt hơn mà chỉ dùng một nguồn cung cấp. Phương pháp này được gọi là tự phân cực vì điện áp rơi trên R_S do dòng tĩnh ngõ ra gây ra sẽ xác định điện áp phân cực V_{GS} . Ta thấy là $V_S = I_D R_S$ tại cực nguồn so với đất. Đối với JFET kênh N, điều này có nghĩa là cực nguồn là dương so với cực cổng vì cực cổng được nối đất. Nói cách khác, cực cổng là âm so với cực nguồn như yêu cầu phân cực của JFET kênh N: $V_{GS} = -I_D R_S$. Đối với JFET kênh P, cực cổng là dương so với cực nguồn $V_{GS} = I_D R_S$.



Hình 4-14
 Mạch tự phân cực.

$$V_{GS} = -I_D R_S \quad (N\text{-channel}) \tag{4-5}$$

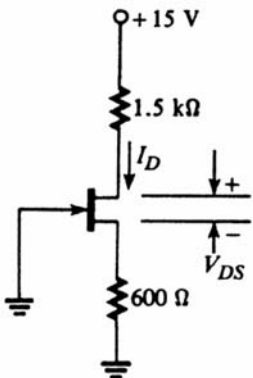
$$V_{GS} = I_D R_S \quad (P\text{-channel}) \tag{4-6}$$

Các biểu thức 4-5 và 4-6 mô tả các đường thẳng khi vẽ trên hệ trục $V_{GS} - I_D$. Các đường này được gọi là đường phân cực (bias line). Giá trị phân cực tĩnh của I_D có thể tìm được bằng đồ thị bằng cách vẽ đường phân cực trên cùng trục tọa độ với đặc tuyến truyền đạt. Giao điểm của hai đường này xác định vị trí của điểm Q . Ta cũng có thể giải hệ phương trình bao gồm biểu thức đường phân cực và biểu thức luật bình phương để tìm điểm làm việc tĩnh này. Giá trị phân cực tĩnh của V_{DS} có thể được tính bằng cách cộng các điện áp cho ngõ ra trong hình 4-14:

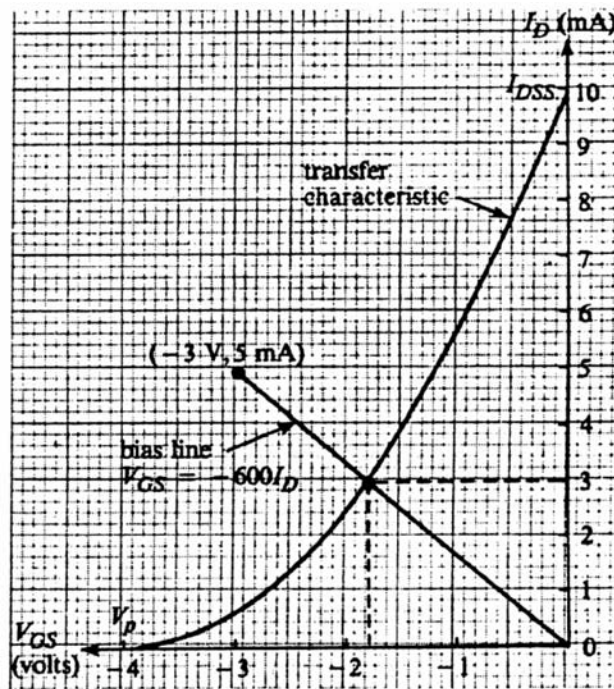
$$\begin{aligned} V_{DS} &= V_{DD} - I_D (R_D + R_S) \quad (N\text{-channel}) \\ V_{DS} &= -V_{DD} + I_D (R_D + R_S) \quad (P\text{-channel}) \end{aligned} \quad (4-7)$$

Ví dụ 4-4

Đặc tuyến truyền đạt của JFET trong hình 4-15 được vẽ trong hình 4-16. Tìm các giá trị phân cực tĩnh cho I_D và V_{DS} bằng cách dùng đồ thị.



Hình 4-15
 Ví dụ 4-4.



Hình 4-16
 Ví dụ 4-4.

Hướng dẫn

Vì $R_S = 600 \Omega$, biểu thức đường phân cực là $V_{GS} = -600 I_D$. Lưu ý là đường phân cực luôn luôn đi qua gốc tọa độ. Vẽ đường này lên hệ trục và xác định giao điểm của nó với đường đặc tuyến truyền đạt. Giao điểm của nó là $I_D \approx 3 \text{ mA}$, đó là dòng máng tĩnh. Giá trị V_{GS} tương ứng là xấp xỉ 1.8 V. Giá trị tĩnh của V_{DS} được tính bằng biểu thức 4-7.

$$V_{DS} = 15 - (3 \text{ mA}) [(1.5 \text{ k}\Omega) + (0.6 \text{ k}\Omega)] = 8.7 \text{ V}$$

4-3-2 Phương pháp đại số - tự phân cực

Các giá trị tĩnh của I_D và V_{GS} trong mạch tự phân cực cũng có thể được tính bằng cách giải hệ phương trình như đã nói ở phần trên. Để thực hiện được phương pháp này ta cần phải biết giá trị của I_{DSS} và V_p . Cũng như trong trường hợp phân cực cố định, các kết quả chỉ có ý nghĩa nếu điểm

làm việc nằm trong vùng nghẽn, nghĩa là $|V_{DS}| > |V_P| - |V_{GS}|$. Biểu thức 4-8 cho thấy kết quả của việc tính toán giá trị tĩnh I_D , V_{DS} , V_{GS} bằng phương pháp đại số. Các biểu thức này dùng được cho JFET kênh N lẫn JFET kênh P vì biểu thức dùng trị tuyệt đối của các giá trị trong tính toán.

$$I_D = \frac{-B - \sqrt{B^2 - 4AC}}{2A}$$

$$A = R_S^2$$

$$B = -\left(2|V_P|R_S + \frac{V_P^2}{I_{DSS}}\right)$$

$$C = V_P^2 \tag{4-8}$$

$$|V_{DS}| = |V_{DD}| - I_D(R_D + R_S)$$

$$|V_{GS}| = I_D R_S$$

Ví dụ 4-5

Sử dụng biểu thức 4-8 để tìm điểm phân cực trong ví dụ 4-5.

Hướng dẫn

Như trong hình 4-15, $R_S = 600 \Omega$ và $R_D = 1.5 \text{ k}\Omega$. Đặc tuyến truyền đạt trong hình 4-16 cho thấy $I_{DSS} = 10 \text{ mA}$ và $V_P = -4 \text{ V}$. Vì vậy, với biểu thức 4-8 ta có:

$$A = R_S^2 = 3.6 \times 10^5$$

$$B = -\left(2|V_P|R_S + \frac{V_P^2}{I_{DSS}}\right) = -\left[2(4)(600) + \frac{(-4)^2}{10 \times 10^{-3}}\right] = -6.4 \times 10^3$$

$$C = V_P^2 = 16$$

$$I_D = \frac{-B - \sqrt{B^2 - 4AC}}{2A} = \frac{6.4 \times 10^3 - \sqrt{40.96 \times 10^6 - 4(3.6 \times 10^5)(16)}}{2(3.6 \times 10^5)} = 3 \text{ mA}$$

$$|V_{DS}| = |V_{DD}| - I_D(R_D + R_S) = 15 \text{ V} - 3 \text{ mA}(1.5 \text{ k}\Omega + 600 \Omega) = 8.7 \text{ V}$$

$$|V_{GS}| = I_D R_S = (3 \text{ mA})(600 \Omega) = 1.8 \text{ V}$$

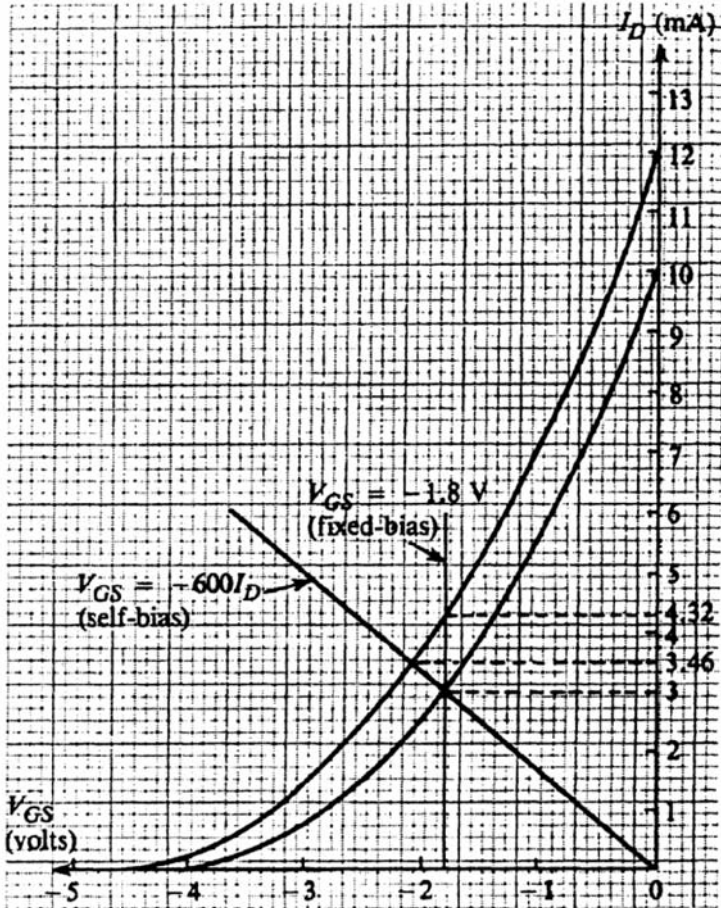
Vì JFET là kênh N, $V_{GS} = -1.8 \text{ V}$. Các kết quả này phù hợp với ví dụ 4-4. Vì $|V_{DS}| = 8.7 \text{ V} > |V_P| - |V_{GS}| = 4 \text{ V} - 1.8 \text{ V} = 2.2 \text{ V}$, điểm phân cực nằm trong vùng nghẽn và các kết quả là có giá trị.

Để thấy là phương pháp tự phân cực cho độ ổn định phân cực tốt hơn phương pháp phân cực cố định, ta sẽ so sánh mức độ thay đổi giá trị tĩnh của I_D của mỗi phương pháp, khi các thông số của JFET trong ví dụ trước bị thay đổi thành $I_{DSS} = 12 \text{ mA}$ và $V_P = -4.5 \text{ V}$. Trong mỗi trường hợp, ta giả sử là điểm phân cực ban đầu (khi dùng JFET có $I_{DSS} = 10 \text{ mA}$ và $V_P = -4 \text{ V}$) được đặt tại $I_D = 3 \text{ mA}$, sau đó JFET mới được thay vào trong mạch. Ta đã thấy là $I_D = 3 \text{ mA}$ khi $V_{GS} = -1.8 \text{ V}$, do đó mạch phân cực cố định có V_{GS} được xác định bằng một nguồn -1.8 V . Khi I_{DSS} được thay đổi là 12 mA và V_P là -4.5 V , với V_{GS} cố định tại -1.8 V , ta tìm được giá trị mới của I_D trong mạch phân cực cố định là

$$I_D = I_{DSS} (1 - V_{GS}/V_P)^2 = 4.32 \text{ mA}$$

Sự thay đổi này của I_D là khoảng 44 %, từ 3 mA đến 4.32 mA.

Bây giờ ta sẽ xem xét ảnh hưởng của việc thay đổi JFET trong mạch tự phân cực. Dùng biểu thức 4-8 ta có thể tìm được I_D là 3.46 mA. Trong trường hợp này, I_D chỉ thay đổi khoảng 15.3 %, sự thay đổi này là ít hơn một nửa so với phân cực cố định.



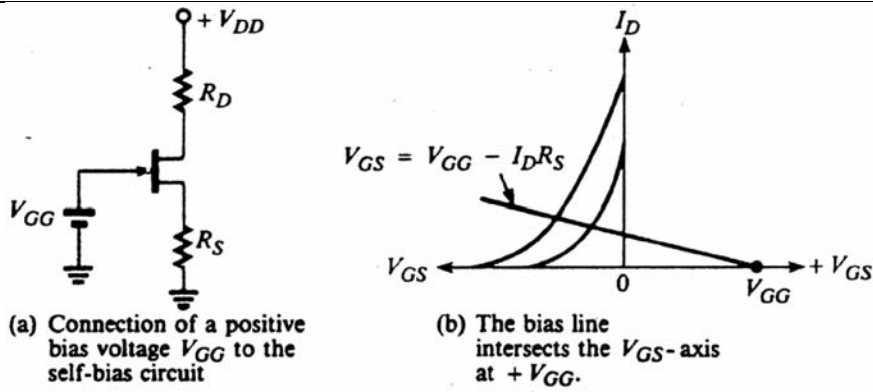
Hình 4-17

Giá trị tĩnh của I_D ban đầu là 3 mA cho cả phân cực cố định và tự phân cực. Khi hàm truyền đạt thay đổi thì sự thay đổi của I_D trong mạch tự phân cực nhỏ hơn trong mạch phân cực cố định.

Hình 4-17 biểu diễn đặc tuyến truyền đạt của JFET có $I_{DSS} = 10 \text{ mA}$ và $V_P = -4 \text{ V}$ và đặc tuyến truyền đạt của JFET có $I_{DSS} = 12 \text{ mA}$ và $V_P = -4.5 \text{ V}$. Đường phân cực $V_{GS} = -600 I_D$ được vẽ cắt cả hai đặc tuyến tại các điểm đã xác định được ở trên: 3 mA và 3.46 mA. Trên đồ thị còn vẽ đường thẳng đứng $V_{GS} = -1.8 \text{ V}$, là đường tương ứng của phương pháp phân cực cố định. Đường này cắt các đặc tuyến tại hai giá trị: 3 mA và 4.32 mA. Đồ thị này có thể cho ta thấy rõ ràng là tại sao phương pháp tự phân cực lại tạo ra ít thay đổi hơn so với phương pháp phân cực cố định khi thay đổi thông số JFET: độ dốc của đường phân cực càng nhỏ, mức độ thay đổi trong các giá trị tĩnh càng thấp.

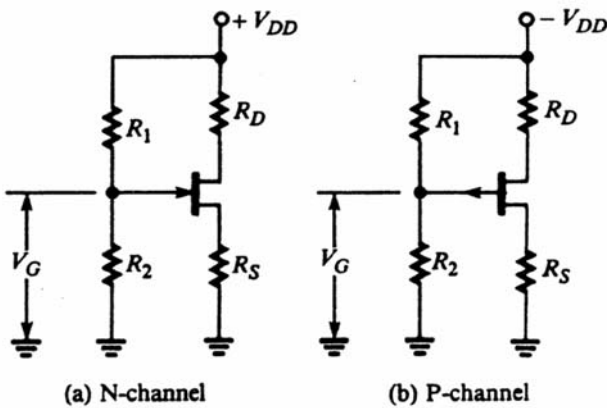
4-3-3 Phân cực bằng cầu chia áp

Trên hình 4-17, ta có thể thấy là độ dốc của đường phân cực càng nhỏ thì độ thay đổi trong I_D càng thấp. Độ dốc của đường này có thể càng nhỏ hơn nữa nếu ta tăng R_S , tuy nhiên, nếu R_S quá lớn sẽ làm cho giá trị I_D trở nên quá nhỏ. Có một cách khác có thể làm giảm độ dốc của đường phân cực mà vẫn giữ cho I_D không quá nhỏ là nối một nguồn V_{GG} đến cực cổng (đối với JFET kênh N) trong mạch tự phân cực.



Hình 4-18

Nguồn V_{GG} làm giảm độ dốc của đường phân cực và cải thiện độ ổn định phân cực.



Hình 4-19

Phân cực cực cổng bằng cách dùng cầu phân áp.

Hình 4-18(a) vẽ dạng phân cực này. V_{GG} làm cho điểm giao của đường phân cực và trục hoành dịch đến giá trị V_{GG} như trong hình 4-18(b). Biểu thức của đường phân cực lúc này là

$$V_{GS} = V_{GG} - I_D R_S \quad (4-9)$$

Trong thực tế, điện áp dương tại cực cổng được tạo ra bằng cách dùng cầu phân áp nối đến cực nguồn từ áp cung cấp V_{DD} . Đối với JFET kênh P, cực cổng phải mang điện áp âm, áp này được tạo ra từ cầu phân áp $-V_{DD}$. Hình 4-19 biểu diễn các dạng phân cực này. Vì điện trở ngõ vào cực cổng là rất lớn (do cấu trúc phân cực ngược), cầu chia áp không bị gánh tải, do đó khi phân tích ta có thể bỏ qua tải của cầu phân áp này (khác với cầu phân áp của phân cực cho BJT). Điện áp giữa cực cổng và đất là

$$V_G = \left(\frac{R_2}{R_1 + R_2} \right) V_{DD} \quad (4-10)$$

Đối với JFET kênh P là $V_G = -R_2 V_{DD} / (R_1 + R_2)$. Biểu thức đường phân cực cho JFET kênh N và kênh P là

$$V_{GS} = V_G - I_D R_S \quad (N\text{-channel}) \quad (4-11)$$

$$V_{GS} = V_G - I_D R_S \quad (P\text{-channel}) \quad (4-12)$$

Lưu ý là V_G dương trong biểu thức 4-11 và âm trong biểu thức 4-12.

4-3-4 Phương pháp đại số cho phương pháp phân cực dùng cầu phân áp

Dạng tổng quát để tìm điểm phân cực trong phương pháp dùng cầu phân áp được cho trong biểu thức 4-13. Các kết quả này là đúng cho cả JFET kênh N lẫn kênh P. Các giá trị tìm được phải

kiểm tra điều kiện $|V_{DS}| > |V_P| - |V_{GS}|$ để đảm bảo là điểm làm việc nằm trong vùng nghèo. Biểu thức 4-13 cũng có thể được dùng như biểu thức 4-8 khi cho V_G là 0.

$$I_D = \frac{-B - \sqrt{B^2 - 4AC}}{2A}$$

$$A = R_S^2$$

$$B = -\left(2(|V_P| + |V_G|)R_S + \frac{V_P^2}{I_{DSS}}\right)$$

$$C = (|V_P| + |V_G|)^2 \tag{4-13}$$

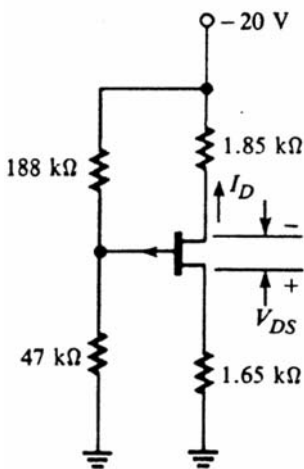
$$V_G = \frac{R_2}{R_1 + R_2}|V_{DD}|$$

$$|V_{DS}| = |V_{DD}| - I_D(R_D + R_S)$$

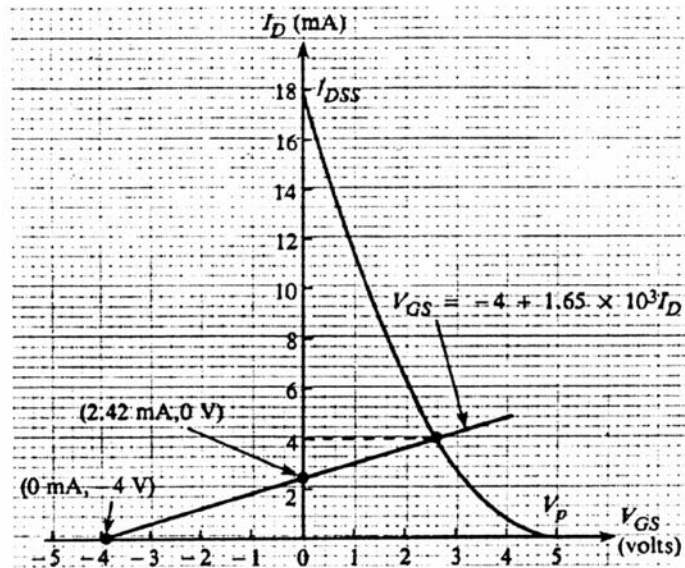
$$|V_{GS}| = |V_G| - I_D R_S$$

Ví dụ 4-6

JFET kênh P trong hình 4-20 có đặc tuyến truyền đạt được cho trong hình 4-21. Tìm các giá trị tĩnh cho I_D (1) bằng đồ thị và (2) bằng phương pháp đại số.



Hình 4-20
 Ví dụ 4-6.



Hình 4-21
 Ví dụ 4-6.

Hướng dẫn

1. Để tìm biểu thức đường phân cực, ta cần tìm điện áp V_G :

$$V_G = \left(\frac{47 \times 10^3}{188 \times 10^3 + 47 \times 10^3} \right) (-20) = -4 \text{ V}$$

Từ biểu thức 4-12, đường phân cực là

$$V_{GS} = -4 + 1.65 \times 10^3 I_D \tag{4-14}$$

Đường này cắt trục V_{GS} tại -4 V . Điểm cắt thứ hai là giao điểm với trục I_D :

$$I_D = \frac{4}{1.65 \times 10^3} = 2.42\text{ mA}$$

Đường phân cực này được vẽ trong hình 4-21. Có thể thấy là đường phân cực này cắt đặc tuyến truyền đạt tại $I_D \approx 4\text{ mA}$.

2. Từ hình 4-20, $R_D = 1.85\text{ k}\Omega$, $R_S = 1.65\text{ k}\Omega$ và $V_{DD} = 20\text{ V}$. Từ đặc tuyến truyền đạt trong hình 4-21 ta thấy là $V_P = 5\text{ V}$ và $I_{DSS} = 18\text{ mA}$. Trong phần (1) ta đã tính được V_G là -4 V . Sử dụng biểu thức 4-13, ta có

$$A = R_S^2 = (1.65 \times 10^3)^2 = 2.7225 \times 10^6$$

$$B = -\left[2(|V_P| + |V_G|)R_S + \frac{V_P^2}{I_{DSS}} \right] = -31.09 \times 10^3$$

$$C = (|V_P| + |V_G|)^2 = 81$$

Thay các giá trị này vào biểu thức tính I_D ta có $I_D = 4.02\text{ mA}$.

$$|V_{DS}| = |V_{DD}| - I_D(R_S + R_D) = 20\text{ V} - 4.02\text{ mA}(1.85\text{ k}\Omega + 1.65\text{ k}\Omega) = 5.93\text{ V}$$

Vì JFET là kênh P nên $V_{DS} = -5.93\text{ mA}$.

$$|V_{GS}| = |V_G| - I_D R_S = 4\text{ V} - (4.02\text{ mA})(1.65\text{ k}\Omega) = 2.63\text{ V}$$

Vì $5.93\text{ V} > 5\text{ V} - 2.63\text{ V} = 2.37\text{ V}$, các kết quả này là được chấp nhận.

4-4 Thiết kế phân cực JFET

Trong thiết kế phân cực cho JFET, ta cần phải tính R_D , R_S , và R_1 , R_2 để có I_D và V_{DS} theo yêu cầu thiết kế với nguồn V_{DD} cho trước. Biểu thức 4-15 dùng cho mạch tự phân cực có thể được suy ra từ biểu thức 4-7 để tìm R_D , và giải biểu thức 4-5, 4-6 với biểu thức luật bình phương để tìm R_S . Các kết quả này có thể dùng cho JFET kênh N và kênh P.

$$\begin{aligned} R_S &= \frac{-B - \sqrt{B^2 - 4AC}}{2A} \\ A &= I_D^2 \\ B &= -2|V_P|I_D \\ C &= V_P^2 \left(1 - \frac{I_D}{I_{DSS}} \right) \\ R_D &= \frac{|V_{DD}| - |V_{DS}| - I_D R_S}{I_D} \end{aligned} \quad (4-15)$$

Lưu ý là giá trị V_G có thể được chọn trước nếu giới hạn mà điểm phân cực có thể thay đổi là xác định. Đường thẳng nối các điểm phân cực mong muốn khi đặc tuyến thay đổi sẽ cắt trục hoành tại giá trị V_G . Giá trị này có thể được tính từ độ dốc của đường phân cực như trong hình 4-22.

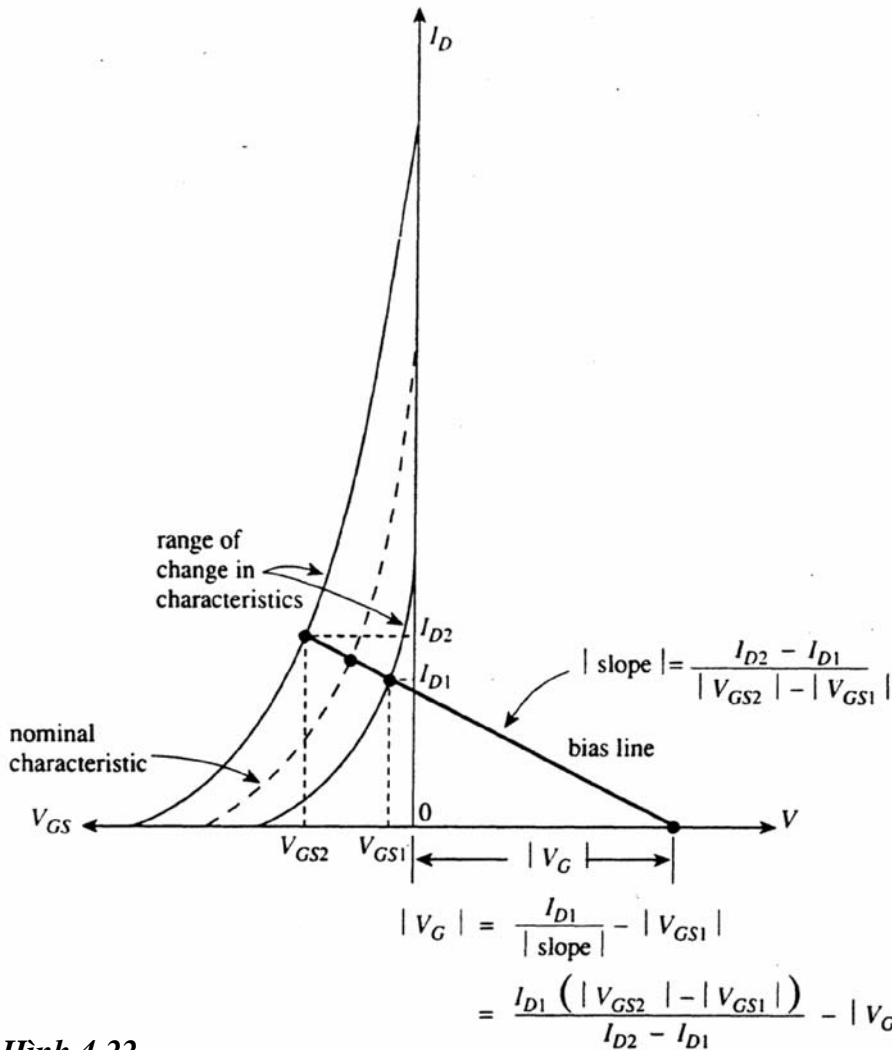
Với V_G đã biết, R_1 có thể được tính bằng biểu thức 4-15 bằng cách chọn trước R_2 . Thông thường R_2 nhỏ hơn R_1 vì vậy R_2 xác định giới hạn trên cho điện trở ngõ vào của mạch.

$$\begin{aligned}
 |V_G| &= \frac{I_{D1} (|V_{GS2}| - |V_{GS1}|)}{(I_{D2} - I_{D1})} - |V_{GS1}| \\
 R_S &= \frac{-B - \sqrt{B^2 - 4AC}}{2A} \\
 A &= I_D^2 \\
 B &= -2(|V_p| + |V_G|) I_D \\
 C &= (|V_p| + |V_G|)^2 - V_p^2 \frac{I_D}{I_{DSS}} \\
 R_D &= \frac{|V_{DD}| - |V_{DS}| - I_D R_S}{I_D} \\
 \text{cho } R_2, R_1 &= \frac{R_2 (|V_{DD}| - |V_G|)}{|V_G|}
 \end{aligned} \tag{4-16}$$

Ví dụ 4-7

Một JFET kênh N được phân cực tại $V_{DS} = 6 \text{ V}$ bằng một nguồn cung cấp $V_{DD} = 15 \text{ V}$. Đặc tuyến tối ưu của FET có $V_p = -3.5 \text{ V}$ và $I_{DSS} = 13.5 \text{ mA}$. Dòng máng tĩnh không nên thay đổi quá $\pm 0.5 \text{ mA}$ quanh giá trị tối ưu 6 mA khi đặc tuyến của JFET thay đổi từ $V_p = -3 \text{ V}$ đến $V_p = -4 \text{ V}$ với I_D thay đổi từ 12 mA đến 15 mA. Tìm các giá trị R_1, R_2, R_D, R_S trong mạch phân cực dùng cầu phân áp.

Tìm giới hạn thực của I_D và V_{DS} trên giới hạn của đặc tuyến JFET khi dùng các điện trở chuẩn 5%, giả sử là các điện trở này có giá trị tối ưu.



Hình 4-22

Tính giá trị của $|V_G|$ cho mạch dùng cầu phân áp khi biết trước giới hạn cụ thể của các điểm phân cực, (V_{GS2}, I_{D2}) đến (V_{GS1}, I_{D1}) .

Hướng dẫn

Đầu tiên ta phải tìm V_G sử dụng hình 4-22. Các giá trị V_{GS1} và V_{GS2} tương ứng với $I_{D1} = 6.5 \text{ mA}$ và $I_{D2} = 5.5 \text{ mA}$ là

$$V_{GS} = V_P \left(1 - \sqrt{\frac{I_D}{I_{DSS}}} \right)$$

Do đó $V_{GS1} = (-3 \text{ V}) \left(1 - \sqrt{\frac{5.5 \text{ mA}}{12 \text{ mA}}} \right) = -0.969 \text{ V}$

Và $V_{GS2} = (-4 \text{ V}) \left(1 - \sqrt{\frac{6.5 \text{ mA}}{15 \text{ mA}}} \right) = -1.367 \text{ V}$

Từ hình 4-22,

$$V_G = \frac{I_{D1} (|V_{GS2}| - |V_{GS1}|)}{I_{D2} - I_{D1}} - |V_{GS1}| =$$

$$= \frac{5.5 \text{ mA} (1.367 \text{ V} - 0.969 \text{ V})}{6.5 \text{ mA} - 5.5 \text{ mA}} - 0.969 \text{ V} = 1.22 \text{ V}$$

Dùng biểu thức 4-16,

$$A = I_D^2 = 36 \times 10^{-6}$$

$$B = -2(|V_P| + |V_G|)I_D = -2(3.5 + 1.22)(6 \times 10^{-3}) = -56.64 \times 10^{-3}$$

$$C = (|V_P| + |V_G|)^2 - \frac{V_P^2 I_D}{I_{DSS}} = (3.5 + 1.22)^2 - (3.5)^2 \left(\frac{6 \text{ mA}}{13.5 \text{ mA}} \right) = 16.83$$

$$R_S = \frac{-B - \sqrt{B^2 - 4AC}}{2A}$$

$$= \frac{56.64 \times 10^{-3} - \sqrt{(56.64 \times 10^{-3})^2 - 4(36 \times 10^{-6})(16.83)}}{2(36 \times 10^{-6})} = 398 \Omega$$

$$R_D = \frac{|V_{DD}| - |V_{DS}| - I_D R_S}{I_D} = \frac{15 \text{ V} - 6 \text{ V} - (6 \text{ mA})(398 \Omega)}{6 \text{ mA}} = 1.1 \text{ k}\Omega$$

Chọn $R_2 = 330 \text{ k}\Omega$ ta có

$$R_1 = \frac{R_2 (|V_{DD}| - |V_G|)}{|V_G|} = \frac{(330 \text{ k}\Omega)(15 \text{ V} - 1.22 \text{ V})}{1.22 \text{ V}} = 3.7 \text{ M}\Omega$$

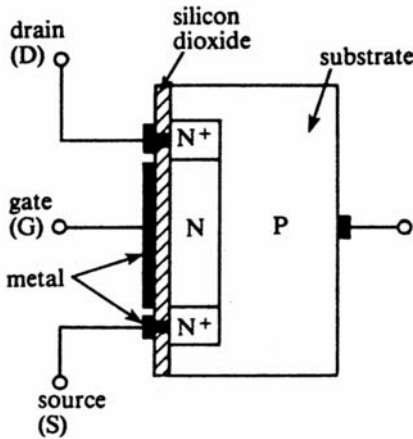
Các giá trị điện trở chuẩn 5 % gần nhất là $R_S = 390 \Omega$, $R_D = 1.1 \text{ k}\Omega$, $R_1 = 3.6 \text{ M}\Omega$ và $R_2 = 330 \text{ k}\Omega$. Dùng các giá trị này trong biểu thức 4-18 ta có thể tìm được giới hạn của I_D là từ 5.65 mA đến 6.65 mA khi V_{DS} thay đổi từ 5.09 V đến 6.58 V trên giới hạn thay đổi của đặc tuyến JFET.

4-5 Metal-Oxide-Semiconductor FET

Metal-Oxide-Semiconductor FET (MOSFET) có nhiều điểm tương tự như JFET. Nó cũng có cực máng, cực cổng và cực nguồn, khả năng dẫn điện của kênh dẫn cũng được điều khiển bằng điện áp giữa cực cổng và cực nguồn. Điểm chủ yếu để phân biệt giữa JFET và MOSFET là cực cổng của MOSFET thực ra được cách ly khỏi kênh dẫn. Do đó, MOSFET còn được gọi là FET có cực cổng cách ly (Insulated-Gate FET), hoặc IGFET. Có hai dạng MOSFET: MOSFET kênh có sẵn (depletion-mode) và MOSFET kênh không có sẵn (enhanced-mode). Các tên này được đặt dựa theo cách thức mà MOSFET tạo ra kênh dẫn bằng cách thay đổi V_{GS} .

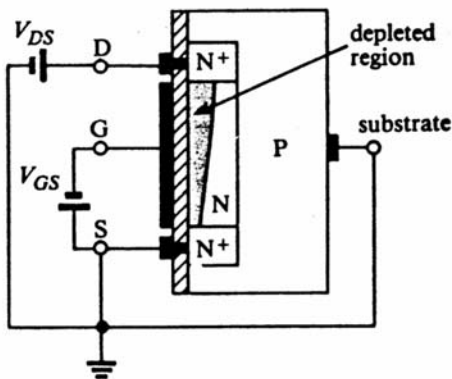
4-5-1 MOSFET kênh có sẵn (Depletion-type MOSFET)

Hình 4-23 cho thấy cấu trúc của MOSFET kênh N có sẵn. Một khối bán dẫn loại P có điện trở lớn được dùng làm nền (substrate). Hai vùng loại N^+ (pha nhiều tạp chất) được đặt vào trong đó. Một lớp SiO_2 , là vật liệu cách điện, được phủ lên bề mặt. Các tiếp điểm kim loại xuyên qua lớp SiO_2 và nối vào hai vùng N^+ tạo nên cực máng và cực nguồn. Nối hai vùng N^+ là một vùng bán dẫn loại N khác với mật độ hạt dẫn thấp hơn tạo thành kênh dẫn. Nhôm được phủ lên lớp SiO_2 tại vùng đối diện kênh dẫn và tạo thành cực cổng. Lưu ý là lớp SiO_2 đã cách điện kênh dẫn khỏi cực cổng do đó không có chuyển tiếp PN được tạo nên từ cực cổng và kênh dẫn như đối với JFET.



Hình 4-23
 Cấu trúc của MOSFET kênh N có sẵn.

Hình 4-24 cho thấy chế độ hoạt động thông thường của MOSFET kênh N có sẵn. Một điện áp V_{DS} được nối giữa cực máng và cực nguồn làm cho cực máng dương hơn so với cực nguồn. Cực nền thường được nối với cực nguồn. Khi cực cổng bị âm hơn so với cực nguồn do V_{GS} gây ra, điện trường nó tạo ra trong kênh dẫn đẩy các electron khỏi vùng kênh gần lớp SiO_2 . Vùng này trở thành vùng thiếu hạt dẫn và bề rộng kênh dẫn trở nên hẹp hơn. Kênh dẫn càng hẹp thì điện trở của nó càng lớn và dòng từ máng đến nguồn chảy qua nó càng nhỏ. Vì vậy, linh kiện hoạt động giống như JFET kênh N, sự khác biệt chủ yếu đó là độ rộng kênh dẫn được điều khiển bằng điện trường chứ không phải bằng sự thay đổi độ rộng vùng nghèo của chuyển tiếp PN. Vì không có phân cực ngược chuyển tiếp PN, điện áp V_{GS} có thể dương. Thật vậy, nếu V_{GS} dương nó sẽ hút các electron vào kênh dẫn và vì vậy gia tăng độ dẫn điện của kênh. Vì vậy, điện áp tại cực cổng của MOSFET kênh N có sẵn có thể thay đổi từ âm sang dương và linh kiện có thể hoạt động ở cả hai chế độ nghèo và giàu hạt dẫn.

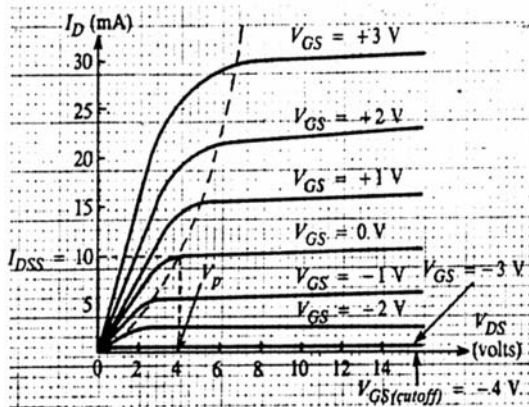


Hình 4-24
 Hoạt động của MOSFET kênh N có sẵn. Điện trường gây ra bởi V_{GS} tạo ra một vùng nghèo trong kênh dẫn.

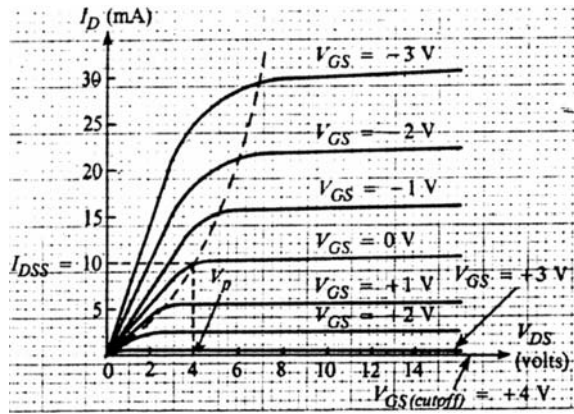
Mặc dù có một chuyển tiếp PN giữa cực nền loại P và vật liệu N, chuyển tiếp này lại luôn bị phân cực ngược và có một dòng rất nhỏ chảy qua vùng nền. Điện trở nhìn vào cực cổng là cực kỳ lớn, có thể đến vài ngàn $M\Omega$ vì tại đó không có chuyển tiếp PN và cũng không có đường để dòng điện đi qua lớp cách điện giữa cực cổng và kênh dẫn.

Vì sự tương tự giữa MOSFET kênh có sẵn và JFET, ta sẽ thấy là các thông số và đặc tính hoạt động của chúng là tương tự nhau. Kết quả này được trình bày trong hình 4-25. Dòng điện tăng một cách tuyến tính khi V_{DS} tăng cho đến khi đến vùng nghẽn. Trong vùng nghẽn, dòng máng không thay đổi và có độ lớn phụ thuộc V_{GS} . V_{GS} càng âm thì vùng nghẽn càng xảy ra sớm hơn và dòng bão hòa càng có giá trị nhỏ hơn. Nếu $V_{GS} = 0\text{ V}$, dòng máng bão hòa tại I_{DSS} khi $V_{DS} = -V_P$. Nếu V_{GS} đủ âm để làm nghẽn toàn bộ kênh, dòng máng sẽ bị tắt. Giá trị V_{GS} tại đó xảy ra điều kiện này được gọi là điện áp cắt (gate-to-source cutoff voltage), $V_{GS(cutoff)} = V_P$. Lưu ý là đặc tuyến trong hình 4-25 cũng cho thấy hoạt động trong chế độ giàu hạt dẫn, tức là V_{GS} dương. Hình 4-26 biểu diễn đặc

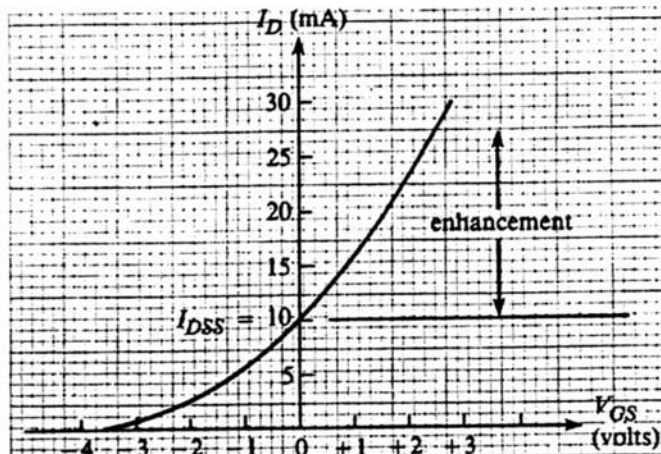
tuyến máng của MOSFET kênh P có sẵn. Đối với MOSFET này, chế độ nghèo hạt dẫn xảy ra khi V_{GS} dương và chế độ giàu hạt dẫn xảy ra khi V_{GS} âm. Hình 4-27 cho thấy ký hiệu của MOSFET kênh N có sẵn và kênh P có sẵn.



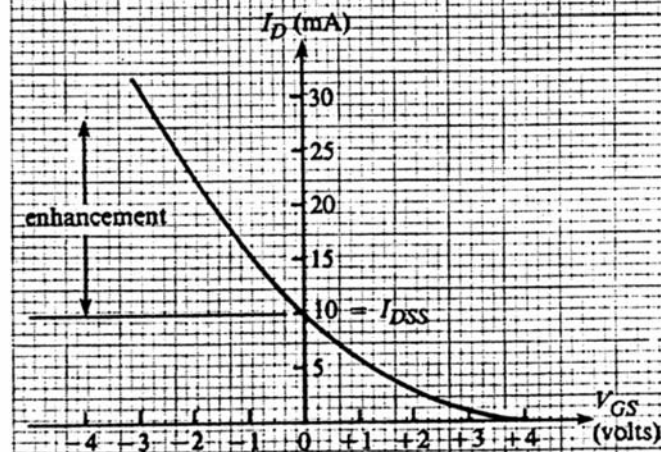
Hình 4-25
 Đặc tuyến máng của MOSFET kênh N có sẵn, hoạt động trong chế độ nghèo và giàu hạt dẫn.



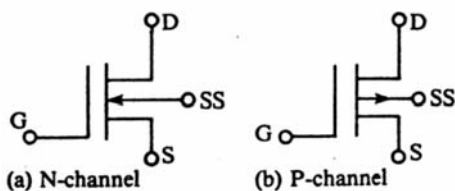
Hình 4-26
 Đặc tuyến máng của JFET kênh P có sẵn, hoạt động trong chế độ nghèo và giàu hạt dẫn.



(a) N-channel



(b) P-channel



Hình 4-27
 Biểu tượng mạch của MOSFET kênh N và kênh P có sẵn.

Hình 4-28
 Đặc tuyến truyền đạt của MOSFET kênh N và kênh P có sẵn.

Biểu thức luật bình phương cho đặc tuyến truyền đạt của MOSFET kênh có sẵn là giống như đối với JFET:

$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_p} \right)^2 \quad (4-17)$$

Biểu thức này cho phép dự đoán chính xác I_D khi MOSFET kênh có sẵn hoạt động trong chế độ giàu hạt dẫn. Hình 4-28 biểu diễn đặc tuyến truyền đạt của các linh kiện kênh N và kênh P. Chú ý là trong mỗi loại, I_D sẽ vượt qua I_{DSS} trong chế độ giàu hạt dẫn.

Kỹ thuật phân cực ta đã phân tích cho JFET là hoàn toàn tương thích với MOSFET vì đặc tuyến của hai loại là tương tự nhau.

Ví dụ 4-8

1. Một MOSFET kênh N có sẵn có $I_{DSS} = 18 \text{ mA}$ và $V_p = -5 \text{ V}$. Giả sử là nó hoạt động trong vùng nghèo, tìm I_D , khi $V_{GS} = -3 \text{ V}$ và lặp lại khi $V_{GS} = +2.5 \text{ V}$.

2. Lặp lại câu (1) nếu MOSFET là kênh P và $V_p = +5 \text{ V}$

Hướng dẫn

1. Từ biểu thức 4-17, cho $V_{GS} = -3 \text{ V}$,

$$I_D = (18 \text{ mA}) \left(1 - \frac{-3}{-5} \right)^2 = 2.88 \text{ mA}$$

cho $V_{GS} = +2.5 \text{ V}$

$$I_D = (18 \text{ mA}) \left(1 - \frac{2.5}{-5} \right)^2 = 40.5 \text{ mA}$$

2. Từ biểu thức 4-17, cho $V_{GS} = -3 \text{ V}$,

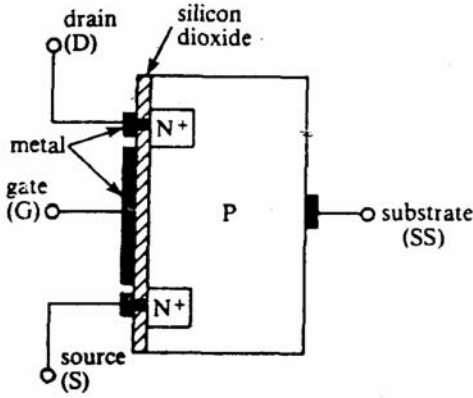
$$I_D = (18 \text{ mA}) \left(1 - \frac{-3}{5} \right)^2 = 46.08 \text{ mA}$$

cho $V_{GS} = +2.5 \text{ V}$

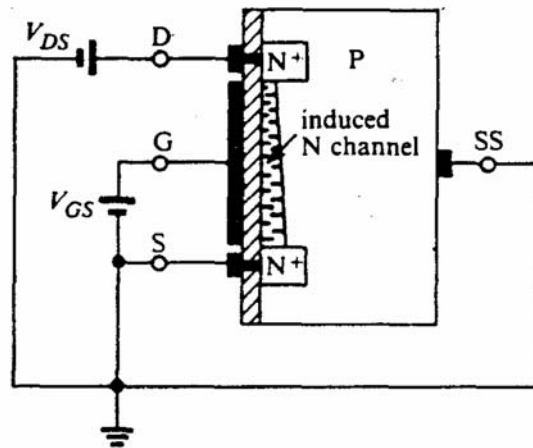
$$I_D = (18 \text{ mA}) \left(1 - \frac{2.5}{5} \right)^2 = 4.5 \text{ mA}$$

4-5-2 MOSFET kênh không có sẵn (Enhancement-type MOSFET)

Trong MOSFET kênh N có sẵn, kênh dẫn của nó là vùng N giữa cực nguồn và cực máng (hình 4-23). Trong MOSFET kênh không có sẵn không tồn tại sẵn một kênh dẫn như vậy, thay vào đó vùng nền mở rộng đến lớp SiO_2 cạnh cực cổng như trong hình 4-29. Ngoại trừ việc không có sẵn kênh dẫn, cấu trúc của MOSFET kênh không có sẵn là hoàn toàn tương tự như cấu trúc của MOSFET kênh có sẵn.



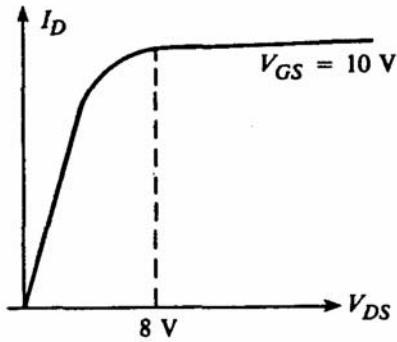
Hình 4-29
 MOSFET kênh không có sẵn.
 Cấu trúc tương tự MOSFET
 kênh có sẵn ngoại trừ sự tồn
 tại của kênh dẫn.



Hình 4-30
 Điện áp V_{GS} dương tạo ra một kênh
 N trong nền đối với MOSFET kênh
 không có sẵn.

Hình 4-30 vẽ sơ đồ kết nối thông thường giữa các cực của MOSFET kênh không có sẵn, cực nền thường được nối với cực nguồn. Lưu ý là V_{GS} được nối để cực cổng là dương so với cực nguồn. Điện áp dương của cực cổng sẽ hút các electron từ miền nền đến vùng dọc theo lớp cách điện đối diện cực cổng. Nếu điện áp cực cổng đủ dương, sẽ có đủ electron được hút vào trong miền này và chuyển nó thành một vùng có tính N. Vì vậy, một kênh dẫn loại N sẽ được hình thành giữa cực máng và cực nguồn. Vật liệu loại P của cực nền đã bị biến đổi để tạo một kênh dẫn loại N. Nếu cực cổng càng dương hơn nữa thì sẽ càng có nhiều electron bị hút vào kênh dẫn và khả năng dẫn điện càng tăng. Nói cách khác, V_{GS} càng dương sẽ càng làm giàu hạt dẫn trong kênh dẫn và làm tăng dòng điện giữa cực máng và cực nguồn. MOSFET được vẽ trong hình 4-29 và 4-30 thường được gọi là MOSFET kênh N cảm ứng (induced N-channel).

Kênh cảm ứng N trong hình 4-30 sẽ không dẫn đủ mạnh nếu điện áp V_{GS} chưa đạt đến một giá trị ngưỡng (threshold), V_T . Trong các MOSFET silicon ngày nay, giá trị của V_T thường thay đổi trong khoảng 1 V đến 3 V. Giả sử là $V_T = 2$ V và V_{GS} được đặt tại 10 V. Ta sẽ xem thử điều gì xảy ra khi điện áp giữa cực máng và cực nguồn tăng dần từ 0 V. Khi V_{DS} tăng, dòng máng tăng theo định luật Ohm. Lúc này dòng tăng tuyến tính với V_{DS} như trong hình 4-31. Khi V_{DS} tiếp tục tăng, ta thấy là kênh trở nên hẹp hơn tại phía cực máng như trong hình 4-30. Điều này là do điện áp giữa cực cổng và cực máng sẽ giảm khi V_{DS} tăng vì vậy giảm điện thế dương phía cực máng. Ví dụ, nếu V_{GS} là 10 V và V_{DS} là 3 V, thì $V_{GD} = 10 - 3 = 7$ V. Khi V_{DS} tăng lên 4 V, $V_{GD} = 10 - 4 = 6$ V. Điện áp V_{GD} giảm một lượng bằng với lượng tăng của V_{DS} nên điện trường phía đầu cực máng giảm và kênh trở nên hẹp hơn. Kết quả là điện trở của kênh bắt đầu tăng và dòng máng bị tắt. Điểm này có thể thấy trên hình 4-31. Khi V_{DS} đạt đến 8 V, $V_{GD} = 10 - 8 = 2$ V = V_T . Lúc này điện áp dương tại phía đầu cực máng bằng điện áp ngưỡng và độ rộng kênh giảm về 0. Việc tăng V_{DS} hơn nữa không làm thay đổi hình dạng của kênh dẫn và dòng máng không tiếp tục tăng, nghĩa là I_D bị bão hòa. Điểm này khá giống với điểm nghẽn của JFET.



Hình 4-31

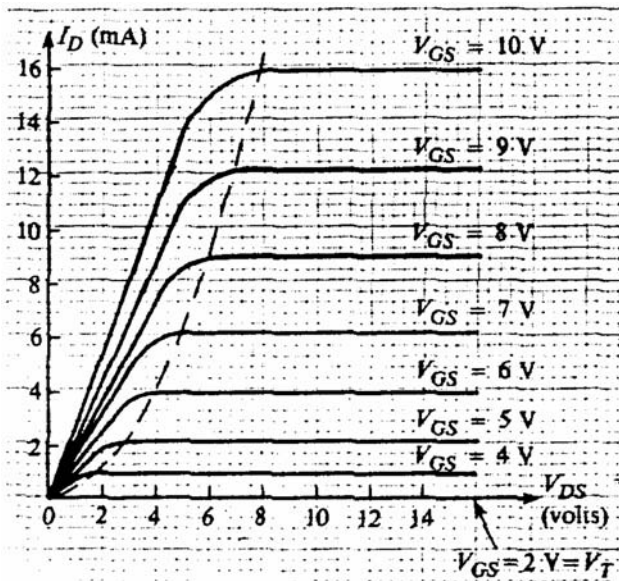
Dòng máng trong MOSFET kênh N không có sẵn tăng theo V_{DS} cho đến khi

$$V_{DS} = V_{GS} - V_T (= 10 - 2 = 8 \text{ V}).$$

Khi quá trình mà ta vừa mô tả lặp lại với V_{GS} là 12 V, bão hòa xảy ra tại $V_{DS} = 12 - 2 = 10 \text{ V}$. Đặt $V_{DS(sat)}$ là điện áp tại đó xảy ra hiện tượng bão hòa, ta có

$$V_{DS(sat)} = V_{GS} - V_T \tag{4-18}$$

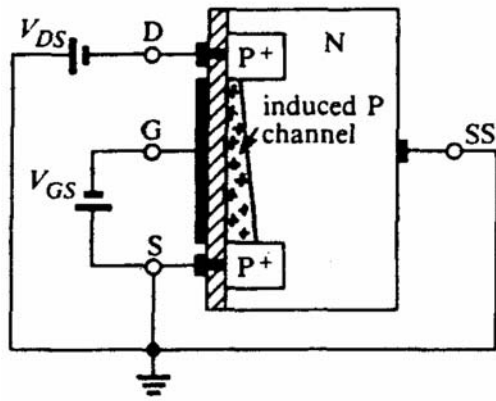
Hình 4-32 biểu diễn tập hợp các đường đặc tuyến máng khi ta lặp lại các bước trên với V_{GS} được đặt tại các giá trị dương khác nhau. Khi V_{GS} giảm đến mức ngưỡng $V_T = 2 \text{ V}$, I_D giảm đến 0 bất chấp giá trị của V_{DS} . Khác với MOSFET kênh có sẵn, MOSFET kênh không có sẵn chỉ có thể làm việc trong chế độ làm giàu hạt dẫn. Đường gạch hình parabol là tập hợp các điểm bão hòa, nghĩa là các điểm thỏa mãn biểu thức 4-18. Cũng như trong đặc tuyến của JFET, vùng bên trái của parabol được gọi là vùng điện trở phụ thuộc áp. Ta gọi vùng bên phải của parabol là vùng tích cực. Linh kiện thường được phân cực để làm việc trong vùng tích cực khi hoạt động trong chế độ tín hiệu nhỏ.



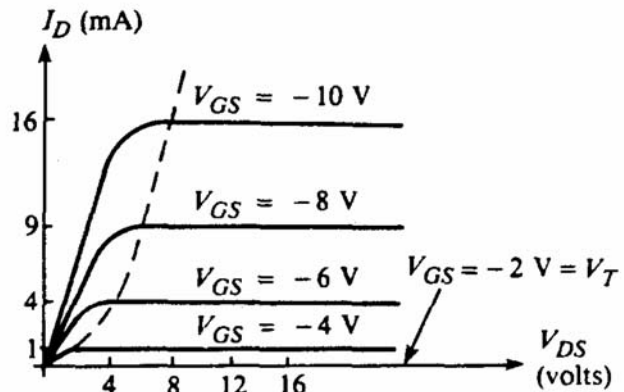
Hình 4-32

Đặc tuyến máng của MOSFET kênh cảm ứng loại N. Lưu ý là tất cả các giá trị V_{GS} đều dương.

Hình 4-33(a) biểu diễn cấu trúc của một MOSFET kênh P không có sẵn và kết nối điện của nó. Lưu ý miền nền là loại N và kênh cảm ứng loại P được tạo ra từ điện áp V_{GS} âm. Hình 4-33(b) biểu diễn tập hợp các đặc tuyến máng cho MOSFET kênh P không có sẵn. Lưu ý là tất cả các giá trị của V_{GS} là âm và điện áp ngưỡng V_T cũng có giá trị âm. MOSFET kênh N và kênh P thường được gọi tắt là NMOS và PMOS.



(a) Structure and electrical connections

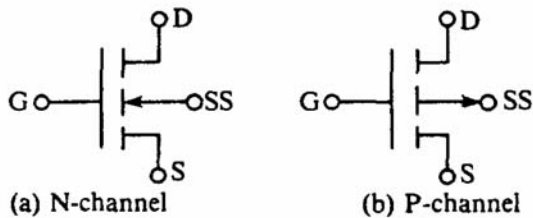


(b) Drain characteristics

Hình 4-33

MOSFET kênh cảm ứng loại P.

Hình 4-34 vẽ ký hiệu qui ước của MOSFET kênh N không có sẵn và MOSFET kênh P không có sẵn.



(a) N-channel

(b) P-channel

Hình 4-34

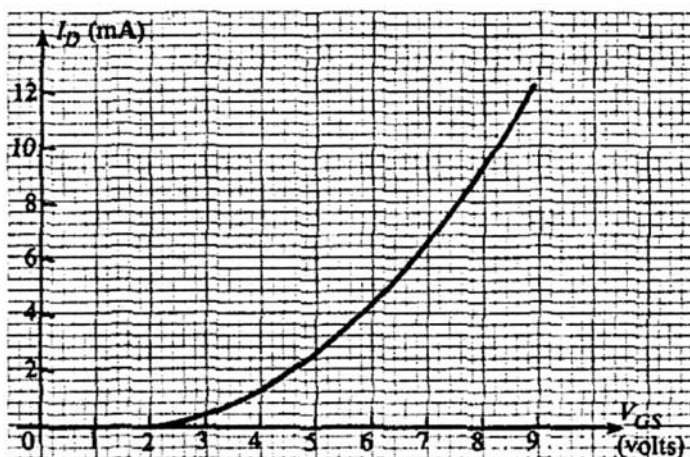
Biểu tượng mạch cho MOSFET kênh không có sẵn.

4-5-3 Đặc tuyến truyền đạt của MOSFET kênh không có sẵn

Trong vùng tích cực, dòng máng I_D và điện áp V_{GS} liên hệ với nhau bằng biểu thức

$$I_D = 0.5\beta(V_{GS} - V_T)^2, \quad V_{GS} \geq V_T \quad (4-19)$$

với β là hằng số phụ thuộc hình dạng linh kiện. Giá trị thường gặp của β là $0.5 \times 10^{-3} \text{ A/V}^2$. Hình 4-35 vẽ đặc tuyến truyền đạt của MOSFET kênh N không có sẵn với $\beta = 0.5 \times 10^{-3} \text{ A/V}^2$ và $V_T = 2 \text{ V}$.



Hình 4-35

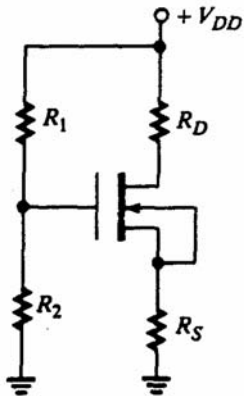
Đặc tuyến truyền đạt của NMOS.

$$\beta = 0.5 \times 10^{-3}; V_T = 2 \text{ V}.$$

4-5-4 Mạch phân cực cho MOSFET kênh không có sẵn

Mặc dù MOSFET kênh không có sẵn thường được sử dụng nhiều nhất trong các mạch tích hợp số (không đòi hỏi mạch phân cực), chúng cũng có thể được ứng dụng trong các mạch khuếch đại tín hiệu nhỏ. Hình 4-36 biểu diễn một cách để phân cực cho NMOS. Mạch này có dạng gần giống với mạch phân cực được sử dụng cho JFET kênh N (hình 4-19) nhưng chúng khác nhau về mặt

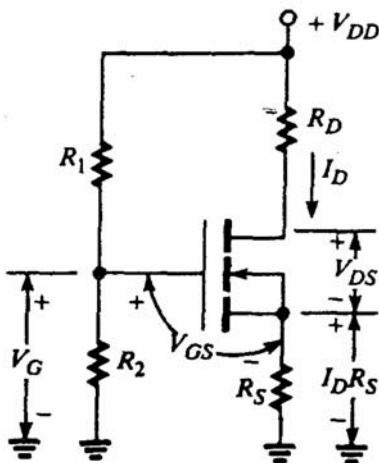
nguyên tắc. Điện trở R_S không làm nhiệm vụ tự phân cực như trong mạch của JFET, nó được dùng để ổn định phân cực trong mạch của MOSFET tương tự như trong mạch BJT. Điện trở R_S càng lớn, điểm phân cực càng ít nhạy với sự thay đổi trong thông số của MOSFET gây ra do nhiệt độ hoặc do thay đổi linh kiện trong mạch.



Hình 4-36
 Mạch phân cực cho MOSFET kênh không có sẵn.

Hình 4-37 cho thấy điện áp rơi trong mạch phân cực cho MOSFET kênh không có sẵn. R_1 và R_2 tạo nên cầu chia áp có nhiệm vụ xác định điện áp cực cổng V_G

$$V_G = \left(\frac{R_2}{R_1 + R_2} \right) V_{DD} \quad (4-20)$$



Hình 4-37
 Các điện áp rơi trong mạch phân cực cho NMOS.

Cầu chia áp không gánh tải vì điện trở ngõ vào của MOSFET rất lớn, vì vậy, các giá trị R_1 và R_2 thường được chọn rất lớn để giữ điện trở ngõ vào ac của tầng khuếch đại lớn.

$$V_{GS} = V_G - I_D R_S \quad (NMOS) \quad (4-21)$$

Đối với PMOS, V_G và V_{GS} âm, biểu thức 4-21 có thể được viết lại

$$V_{GS} = V_G + I_D R_S \quad (PMOS) \quad (4-22)$$

Lưu ý là I_D dương trong cả hai biểu thức

$$V_{DS} = V_{DD} - I_D (R_D + R_S) \quad (NMOS) \quad (4-23)$$

Đối với PMOS, biểu thức 4-23 có thể viết lại

$$V_{DS} = -|V_{DD}| + I_D (R_D + R_S) \quad (PMOS) \quad (4-24)$$

V_{DS} âm trong mạch dùng PMOS. Biểu thức 4-21 có thể được viết lại

$$I_D = -(1/R_S) V_{GS} + V_G / R_S \quad (4-25)$$

Biểu thức 4-25 là một đường thẳng trong hệ trục $I_D - V_{GS}$. Nó cắt trục I_D tại V_G/R_S , và cắt trục V_{GS} tại V_G . Đường này có thể được vẽ trên cùng đồ thị với tập hợp của các đặc tuyến truyền đạt của linh kiện và giao điểm của chúng xác định vị trí điểm phân cực.

4-5-5 Giải bằng phương pháp đại số

Ta có thể viết dạng tổng quát cho điểm phân cực trong các mạch PMOS và NMOS bằng cách giải hệ bao gồm biểu thức 4-19 và 4-21 hoặc 4-22 để tìm I_D . Các kết quả cho trong biểu thức 4-26 là đúng cho cả PMOS và NMOS.

$$|V_G| = \left(\frac{R_2}{R_1 + R_2} \right) |V_{DD}|$$

$$I_D = \frac{-B - \sqrt{B^2 - 4AC}}{2A}$$

$$A = R_S^2$$

$$B = -2 \left[(|V_{DD}| - |V_\tau|) R_D + \frac{1}{\beta} \right] \tag{4-26}$$

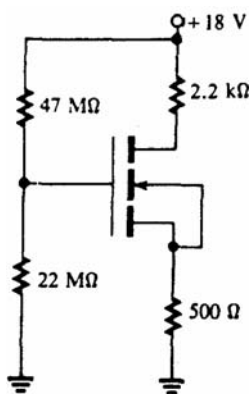
$$C = (|V_{DD}| - |V_\tau|)^2$$

$$|V_{DS}| = |V_{DD}| - I_D (R_D + R_S)$$

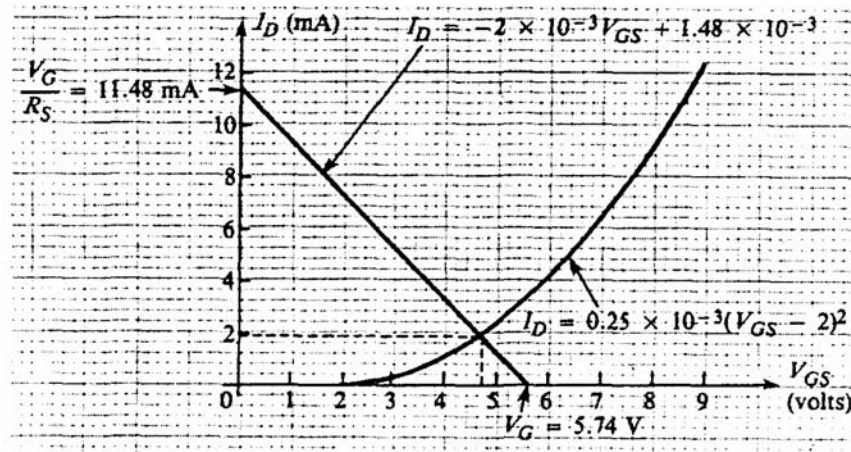
$$|V_{GS}| = |V_G| - I_D R_S$$

Ví dụ 4-9

Đặc tuyến truyền đạt của NMOS trong hình 4-42 được cho trong hình 4-38 ($\beta = 0.5 \times 10^{-3}$, $V_T = 2$ V). Tính V_{GS} , I_D , và V_{DS} tại điểm phân cực (1) bằng phương pháp đồ thị và (2) bằng phương pháp đại số.



Hình 4-38
 Ví dụ 4-9.



Hình 4-39
 Ví dụ 4-9.

Hướng dẫn

1. Từ biểu thức 4-20,

$$V_G = \left(\frac{22 \times 10^6}{47 \times 10^6 + 22 \times 10^6} \right) 18 \text{ V} = 5.74 \text{ V}$$

thay vào 4-25, ta có

$$I_D = -2 \times 10^{-3} V_{GS} + 11.48 \times 10^{-3}$$

Đường này cắt trục I_D tại 11.48 mA và trục V_{GS} tại $V_G = 5.74$ V. Nó được vẽ trong hình 4-38, cắt đường đặc tuyến tại điểm làm việc tĩnh với $I_D = 1.9$ mA, $V_{GS} = 4.8$ V. Từ biểu thức 4-23

$$V_{DS} = 18 - (1.9 \text{ mA}) [(2.2 \text{ k}\Omega) + (0.5 \text{ k}\Omega)] = 12.87 \text{ V}$$

Để có thể tính được như trên ta phải đảm bảo là điểm làm việc nằm trong vùng tích cực, thật vậy, $V_{DS} = 12.87 \text{ V} > V_{GS} - V_T = 2.8 \text{ V}$.

2. Với $V_G = 5.74$ V, $R_S = 500 \Omega$, $R_D = 2.2 \text{ k}\Omega$, $V_{DD} = 18$ V, $V_T = 2$ V, $\beta = 0.5 \times 10^{-3}$. Dùng biểu thức 4-26

$$A = (500)^2 = 2.5 \times 10^5$$

$$B = -2 \left[(5.74 - 2) 500 + 1 / (0.5 \times 10^{-3}) \right] = -7.74 \times 10^3$$

$$C = (5.74 - 2)^2 = 13.9876$$

Thay các giá trị này vào biểu thức tính I_D , ta có $I_D = 1.927$ mA. Từ đó ta có

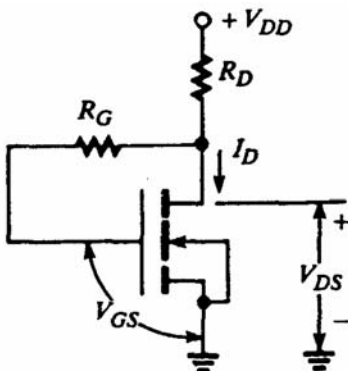
$$V_{DS} = 18 \text{ V} - (1.927 \text{ mA})(2.2 \text{ k}\Omega + 500 \Omega) = 12.8 \text{ V} \text{ và}$$

$$V_{GS} = 5.74 \text{ V} - (1.927 \text{ mA})(500 \Omega) = 4.78 \text{ V}.$$

Các kết quả này là phù hợp với kết quả trong phần (1).

4-5-6 Phân cực hồi tiếp

Hình 4-40 biểu diễn một cách khác để phân cực NMOS FET. Điện trở R_G , thường rất lớn, được nối giữa cực máng và cực cổng và không có dòng điện chảy qua vì điện trở ngõ vào cực cổng rất lớn. Vì không có điện áp rơi nên $V_{GS} = V_{DS}$, do đó ta có thể chắc chắn là $V_{DS} > V_{GS} - V_T$, đảm bảo linh kiện làm việc trong vùng tích cực. R_G cho phép hồi tiếp âm, đảm bảo sự ổn định của mạch.



Hình 4-40

Dùng điện trở hồi tiếp R_G để phân cực MOSFET kênh không có sẵn.

Từ hình 4-40 ta có

$$V_{DS} = V_{DD} - I_D R_D \quad (4-27)$$

Vì $V_{GS} = V_{DS}$ nên biểu thức đặc tuyến truyền đạt (4-23) có thể được viết như sau

$$I_D = 0.5 \beta (V_{DS} - V_T) \quad (4-28)$$

4-5-7 Phương pháp đại số của phân cực hồi tiếp

Bằng cách giải hệ 4-27 và 4-28 để tìm I_D , ta có dạng tổng quát của điểm phân cực cho mạch MOSFET dùng phân cực hồi tiếp. Biểu thức 4-29 biểu diễn các kết quả này, nó đúng cho cả PMOS và NMOS.

$$I_D = \frac{-B - \sqrt{B^2 - 4AC}}{2A}$$
$$A = R_S^2$$
$$B = -2 \left[(|V_{DD}| - |V_T|) R_D + \frac{1}{\beta} \right] \quad (4-29)$$
$$C = (|V_{DD}| - |V_T|)^2$$
$$|V_{DS}| = |V_{GS}| = |V_{DD}| - I_D R_D$$

Chương 5: CÁC MẠCH KHUẾCH ĐẠI BJT TÍN HIỆU NHỎ

5.1 Các nguyên tắc cơ bản về khuếch đại AC

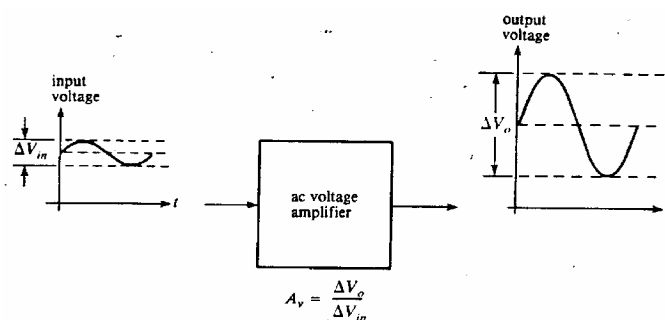
Ở phần trước chúng ta đã biết về tín hiệu DC, điểm tĩnh, và đặc điểm transistor cũng như cách xác định các điện áp, dòng DC ngõ ra ứng với ngõ vào là tín hiệu DC. Phần này, chúng ta sẽ nghiên cứu đáp ứng ngõ ra trong trường hợp dòng hoặc điện áp ngõ vào có sự thay đổi nhỏ. Ví dụ như nếu tăng điện áp ngõ vào V_{BE} của một transistor NPN được mắc CE sẽ làm tăng dòng I_B dẫn đến dòng I_C tăng theo vì $I_C = \beta I_B$. Cũng như vậy, việc tăng điện áp ngõ vào làm tăng điện áp ngõ ra. Khi sự biến thiên ngõ vào đủ nhỏ để tạo sự thay đổi về dòng và áp ngõ ra nằm trong giới hạn của đặc tính transistor, chúng ta nói rằng transistor đang hoạt động dưới **điều kiện tín hiệu nhỏ**. Chính xác hơn, hoạt động tín hiệu nhỏ xuất hiện khi các sự biến thiên ngõ ra quá nhỏ đến nỗi các thông số linh kiện thay đổi không đáng kể (như α , β ,...). Chúng ta nghiên cứu hoạt động tín hiệu nhỏ trên quan điểm xem transistor như một **bộ khuếch đại ac**.

Độ lợi bộ khuếch đại:

Khi 1 thiết bị có lượng thay đổi điện áp ngõ ra lớn hơn lượng thay đổi điện áp ngõ vào, ta gọi thiết bị đó là bộ khuếch đại áp AC. Độ lợi áp AC, ký hiệu là A_v , là tỉ số giữa độ thay đổi áp ngõ ra và độ thay đổi áp ngõ vào:

$$A_v = \frac{\Delta V_o}{\Delta V_{in}} \quad (5-1)$$

Vì vậy, một bộ khuếch đại AC sẽ có $A_v > 1$. Hình 5.1 minh họa khái niệm này. Chú ý rằng trong hình 5.1, chỉ có các thành phần AC của ngõ vào và của ngõ ra được sử dụng để tính độ lợi áp AC.



Hình 5.1: Một bộ khuếch đại áp AC, tổng lượng biến thiên áp ngõ ra, ΔV_o , lớn hơn tổng lượng biến thiên áp ngõ vào, ΔV_{in} .

Cả hai tín hiệu ngõ ra và ngõ vào được đặt lên trên các mức DC, nhưng các giá trị DC này không được tính trong độ lợi áp AC. Các giá trị rms (hiệu dụng) của các thành phần ngõ vào và ngõ ra AC có thể được tính như sau:

$$A_v = \frac{v_o(rms)}{v_{in}(rms)} \quad (5-2)$$

Nếu không cần thiết đề cập đến giá trị rms thì sau này, chúng ta sẽ bỏ kí hiệu rms, và tự hiểu v_o và v_{in} là các giá trị rms.

Độ lợi dòng AC, A_i , được xác định là tỉ số của tổng lượng biến thiên dòng ngõ ra và tổng lượng biến thiên dòng ngõ vào:

$$A_i = \frac{\Delta I_o}{\Delta I_{in}} = \frac{i_o(rms)}{i_{in}(rms)} \quad (5-3)$$

Thiết bị có $A_i > 1$ gọi là bộ khuếch đại dòng. Tổng quát, một bộ khuếch đại AC có thể có $A_v > 1$, hoặc $A_i > 1$, hoặc cả hai; nói cách khác, có thể khuếch đại cả dòng hoặc áp hoặc cả hai. *Độ lợi công suất*, A_p , được định nghĩa là tỉ số công suất ngõ ra trên công suất ngõ vào, và có thể được tính bằng tích của độ lợi áp và độ lợi dòng:

$$A_p = P_o / P_{in} = A_v A_i \quad (5-4)$$

Mặc dù từ “độ lợi” ngầm chỉ rằng có sự gia tăng mức tín hiệu, nhưng giá trị độ lợi vẫn có thể bé hơn 1. Ví dụ, nếu một bộ khuếch đại có độ lợi áp là 0.5, thì có nghĩa là sự biến thiên áp ngõ ra bằng một nửa của áp ngõ vào. Trong trường hợp này, chúng ta nói rằng bộ khuếch đại làm suy giảm tín hiệu điện áp cung cấp cho nó.

Điện trở ngõ vào và ngõ ra

Điện trở ngõ vào một bộ khuếch đại là tổng trở tương đương tại các đầu ngõ vào của nó. Điện trở ngõ vào DC, R_{in} , là điện trở mà nguồn DC “nhìn vào” khi được kết nối với các đầu ngõ vào, và điện trở AC, r_{in} , là điện trở mà nguồn ngõ vào AC nhìn các đầu vào. Trong cả hai trường hợp, điện trở ngõ vào được tính là tỉ số của điện áp ngõ vào và dòng điện ngõ vào:

$$R_{in} = \frac{V_{in}(DC)}{I_{in}} \quad r_{in} = \frac{v_{in}(ac)}{i_{in}} \quad (5-5)$$

Công suất ngõ vào AC được tính bằng cách sử dụng mối quan hệ công suất thông thường sau:

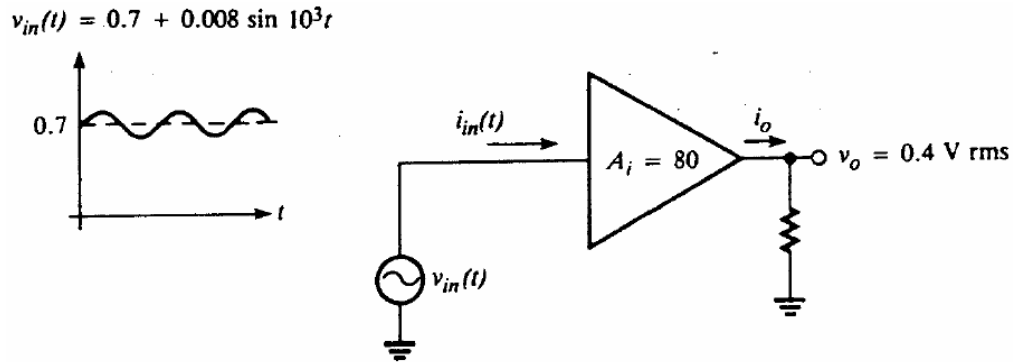
$$P_{in} = [v_{in}(rms)][i_{in}(rms)] = \frac{v_{in}^2(rms)}{r_{in}} = [i_{in}^2(rms)]r_{in} \quad (5-6)$$

Điện trở ngõ ra của một bộ khuếch đại là tổng trở tương đương tại các đầu ngõ ra. Điện trở ngõ ra tương tự với điện trở tương đương Thevenin mắc nối tiếp với ngõ ra nếu bộ khuếch đại được thay thế bằng mạch tương đương Thevenin. Giống như điện trở ngõ vào, điện trở ngõ ra có thể được xác định là điện trở DC R_o , hoặc điện trở ac, r_o . Công suất ngõ ra được tính bằng phương trình 5-6, với thay thế $o(out)$ cho in trong mỗi số hạng.

Thí dụ 5-1

Hình 5-2 biểu diễn biểu tượng thông thường của một bộ khuếch đại: một khối tam giác với ngõ ra tại một đỉnh. Theo hình vẽ, áp ngõ vào bộ khuếch đại là $v_{in} = 0.7 + 0.008\sin^3 t$ (V). Bộ khuếch đại có độ lợi dòng AC là 80. Nếu dòng ngõ vào là $i_{in}(t) = 2.8 \times 10^{-5} + 4 \times 10^{-6} \sin 10^3 t$ A, và thành phần AC của áp ngõ ra là 0.4 Vrms, tính:

(1) A_v , (2) R_{in} , (3) r_{in} , (4) i_o (rms), (5) r_o , và (6) A_p ?



Hình 5-2: thí dụ 5-1

Giải

1. $v_{in}(rms) = 0.707(0.008 \text{ A-pk}) = 5.66 \times 10^{-3} \text{ V rms}$

$$A_v = \frac{v_o(rms)}{v_{in}(rms)} = \frac{0.4V}{5.66 \times 10^{-3} V} = 70.7$$

2. Điện trở DC ngõ vào là tỉ số thành phần DC của điện áp ngõ vào và thành phần DC của dòng ngõ vào

$$R_{in} = \frac{V_{in}}{I_{in}} = \frac{0.7V}{2.8 \times 10^{-5} A} = 25k\Omega$$

3. Điện trở AC ngõ vào là tỉ số các thành phần AC của áp ngõ vào và dòng ngõ vào:

$$r_{in} = \frac{v_{in}}{i_{in}} = \frac{0.008V - pk}{4 \times 10^{-6} A - pk} = 2k\Omega$$

4. $i_o(rms) = A_i i_{in}(rms) = 80(0.707)(4 \times 10^{-6} \text{ A-pk}) = 0.226 \text{ mA rms}$

$$5. \quad r_o = \frac{v_o(rms)}{i_o(rms)} = \frac{0.4V}{0.226 \times 10^{-3} A} = 1770$$

$$P_{in} = \frac{v_{in}^2(rms)}{r_{in}} = \frac{(5.66 \times 10^{-3} V)^2}{2 \times 10^3 \Omega} = 1.6 \times 10^{-8} W$$

$$6. \quad P_o = \frac{v_o^2(rms)}{r_o} = \frac{(0.4V)^2}{1770 \Omega} = 9.04 \times 10^{-5} W$$

$$A_p = \frac{p_o}{p_{in}} = \frac{9.04 \times 10^{-5} W}{1.6 \times 10^{-8} W} = 5650$$

Chú ý rằng độ lợi công suất cũng có thể được tính ở thí dụ này là tích của độ lợi áp và độ lợi dòng như sau: $A_p = A_v A_i = (70.7)80 = 5656$. Sự sai khác nhỏ giữa hai kết quả này do lỗi làm tròn mà thôi.

Điện trở nguồn

Mỗi nguồn tín hiệu đều có điện trở nội (điện trở tương đương Thevenin của nó), mà chúng ta xem như là điện trở nguồn, r_s . Khi nguồn tín hiệu được nối với ngõ vào bộ khuếch đại, điện trở nguồn là nối tiếp với điện trở ngõ vào, r_{in} , của bộ khuếch đại. Chú ý trong hình 5-3 rằng r_s và r_{in} hình thành mạch phân áp ở ngõ vào bộ khuếch đại. Áp ngõ vào tại bộ khuếch đại là

$$v_{in} = v_s \left(\frac{r_{in}}{r_s + r_{in}} \right) \quad (5-7)$$

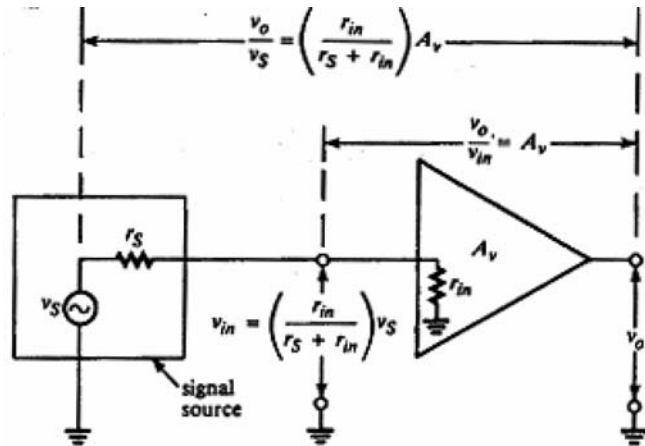
và,

$$\text{Cho nên} \quad v_o = A_v v_{in} = A_v v_s \left(\frac{r_{in}}{r_s + r_{in}} \right) \quad (5-8)$$

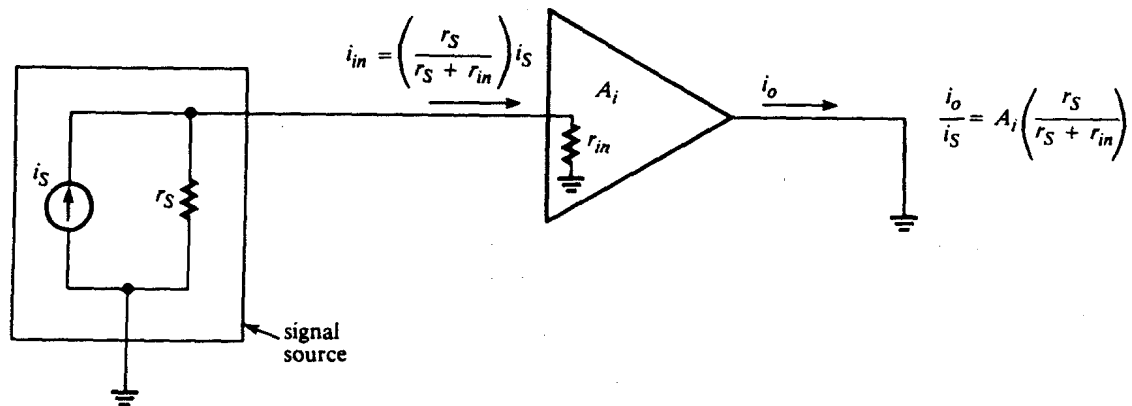
Phương trình 5-8 cho thấy độ lợi áp tổng giữa áp nguồn và ngõ ra bộ khuếch đại, v_o/v_s , bằng với độ lợi áp bộ khuếch đại *giảm* đi 1 hệ số là $r_{in}/(r_s+r_{in})$.

Nếu r_{in} lớn hơn r_s thì $r_{in}/(r_s+r_{in}) \approx 1$, vì vậy độ lợi áp tổng bị giảm một lượng là do ảnh hưởng của mạch phân áp. Cho nên, tổng quát cho bộ khuếch đại cần có điện trở ngõ vào càng lớn càng tốt.

Hình 5 – 3: r_S và r_{in} phân chia điện áp ở ngõ vào bộ khuếch đại. Độ lợi áp từ nguồn tới ngõ ra bị giảm 1 lượng $r_{in}/(r_S+r_{in})$.



Mặt khác, nếu muốn khuếch đại dòng, thì bộ khuếch đại phải có điện trở ngõ vào càng nhỏ càng tốt. Khi r_{in} nhỏ, phần lớn dòng được nguồn phát ra sẽ được phân phối tới ngõ vào bộ khuếch đại. Điều này được minh họa ở hình 5-4, với nguồn là nguồn dòng tương đương (Norton), (để tính độ lợi, ngõ ra được nối xuống đất; điều này bảo đảm rằng tất cả dòng khuếch đại được đổ tới ngõ ra).



Hình 5-4: Bộ khuếch đại dòng có điện trở ngõ vào nhỏ để tỉ số $r_S/(r_S+r_{in})$ đạt gần bằng 1.

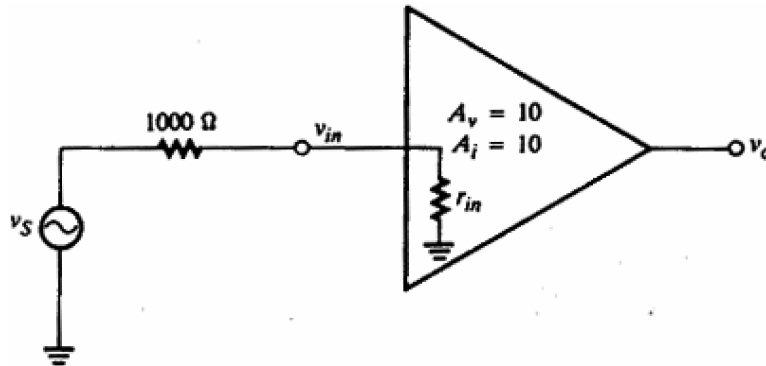
Ở hình 5-4, dòng đổ vào ngõ vào vào bộ khuếch đại là dòng nguồn i_S được giảm 1 lượng $r_S/(r_S+r_{in})$. Vì vậy, r_{in} cần phải nhỏ hơn r_S để cho $r_S/(r_S+r_{in})$ gần bằng 1. Độ lợi dòng tổng từ nguồn tới ngõ ra là:

$$\frac{i_o}{i_S} = A_i \left(\frac{r_S}{r_S + r_{in}} \right) \quad (5-9)$$

Thí dụ 5-2

Một bộ khuếch đại được cho như hình 5-5 với: $A_v = 10$ và $A_i = 10$, được lái bởi một nguồn có điện trở nguồn 1000Ω . Tính độ lợi áp tổng và độ lợi dòng, từ nguồn đến ngõ ra, với:

- (1) $r_{in} = 10k\Omega$, và (2) $r_{in} = 100\Omega$. (Giả sử rằng ngõ ra hở khi tính độ lợi áp, và nối đất khi tính độ lợi dòng).



Hình 5-5 (Thí dụ 5-2)

Giải

1. $r_{in} = 10k\Omega$ ($r_{in} = 10r_s$)

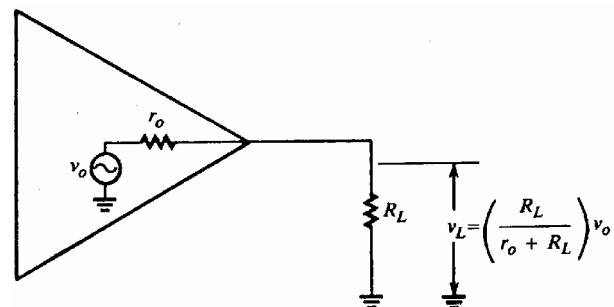
2. $r_{in} = 100\Omega$

Thí dụ này cho thấy khi $r_{in} = 10r_s$, độ lợi áp giảm đi 10% và độ lợi dòng giảm 90%; khi $r_{in} = 0.1r_s$, độ lợi áp giảm 90% và độ lợi dòng giảm 10%.

Điện trở tải

Một bộ khuếch đại ac luôn được dùng để cung cấp áp, dòng hoặc/và công suất cho một vài loại tải được nối ở ngõ ra. Tải này có thể là 1 loa, anten, còi, động cơ điện, hoặc bất kỳ các thiết bị hữu ích nào khác. Thông thường, tải là ngõ vào cho một bộ khuếch đại AC khác. Bộ khuếch đại được phân tích bằng cách thay thế tải của nó bằng điện trở tải tương đương (hoặc tổng trở). Khi một điện trở tải R_L được nối với ngõ ra một bộ khuếch đại, thì cũng có phân áp giữa điện trở ngõ ra bộ khuếch đại và điện trở tải.

Hình 5 – 6: Áp ngõ ra của 1 bộ khuếch đại ac chia giữa r_o và điện trở tải R_L



Hình 5-6 cho thấy một mạch tương đương Thevenin ngõ ra của một bộ khuếch đại AC với áp ngõ ra là v_o có được từ nguồn áp trở nội r_o mắc nối tiếp. Như đã thấy trên hình, áp trên tải v_L là:

$$v_L = \left(\frac{R_L}{r_o + R_L} \right) v_o \quad (5-10)$$

Đối với một khuếch đại áp, r_o nên nhỏ hơn R_L để có được áp v_o tối đa trên tải. Bằng cách chuyển đổi ngõ ra bộ khuếch đại thành mạch tương đương Norton, ta có được:

$$i_L = \left(\frac{r_o}{r_o + R_L} \right) i_o \quad (5-11)$$

Khi xét ảnh hưởng của cả r_s và R_L , độ lợi áp tổng từ nguồn đến tải là:

$$\frac{v_L}{v_S} = A_v \left(\frac{r_{in}}{r_S + r_{in}} \right) \left(\frac{R_L}{r_o + R_L} \right) \quad (5-12)$$

Tương tự, độ lợi dòng tổng là:

$$\frac{i_L}{i_S} = A_i \left(\frac{r_S}{r_S + r_{in}} \right) \left(\frac{r_o}{r_o + R_L} \right) \quad (5-13)$$

với i_s là dòng nguồn tương đương (Norton), v_s/r_s .

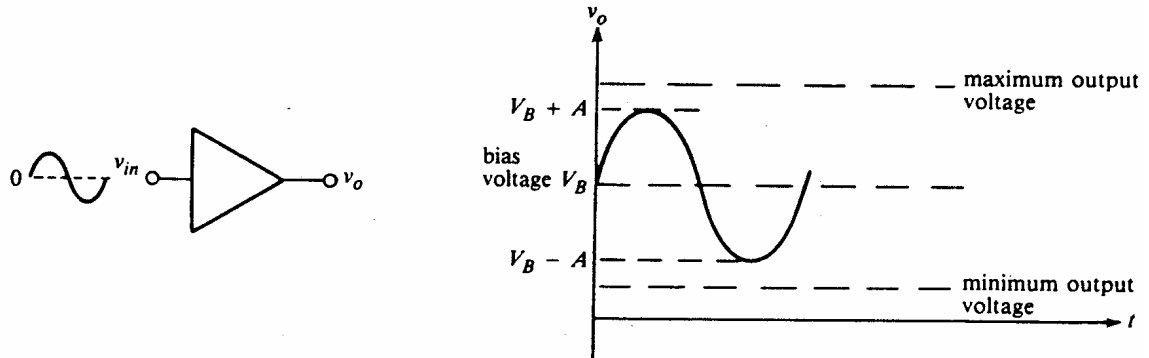
Nhắc lại rằng thuyết *truyền công suất cực đại* chỉ rằng công suất cực đại được truyền từ nguồn đến tải khi điện trở nguồn bằng điện trở tải. Vì vậy, công suất cực đại truyền từ nguồn tín hiệu tới bộ khuếch đại khi $r_s = r_{in}$. Tương tự, công suất cực đại truyền từ bộ khuếch đại ra tải khi $R_L = r_o$. Vì vậy, độ lợi công suất tổng từ nguồn ra tải sẽ cực đại khi $r_s = r_{in}$ và $R_L = r_o$. Bộ khuếch đại phối hợp với nguồn khi $r_s = r_{in}$, và phối hợp với tải của nó khi $R_L = r_o$.

Mục đích phân cực

Trong hầu hết các bộ khuếch đại transistor đơn, áp ngõ ra phải luôn dương hoặc luôn âm. Trong trường hợp đó, dạng sóng ngõ ra không thể là dạng AC thuần túy được, vì theo định nghĩa, sóng AC thay đổi giữa dương và âm. Mục đích việc phân cực trong bộ khuếch đại transistor là thiết lập mức DC ngõ ra ở giữa tâm có thể có của áp ngõ ra để một dạng sóng AC xuất hiện trên nó. Hình 5-7 minh họa điều này. Ngõ vào AC làm cho áp ngõ ra thay đổi trên dưới mức áp phân cực, nhưng các giá trị tức thời của ngõ ra luôn luôn dương (trong ví dụ này). Nói cách khác, dạng sóng ngõ ra là:

$$v_o(t) = V_B + A \sin \omega t \quad (5-14)$$

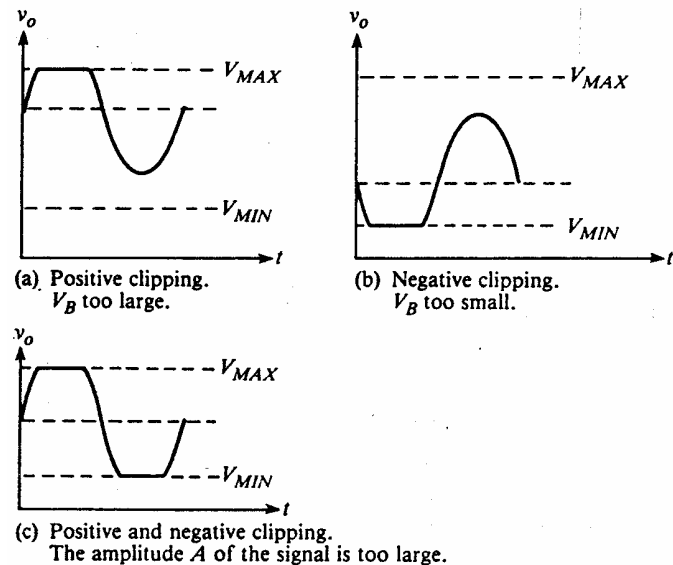
với V_B là áp phân cực, hoặc là thành phần DC, của ngõ ra, và A là giá trị đỉnh của tín hiệu sin, thành phần AC. Như đã biết, tầm giá trị này từ $V_B - A$ đến $V_B + A$.



Hình 5-7: Mục đích phân cực là cung cấp mức dc mà tại đó sự biến thiên ac có thể xuất hiện

Để thấy rằng giá trị V_B và A phải bảo đảm sao cho $V_B + A$ không lớn hơn giá trị cực đại (dương) của áp ngõ ra và $V_B - A$ không nhỏ hơn giá trị nhỏ nhất (dương) của áp ngõ ra. Nếu 2 điều kiện trên không thỏa, thì áp ngõ ra sẽ bị cắt (xén). Hình 5 – 8 minh họa xén âm và xén dương do V_B quá lớn hoặc quá nhỏ, và A lại quá lớn. Với xén do biên độ A quá lớn, hình 5 – 8(c), người ta gọi bộ khuếch đại bị lái quá mức (overdriven).

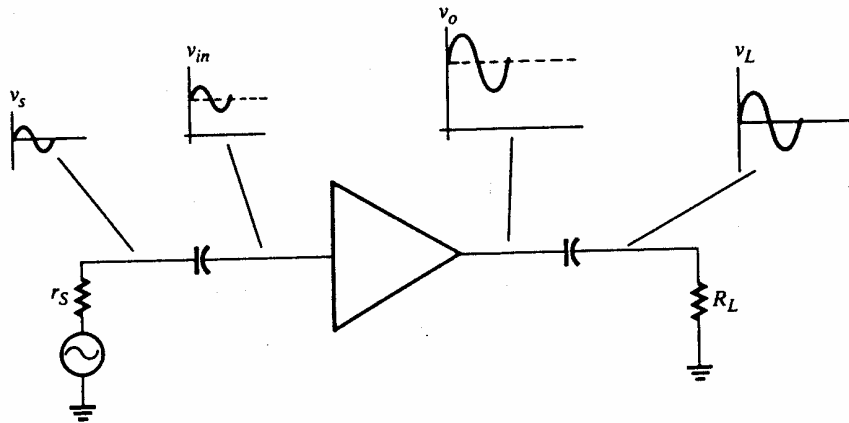
Hình 5 – 8: Tín hiệu bị xén là do mức dc không thích hợp và do quá biên độ



Nhiệm vụ bộ khuếch đại là tạo ra dạng sóng là 1 dạng khuếch đại sóng ngõ vào. Vì vậy, xén tín hiệu cần tránh, còn gọi là làm méo tín hiệu, và xén là một thí dụ của xén biên độ. Trong bộ khuếch đại transistor, áp min và max của ngõ ra là áp bão hòa (saturation) và áp cắt (cutoff). Vì vậy, giá trị min ngõ ra có thể là 1 áp bão hòa vài chục Volt, và giá trị max ngõ ra có thể là áp cắt bằng áp cung cấp.

Tụ ghép

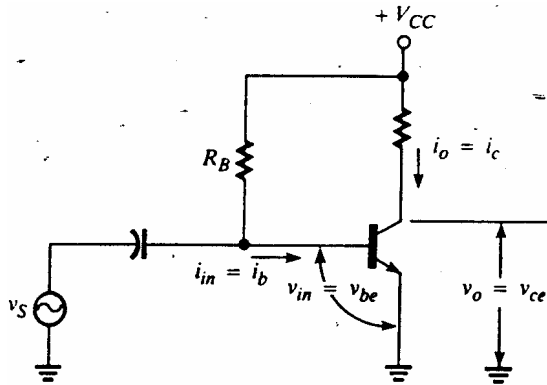
Trong nhiều ứng dụng khuếch đại, nguồn hoặc tải, hoặc cả hai, không thể bị ảnh hưởng bởi áp DC hoặc không cho phép có dòng DC. Ví dụ, loa được thiết kế để chỉ đáp ứng với các dao động AC và hoạt động không tốt nếu có dòng DC. Để ngăn chặn dòng DC ở áp ngõ ra bộ khuếch đại đi vào tải, người ta sẽ ghép một tụ nối tiếp với tải. Tương tự, để chặn dòng DC từ bộ khuếch đại vào nguồn tín hiệu, hoặc ngược lại, một tụ được ghép nối tiếp với nguồn. Các kết nối tụ như trên được minh họa ở hình 5-9. Người ta gọi đây là *tụ ghép* (coupling capacitor), hoặc *tụ chặn* (blocking capacitor), bởi vì chúng chặn dòng DC. Các tụ này phải đủ lớn tổng trở thật nhỏ đối với tín hiệu AC.



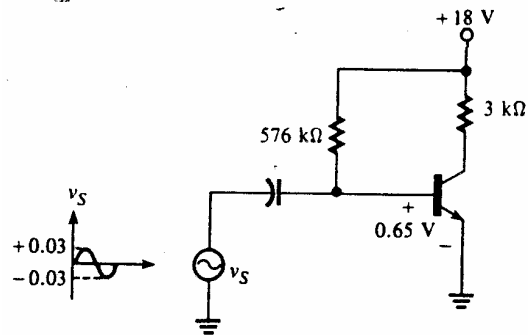
Hình 5-9: Sử dụng các tụ ghép để chặn dòng DC giữa bộ khuếch đại và nguồn tín hiệu và giữa bộ khuếch đại và tải

5.2 Phân tích đồ thị bộ khuếch đại tín hiệu nhỏ CE

Phần trước, chúng ta đã phân tích bộ khuếch đại dùng transistor mắc CE, bởi vì cấu hình này rất thường được sử dụng. Hình 5-10 cho ta thấy một mạch phân cực CE được bổ sung thêm một nguồn tín hiệu AC nối tiếp với cực nền, ta cũng thêm vào tụ ghép, nhưng giả sử rằng thời gian xét đủ lớn để có thể bỏ qua ảnh hưởng (của tụ) trên tải.



Hình 5-10: Bộ khuếch đại E chung



Hình 5 – 11: Một bộ khuếch đại ac được phân tích bằng đồ thị

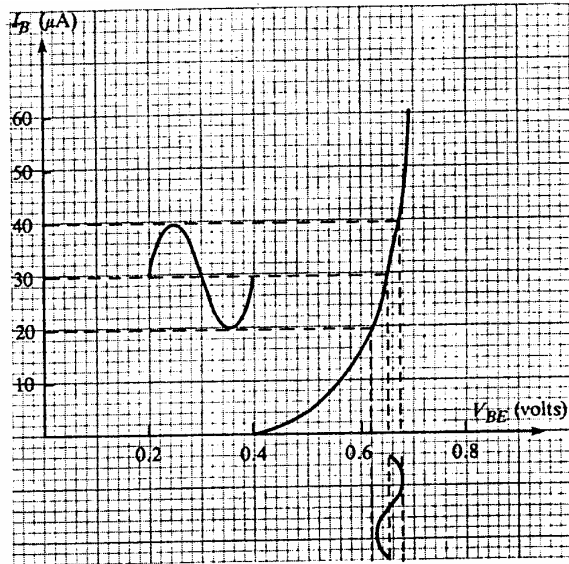
Chú ý ở hình 5-10 rằng kí hiệu áp và dòng ngõ ra, ngõ vào bằng ký tự thường để chỉ đó là tín hiệu AC. Nguồn tín hiệu gây ra biến đổi nhỏ ở áp ngõ vào transistor, làm cho dòng cực nền (base) cũng bị biến động nhỏ. Khi dòng cực nền tăng giảm, dòng cực thu (collector) cũng vậy. Bởi vì dòng cực thu xấp xỉ bằng β lần dòng cực nền, nên chúng ta dễ dàng tính được độ lợi dòng giữa ngõ ra và ngõ vào.

Rất hữu ích nếu chúng ta quan sát sự biến thiên ngõ vào và ngõ ra trên đường tải được vẽ chung với đặc tính ngõ ra transistor. Đối với ví dụ trên, chúng ta sẽ phân tích đồ thị như hình 5-11.

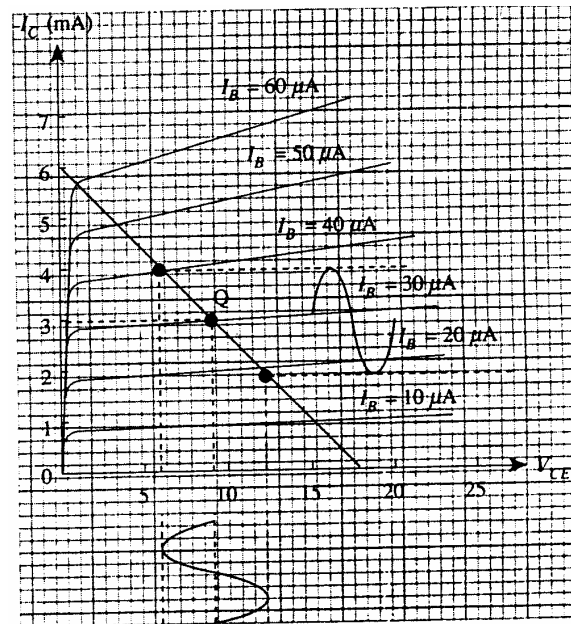
Để xác định tổng biến thiên ở cực nền gây ra bởi nguồn tín hiệu trong hình 5-11, chúng ta sẽ sử dụng đặc tính ngõ vào như ở hình 5-12. Ở đây, bỏ qua ảnh hưởng hồi tiếp của V_{CE} trên đặc tính ngõ vào mà chỉ trình bày đặc tính $I_B - V_{BE}$ của transistor. Giả sử rằng mối nối BE được phân cực thuận là 0.65V, sự biến thiên $\pm 0.03V$ của v_S làm cho V_{BE} thay đổi giữa 0.62 – 0.68. Ở hình 5-12 cho thấy thay đổi áp ngõ vào làm cho I_B dao động giữa $20 \mu A$ và $40 \mu A$.

Đường tải trên hình 5-11 cắt trục V_{CE} tại $V_{CC} = 18V$ và cắt trục I_C tại $(18V)/3(k\Omega) = 6mA$. Đặc tính ngõ ra cũng được vẽ ở hình 5-13. Điểm Q là giao điểm của đường tải và **đường cong ứng với dòng nền khi $v_S = 0$** . Theo định nghĩa, điểm Q xác định giá trị phân cực của V_{CE} và I_C , là các giá trị ngõ ra khi không có tín hiệu AC. Trên hình 5-12, $I_B = 30 \mu A$ khi $V_{BE} = 0.65V$ ($v_S = 0$), điểm Q là giao điểm của đường tải với đường cong $I_B = 30 \mu A$. Chúng ta thấy rằng transistor được phân cực với $V_{CE} = 9V$ và $I_C = 3mA$.

Hình 5 – 12: Điện áp trên BE biến thiên từ 0.62V đến 0.68V khi v_S thay đổi $\pm 0.03V$ với áp phân cực $V_{BE}=0.65V$. Sự biến đổi áp ngõ vào làm I_B thay đổi giữa $20\mu A$ và $40\mu A$.



Hình 5 – 13: Khi dòng cực nền biến thiên giữa $20\mu A$ và $40\mu A$, áp trên CE thay đổi giữa 6V và 12V và I_C biến thiên giữa 2mA và 4mA



Cần nhắc lại rằng đường tải là đường tập hợp các kết hợp có thể có của I_C và V_{CE} . Vì vậy, khi dòng nền thay đổi từ $20\mu A$ đến $40\mu A$, giá trị của I_C và V_{CE} thay đổi dọc theo đường tải giữa các giao điểm của nó với 2 đường cong $I_B = 20\mu A$ và $I_B = 40\mu A$. Trên hình 5-13, dòng cực thu thay đổi giữa $I_C = 2mA$ và $I_C = 4mA$ khi cực nền biến thiên từ $20\mu A$ và $40\mu A$. Vì dòng cực nền biến thiên theo hình sin, nên dòng cực thu cũng vậy, dạng sóng sin i_c như trên hình.

Chúng ta cũng thấy trên hình 5-13 giá trị V_{CE} thay đổi từ 6V đến 12V khi dòng cực nền thay đổi giữa $20\mu A$ và $40\mu A$. Chú ý, V_{CE} giảm khi I_B và I_C tăng, và ngược

lại. Vì vậy, áp v_{ce} hình sin ngược pha 180° với dòng i_b và i_c hình sin. Vì i_b cùng pha với v_{be} nên suy ra v_{ce} cũng ngược pha 180° với v_{be} . Hay nói cách khác, *áp ngõ ra ac từ bộ khuếch đại mắc CE sẽ ngược pha 180° với pha của áp ngõ vào AC*. Điều này được biểu diễn bằng phương trình đường tải như sau:

$$I_C = \frac{-1}{R_C} V_{CE} + \frac{V_{CC}}{R_C} \quad (5-15)$$

Từ phương trình trên, ta thấy nếu I_C thì V_{CE} sẽ giảm. Vì vậy, khi áp ngõ vào tăng, I_B tăng, I_C tăng, và V_{CE} giảm. Người ta nói rằng bộ khuếch đại áp CE gây ngược pha, hay là đảo ngược điện áp.

Ta có thể sử dụng các giá trị đã vẽ trên đồ thị để tính các đặc tính quan trọng của bộ khuếch đại. Độ lợi dòng là:

$$A_i = \frac{i_o}{i_{in}} = \frac{\Delta I_C}{\Delta I_B} = \frac{(4mA) - (2mA)}{(40\mu A) - (20\mu A)} = \frac{2 \times 10^{-3}}{20 \times 10^{-6}} = 100$$

(việc tính toán trên bỏ qua dòng điện rất nhỏ sinh ra do v_s trong hình 5-11, được đổ qua điện trở cực nền $576 \text{ k}\Omega$ và vì vậy không chảy vào cực nền transistor). Độ lợi áp A_v là:

$$A_v = \frac{v_o}{v_{in}} = \frac{\Delta V_{CE}}{\Delta V_{BE}} = \frac{(6-12)V}{(0.68-0.62)V} = \frac{-6V}{0.06V} = -100$$

Trong phép tính A_v , chú ý rằng sự biến thiên V_{CE} là $\Delta V_{CE} = (6-12)V = -6V$, không phải $\Delta V_{CE} = (12-6)V = +6V$. $V_{CE} = 6V$ khi $V_{BE} = 0.68V$ và $V_{CE} = 12V$ khi $V_{BE} = 0.62V$. Trong biểu thức này A_v có giá trị âm. Dấu âm chỉ rằng đặc tính bộ khuếch đại này là đảo pha. Độ lớn A_v là 100, nghĩa là áp ac ngõ ra gấp 100 lần áp ngõ vào. Đừng nhầm lẫn độ lợi A_v âm với giá trị A_v bé hơn 1.

Chú ý cả độ lợi dòng và độ lợi áp luôn lớn hơn 1 trong mạch khuếch đại mắc CE, nghĩa là nó khuếch đại cả dòng và áp. Độ lợi công suất bộ khuếch đại trong thí dụ này là $A_p = (100)(100) = 10,000$. Để ý rằng độ lớn của A_v được sử dụng trong phép tính trên, vì độ lợi công suất luôn dương.

Điện trở ngõ vào của bộ khuếch đại:

$$r_{in} = \frac{v_{in}}{i_{in}} = \frac{\Delta V_{BE}}{\Delta I_B} = \frac{0.06V}{20\mu A} = 3000\Omega$$

Điện trở ngõ ra:

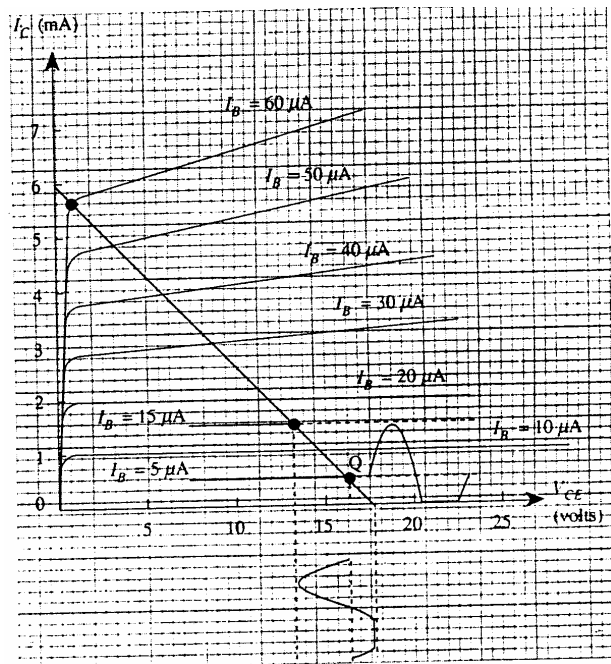
$$r_o = \frac{v_o}{i_o} = \frac{\Delta V_{CE}}{\Delta I_C} = \frac{6V}{2mA} = 3000\Omega$$

Ảnh hưởng của vị trí điểm Q đối với hoạt động AC

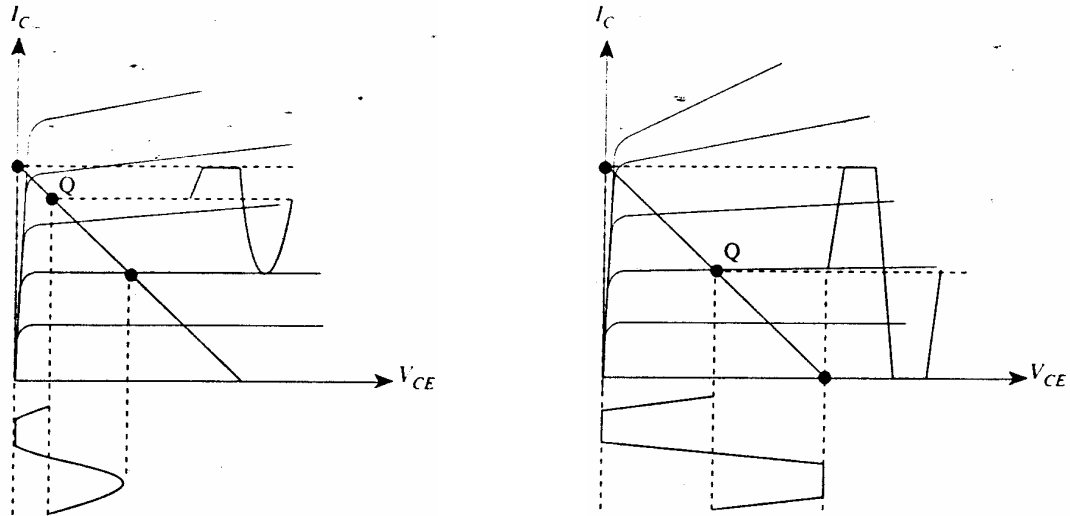
Chúng ta sẽ xét ảnh hưởng của điểm Q đối với hoạt động AC của bộ khuếch đại. Giả sử rằng giá trị điện trở R_B trong hình 5-11 thay đổi từ $576k\Omega$ đến $3.47M\Omega$. Giá trị tĩnh của dòng nền là :

$$I_B = \frac{(18 - 0.65)V}{3.47 \times 10^6 \Omega} = 5 \mu A$$

Hình 5.14 chỉ điểm Q trong trường hợp này được dịch xuống đường tải xuống giao điểm với đường cong có $I_B = 5 \mu A$. Tại điểm Q mới này, $I_C = 0.5 \text{ mA}$ và $V_{CE} = 16.5 \text{ V}$. Khi dòng nền tăng $10 \mu A$ trên Q đến $15 \mu A$, có thể thấy trên hình 5-14 dòng cực thu tăng đến 1.5 mA và V_{CE} giảm còn 13.5 V . Tuy nhiên, khi dòng cực nền giảm $10 \mu A$ dưới điểm Q (1 lượng $-5 \mu A$), transistor sẽ vào vùng cắt (cutoff). Rõ ràng I_C không thể nhỏ hơn 0 và V_{CE} không thể lớn hơn $V_{CC} = 18 \text{ V}$.



Hình 5 – 14: Khi điện trở cực nền tăng, điểm tĩnh Q di chuyển xuống dưới đường tải và tín hiệu khuếch đại bị xén



a) Điểm Q nằm quá gần vùng bão hòa và áp ngõ ra bị xén âm

b) Tín hiệu vào quá lớn gây ra xén âm và xén dương

Hình 5-15

Như đã chỉ trên hình, dòng ngõ ra sớm bằng 0, tức bị xén. Cùng lúc đó, V_{CE} đặt giới hạn 18V và dạng sóng ngõ ra bị xén dương. Với vị trí điểm Q mới, sự thay đổi áp ngõ ra không vượt quá $18 - 16.5 = 1.5V$ mà không có xén dương xảy ra. Vì vậy, áp ngõ ra đỉnh - đỉnh là $2 \times 1.5 = 3V$, và chúng ta nói rằng bộ khuếch đại đạt được dao động ngõ ra lớn nhất là 3V. Điều này cho thấy sự quan trọng của việc định điểm Q phải gần giữa đường tải.

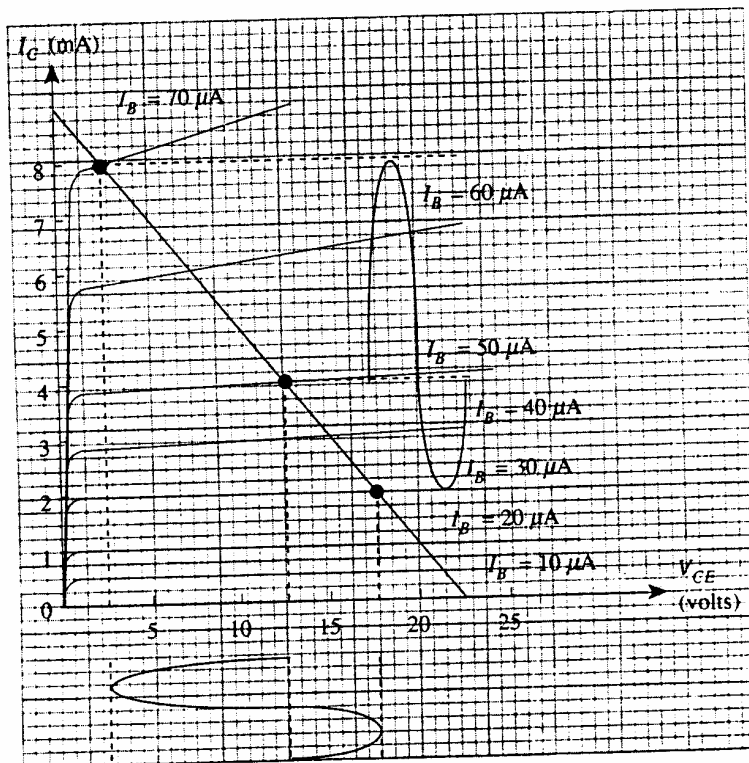
Nếu điểm Q được chọn ở trên quá xa đường tải, dao động ngõ ra sẽ bị giới hạn bởi điểm bắt đầu bão hòa. Điều này được minh họa trên hình 5-15(a). Ở đây, sự gia tăng quá lớn của dòng nền làm cho transistor bị bão hòa. Dòng cực thu không thể vượt quá giá trị bão hòa và V_{CE} lại luôn lớn hơn 0. Chính vì vậy, áp ngõ ra có dạng sóng bị xén âm, như trên hình.

Ngay cả khi điểm Q nằm giữa đường tải, xén âm và xén dương vẫn có thể có nếu tín hiệu vào quá lớn. Hình 5 – 15 (b) minh họa trường hợp dòng cực nền quá lớn làm cho transistor vào trạng thái bão hòa và bị xén. Ta thấy rằng cả xén âm và dương xuất hiện khi bộ khuếch đại bị lái qua mức (overdriven).

Tuyến tính và méo dạng

Một bộ khuếch đại tốt phải có dạng sóng ngõ ra là một bản sao “thật giống” với dạng sóng ngõ vào (hoặc là bản sao nhưng ngược pha với ngõ vào). Dĩ nhiên điều này không cho phép xén xảy ra. Nếu không xét đến xén, việc sóng ngõ ra có giống sóng ngõ vào hay không còn phụ thuộc vào *độ tuyến tính* mạch khuếch đại. Tuyến tính nghĩa là bất kỳ sự biến thiên nào của ngõ ra đều phải tỉ lệ trực tiếp với sự biến thiên ngõ vào. Thí dụ, $\Delta V_o = 1V$ khi $\Delta V_{in} = 0.01V$, ΔV_o bằng 2V khi $\Delta V_{in} = 0.02V$, và $\Delta V_o = 0.5V$ khi $\Delta V_{in} = 0.005V$. Độ tuyến tính của transistor được quyết định bằng cách tính phạm vi mà tương đương với việc tăng dòng cực nền áp ứng với các đường cong

trên đặc tính ngõ ra CE. Nếu chúng ta giả sử rằng dòng ngõ vào tỉ lệ với áp ngõ vào (xem như mối nối B-E là tuyến tính), thì sự thay đổi áp ngõ vào sẽ gây nên áp ngõ ra thay đổi trong phạm vi tỉ lệ dọc trên đường tải. Điều này chỉ xảy ra chỉ khi các đường cong ứng với dòng nền cố định được đặc ngang bằng nhau. Hình 5 -16 minh họa điều này, một đặc tính ngõ ra CE cố ý méo dạng để cho thấy rõ các khoảng cách không đồng dạng. Chú ý rằng khoảng cách giữa các đường cong tăng lớn hơn các giá trị của dòng cực nền. Trong hình vẽ, dòng cực nền được cho là thay đổi sin trên dưới $20 \mu A$ với giá trị tĩnh là $50 \mu A$. Sự thay đổi từ $50 \mu A$ đến $70 \mu A$ làm cho I_C biến thiên từ $4mA$ đến $6mA$, nhưng sự thay đổi từ $50 \mu A$ đến $30 \mu A$ chỉ làm cho I_C thay đổi trong tầm $4mA$ đến $2mA$. Tương tự, sự thay đổi của V_{CE} từ $(12.5V) - (2.5V) = 10V$ khi I_B tăng đến $70 \mu A$, nhưng V_{CE} chỉ thay đổi $(17.5V) - (12.5V) = 5V$ khi I_B giảm còn $30 \mu A$. Ta thấy rõ rằng ngõ ra bị méo dạng, dạng sóng không đồng dạng.



Hình 5 – 16

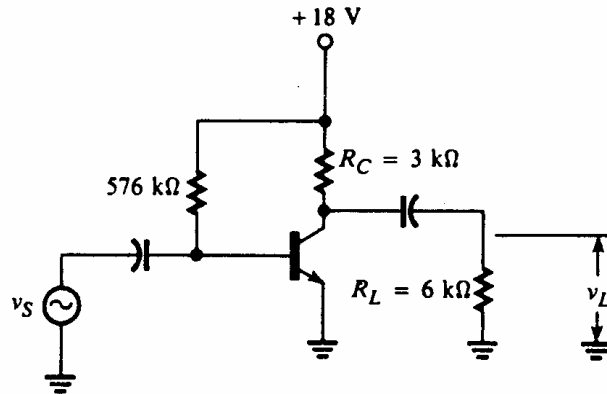
Khi I_B tăng khoảng đều thì đặc tuyến lại dịch khoảng không bằng nhau, nghĩa là phi tuyến, gây ra sai dạng ở ngõ ra.

Vùng tích cực của đặc tính ngõ ra transistor là vùng mà các đường cong dòng cực nền thường xấp xỉ hoặc bằng nhau. Vì vậy, vùng tích cực thường được gọi là vùng tuyến tính. Dĩ nhiên, đường đặc tính như hình 5 – 16 rõ ràng là không tuyến tính. Trong thí dụ này, phi tuyến là do thông số thiết bị (như β) thay đổi đáng kể trong vùng hoạt động. Phân tích tín hiệu nhỏ linh kiện này vì vậy sẽ được giới hạn trong phạm vi nhỏ dọc trên đường tải.

Ảnh hưởng điện trở tải trong hoạt động AC

Chúng ta sẽ xét xem ảnh hưởng của điện trở tải R_L được nối vào ngõ ra mạch khuếch đại CE. Hình 5 – 17 cho thấy 1 tụ điện được ghép với 1 điện trở tải $6k\Omega$. Chú ý rằng khi xét AC, thì điện trở R_L sẽ song song với R_C . Nguồn áp DC bị ngắn mạch khi phân tích tín hiệu AC, cho nên điện trở $3k\Omega$ trên hình 5 – 17 bị nối đất qua nguồn 18V, và áp AC tại cực thu “nhìn” $3k\Omega$ song song với $6k\Omega$. Nói tóm lại, cần để ý rằng khi phân tích AC, như nguồn v_s , chúng ta ngắn mạch tất cả nguồn áp DC.

Hình 5 – 17: Bộ khuếch đại CE của hình 5 – 11, được bổ sung thêm tụ ghép vào điện trở tải



Điện trở tải ac, kí hiệu là r_L , chính là R_C song song với R_L :

$$r_L = R_C \parallel R_L = \frac{R_C R_L}{R_C + R_L} \quad (5 - 16)$$

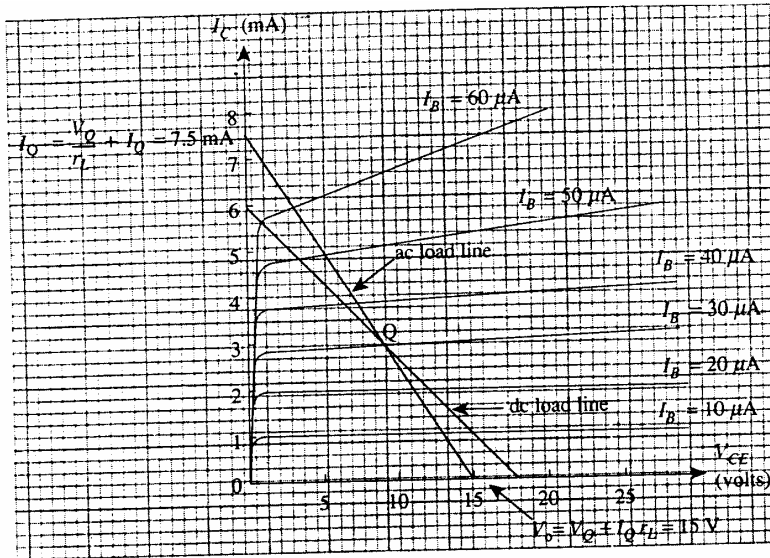
Trong thí dụ này, $r_L = (3k\Omega) \parallel (6k\Omega) = 2k\Omega$. Dĩ nhiên là điện trở tải DC vẫn là $3k\Omega$, bởi vì tụ điện đã ngăn không cho dòng DC qua điện trở $6k\Omega$.

Sự khác nhau giữa điện trở tải ac và DC có nghĩa là chúng ta không tính áp ngõ ra bằng đường tải với $R_C = 3k\Omega$. Thay vào đó, chúng ta sẽ dùng đường tải ac, với $r_L = 2k\Omega$. Đường tải dựa trên R_C được gọi là đường tải DC. Bởi vì đường tải ac là tập hợp tất cả các điểm kết hợp giữa dòng và áp cực thu, nên nó phải gồm cả điểm mà ngõ vào ac = 0. Điểm này chính là điểm Q của đường tải DC, suy ra là đường tải ac và DC giao nhau tại điểm Q. Hình 5 – 18 cho thấy đường tải DC và ac cùng được vẽ trên 1 đặc tính ngõ ra.

Chú ý là đường tải ac dốc hơn đường tải DC. Nhớ rằng độ dốc đường DC là $-1/R_C$, trong khi của đường ac là $-1/r_L$, mà $r_L < R_C$. Phương trình đường tải ac:

$$I_o = \frac{V_Q}{r_L} + I_Q \quad (5 - 17)$$

$$V_o = V_Q + I_Q r_L \quad (5 - 18)$$



Hình 5 – 18: Đường tải DC và ac

với

I_Q là giá trị tĩnh của I_C

V_Q là giá trị tĩnh của V_{CE}

I_0 và V_0 là giá trị dòng I_C và áp V_{CE} của đường tải AC trên trục tọa độ.

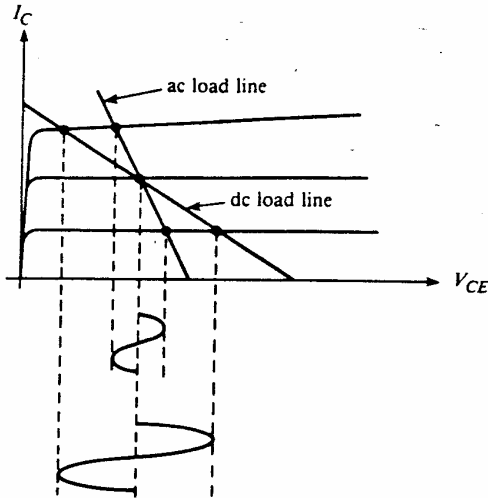
Đối với thí dụ này, ta có:

$$I_0 = \frac{9V}{2 \times 10^3 \Omega} + 3 \times 10^{-3} A = 7.5 mA$$

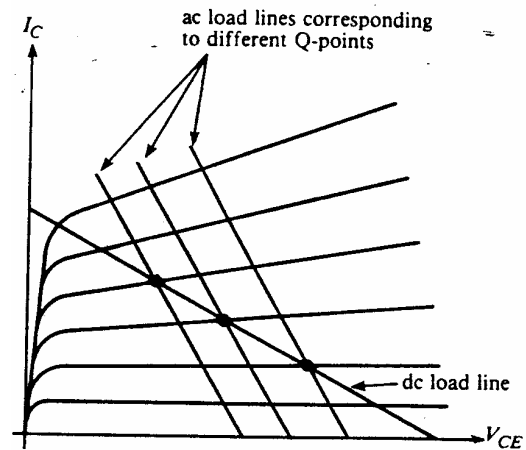
$$V_0 = 9V + (3 \times 10^{-3} A)(2 \times 10^3 \Omega) = 15V$$

Cần nhắc lại rằng đường tải ac là tập hợp tất cả các trường hợp kết hợp có thể có của áp CE và dòng cực thu, và đường tải DC thì không có điều này. Rất dễ nhầm lẫn rằng đường tải DC chi phối áp qua R_C và đường tải ac lại chi phối áp qua R_L . Cần nhớ rằng dòng và áp trên R_L có dạng sóng thuần ac gồm phần dương và âm, vì tụ chặn đã ngăn thành phần DC của sóng cực thu. Sự khác nhau duy nhất giữa v_L và áp cực thu là thành phần DC!

Một điều nữa là đường tải ac làm cho biên độ của áp ac ngõ ra nhỏ hơn so với áp ngõ ra do đường tải DC. Điều này được minh họa trong hình 5 – 19, với các điện áp ngõ ra đều được vẽ dựa trên cả 2 đường tải ac và DC. Sự biến thiên dòng cực nền đều như nhau trong 2 trường hợp, và dễ thấy rằng đường tải ac có độ dốc hơn làm cho biên độ ngõ ra nhỏ hơn. Việc nối 1 tải ac vào ngõ ra bộ khuếch đại luôn luôn làm giảm biên độ ngõ ra ac của nó.



Hình 5 – 19: áp ngõ ra được quyết định bởi đường tải ac sẽ nhỏ hơn nếu như được quyết định bởi đường tải dc



Hình 5 – 20: Nếu điểm Q dịch trên đường tải dc, thì đường tải ac sẽ dịch song song

Nếu điện trở nền R_B thay đổi, điểm Q sẽ dịch đến 1 vị trí mới trên đường tải DC. Do đường tải ac cũng đi qua điểm Q nên nó cũng sẽ bị dịch theo. Như trên hình 5 – 20, các đường tải ac song song ứng với các điểm Q khác nhau, vì chúng có cùng độ dốc là $-1/r_L$.

5.3 Phân tích mạch khuếch đại sử dụng các mô hình tín hiệu nhỏ

Các thông số tín hiệu nhỏ

Các mạch transistor thường được phân tích bằng đại số hơn là bằng phương pháp đồ thị, cho nên rất thuận tiện nếu transistor được thay thế bằng một mạch tương đương nào đó. Có nhiều loại mạch tương đương đã được dùng cho transistor, mỗi loại có những điểm riêng mà nó sẽ tốt hơn hoặc chính xác hơn cho mỗi kiểu phân tích. Dạng mạch tương đương sẽ dựa trên các thông số transistor được chọn làm cơ sở cho mạch. Một thông số transistor là một đặc tính hoặc đặc trưng nào đó mà có thể được biểu diễn bằng giá trị số. Ví dụ, α và β là các thông số transistor. Chúng được tính từ mối quan hệ số giữa 2 lượng (trong trường hợp này là tỉ số của 2 dòng). Các thông số transistor cũng là các đặc tính vật lý cố hữu đặc biệt, chẳng hạn như điện trở vùng nền, hoặc độ rộng của vùng nghèo CB.

Các giá trị của thông số tín hiệu nhỏ được xác định dưới điều kiện hoạt động tín hiệu nhỏ (AC). Thí dụ, giá trị tín hiệu nhỏ β là:

$$\beta = \frac{i_c}{i_b} \Big|_{V_{CE} = \text{constant}} \quad (5 - 19)$$

Phương trình trên chỉ rằng β là tỉ số dòng AC cực thu và dòng nền AC với V_{CE} cố định. β tín hiệu nhỏ được xác định từ tập hợp các đặc tính cực thu bằng cách xây dựng đường thẳng đứng (một đường với V_{CE} là hằng số) và tìm $\Delta I_C / \Delta I_B$. (như một

bài tập, dùng hình 5 -13 tìm β tín hiệu nhỏ tại $V_{CE} = 10V$ khi I_B thay đổi từ $20 \mu A$ đến $40 \mu A$). Cho đến giờ, chúng ta xấp xỉ β bằng cách lấy tỉ số 2 dòng DC: $\beta \approx I_C/I_B$. Để phân biệt giá trị này với giá trị tín hiệu nhỏ, nhiều người sử dụng kí hiệu β_{DC} để chỉ rằng đó là tỉ số các dòng DC. Trong hầu hết các ứng dụng thực tế, giá trị tín hiệu nhỏ và DC của β xấp xỉ gần bằng nhau, và về sau chúng ta sẽ sử dụng ký hiệu β_{DC} chỉ khi cần nhấn mạnh rằng đó là giá trị DC. Tương tự như β tín hiệu nhỏ, α tín hiệu nhỏ được định nghĩa từ các dòng ac như sau:

$$\alpha = \frac{i_c}{i_e} \Big|_{V_{CB} = \text{const}} \quad (5 - 20)$$

Một thông số vật lý quan trọng của transistor là điện trở tín hiệu nhỏ từ cực phát đến cực nền (EB), được gọi là điện trở cực phát r_e . Điện trở này giống như điện trở ngõ vào tín hiệu nhỏ của transistor trong mô hình cực nền chung (CB):

$$r_e = \frac{v_{be}}{i_e} \Big|_{V_{CE} = \text{const}} \quad (5 - 21)$$

Vì mỗi nối E-B có thể được xem là 1 diode phân cực thuận, nên giá trị xấp xỉ r_e có thể được tính tương tự như chúng ta tính điện trở động của diode (chương 3). Nhắc lại rằng $r_D \approx V_T/I \approx 0.026/I$ tại nhiệt độ phòng, với I là dòng DC trong diode. Tương tự,

$$r_e \approx \frac{0.026}{I_E} \Omega \quad (5 - 22)$$

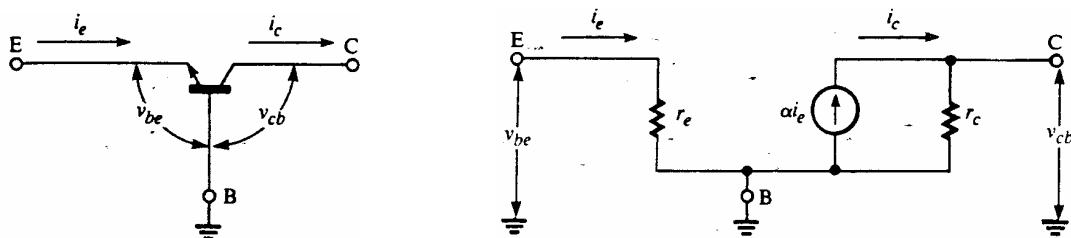
với I_E là dòng DC cực phát.

Điện trở cực thu tín hiệu nhỏ r_c là điện trở AC từ cực thu đến cực nền. Nó tương tự như điện trở ngõ ra của transistor trong mô hình cực nền chung (CB) và thường có giá trị vài megohms, vì nó đi qua mỗi nối phân cực ngược:

$$r_c = \frac{v_{cb}}{i_c} \Big|_{I_E = \text{const}} \Omega \quad (5 - 23)$$

Mô hình mạch khuếch đại tín hiệu nhỏ CB

Hình 5 – 23 cho thấy một transistor trong cấu hình cực nền chung (CB) và mô hình xấp xỉ tín hiệu nhỏ. Nhớ rằng tất cả các dòng và áp đều là AC.



a) Cấu hình B chung

b) Mô hình tín hiệu nhỏ của cấu hình CB

Hình 5 – 23: Một transistor mắc kiểu CB và mô hình tín hiệu nhỏ của nó

Trong mô hình 5 – 23 bao gồm nguồn điều khiển dòng AC cho 1 dòng điện αi_e . Vì vậy, dòng cực thu i_c bằng αi_e , cho nên mô hình tương đối bị ảnh hưởng bởi mối quan hệ giữa i_e và i_c . Mô hình không trình bày ảnh hưởng hồi tiếp như đã đề cập ở chương 4; đó là, không thể hiện sự phụ thuộc i_e vào V_{CB} . Trong chương sau, chúng ta sẽ đề cập mô hình hybrid phức tạp và chính xác hơn và cũng bao gồm cả ảnh hưởng hồi tiếp. Đối với hầu hết các bài tập phân tích và thiết kế thực tế, hồi tiếp được bỏ qua.

Rõ ràng là điện trở ngõ vào transistor bằng r_e trong mô hình xấp xỉ CB. Giá trị này tương đối nhỏ, thường nhỏ hơn 100Ω .

$$r_{in} = r_e \quad (5 - 24)$$

Mặt khác, điện trở ngõ ra transistor có thể được xem là bằng r_c :

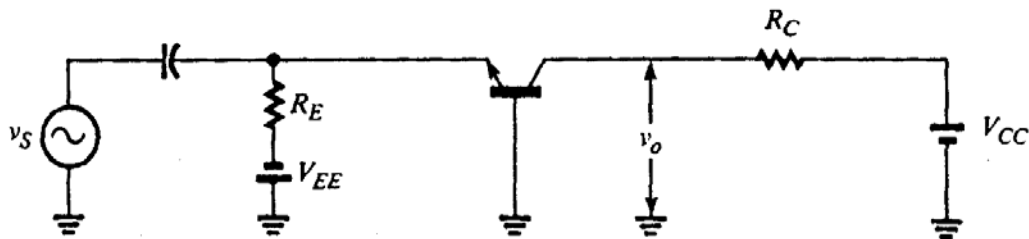
$$r_o = r_c \quad (5 - 25)$$

Để minh họa làm cách nào có thể sử dụng mô hình tín hiệu nhỏ để phân tích mạch khuếch đại thực tế, chúng ta sẽ kết hợp nó trong mô hình mạch khuếch đại CB như trong hình 5-24(a). Hình 5-24(b) trình bày mạch tương đương hình (a) bên ngoài transistor. Để ý rằng tất cả các nguồn DC đều bị ngắn mạch khi xét mạch tương đương AC. Cuối cùng, hình 5-24(c) cho thấy toàn bộ tương đương AC khi transistor được thay thế bởi mô hình tín hiệu nhỏ của nó

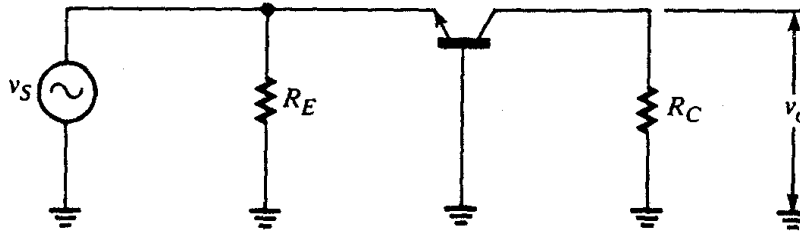
$$v_S = v_{in} = i_e r_e \text{ và } v_o = i_c R_C = \alpha i_e R_C \quad (5 - 26)$$

vì $\alpha \approx 1, v_o \approx i_e r_e$ nên độ lợi áp là:

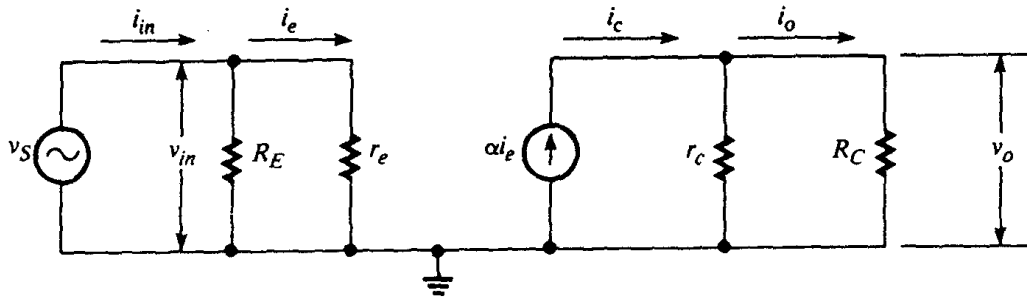
$$A_v = \frac{v_o}{v_{in}} \approx \frac{i_e R_C}{i_e r_e} = \frac{R_C}{r_e} \quad (5 - 27)$$



a) Bộ khuếch đại CB được lái bởi nguồn tín hiệu nhỏ, v_S



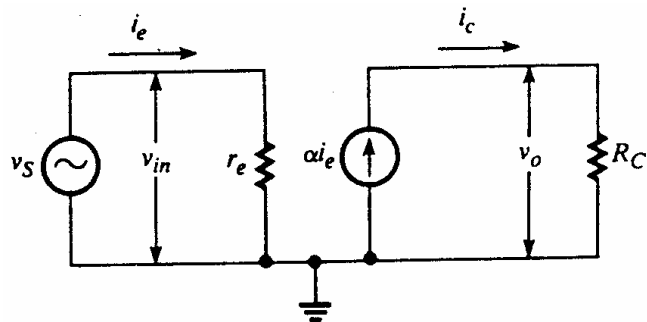
b) Bộ khuếch đại CB của hình a) khi mạch bên ngoài với transistor được thay thế tương đương



c) Toàn bộ mạch tương đương tín hiệu nhỏ kiểu CB, khi transistor trong hình b) được thay thế bằng mô hình của nó.

Hình 5 – 24: Khai triển mạch tương đương của bộ khuếch đại mắc B chung

Hình 5 – 25: Mạch tương đương CB thực tế được gọn lại với điều kiện (thường gặp): $r_e \parallel R_E \approx r_e$ và $R_C \parallel r_c \approx R_C$



Độ lợi dòng trong hình 5 – 25 là

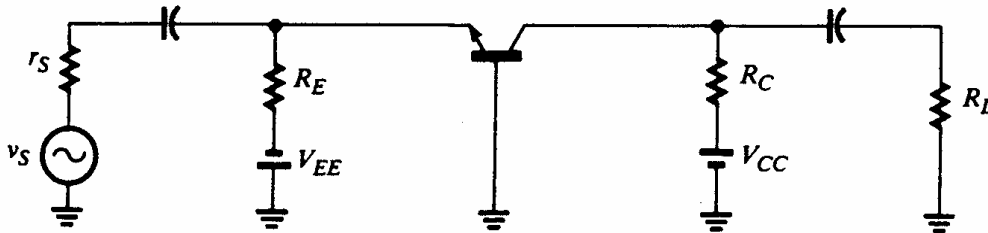
$$A_i = \frac{i_o}{i_{in}} = \frac{i_c}{i_e} = \alpha \quad (5 - 28)$$

Vì vậy, độ lợi dòng của mạch khuếch đại mắc CB luôn luôn bé hơn 1.

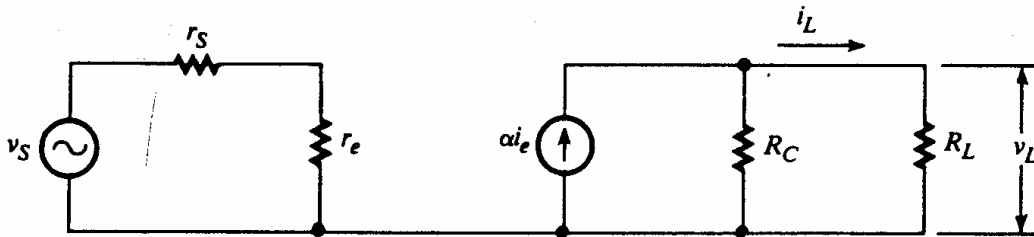
Một mạch khuếch đại CB trên hình 5 – 26(a) được lái bởi nguồn có nội trở là r_s . Điện trở tải là R_L . hình 5 – 26b cho thấy mạch tương đương AC giả sử rằng $R_E \parallel r_e \approx r_e$, $r_c \parallel R_C \approx R_C$. Hình 5 – 26c trình bày mạch khuếch đại với transistor được thay thế bằng 1 khối đơn có các thông số từ phương trình 5 – 26 đến 5 – 28. Chú ý rằng nguồn áp trong hình 5 – 26(c) là tương đương Thevenin của nguồn dòng trong hình 5 – 25.

Độ lợi áp và độ lợi dòng tổng quát từ nguồn đến tải của bộ khuếch đại AC được cho trong phương trình 5 – 12 và 5 – 13, phần 5-1. Áp dụng các phương trình này cho hình 5 – 26(c), ta có:

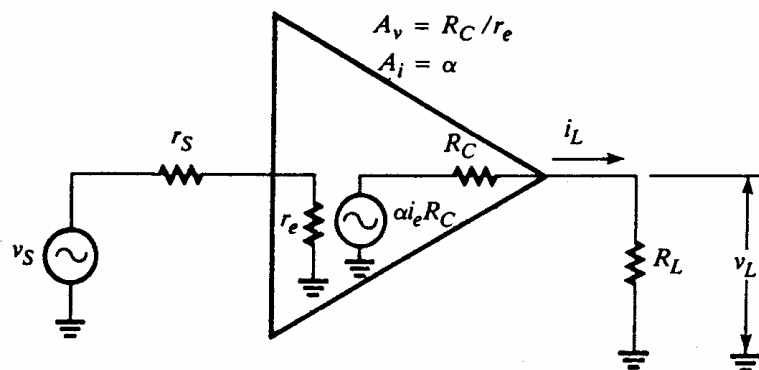
$$\frac{v_L}{v_S} = \frac{R_C}{r_e} \left(\frac{r_e}{r_S + r_e} \right) \left(\frac{R_L}{R_C + R_L} \right) \quad (5 - 29)$$



a) Bộ khuếch đại CB với tải R_L và được lái bởi nguồn có nội trở r_S



b) Mạch tương đương ac của hình a)



c) Mạch như hình b) với transistor được thay thế bằng 1 khối khuếch đại đơn giản

Hình 5 – 26: Bộ khuếch đại CB có điện trở nguồn và điện trở tải

và

$$\frac{i_L}{i_S} = \alpha \left(\frac{r_S}{r_S + r_e} \right) \left(\frac{R_C}{R_C + R_L} \right) \quad (5 - 30)$$

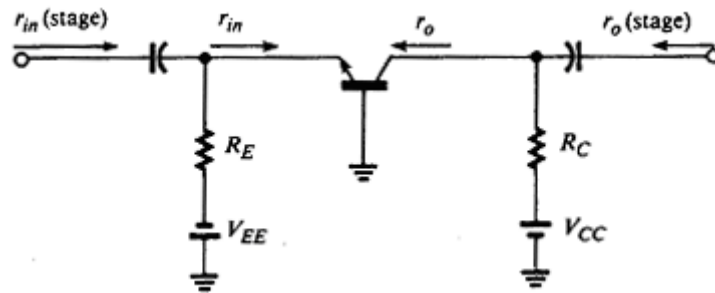
với i_S là nguồn dòng tương đương (Norton) bằng v_S/r_S .

Áp AC ngõ ra từ bộ khuếch đại CB là cùng pha với áp AC ngõ vào. Chúng ta có thể suy ra điều này bằng cách viết lại phương trình 4 – 17 để có phương trình sau:

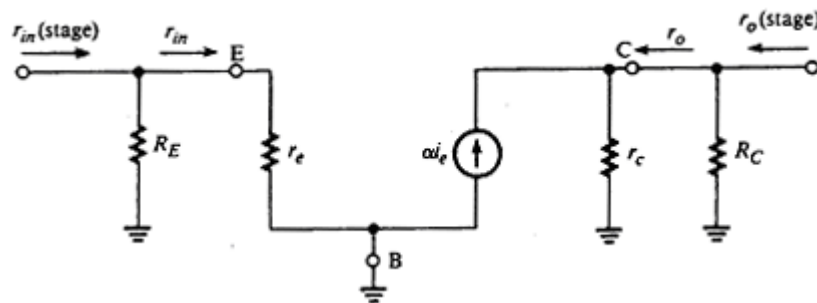
$$V_{CB} = V_{CC} - I_C R_C \quad (5 - 31)$$

Nếu tăng áp (ngõ vào) mỗi nối EB làm giảm phân cực thuận mỗi nối này và vì vậy làm giảm dòng cực phát. Nhưng dòng cực phát giảm lại làm cho dòng cực thu giảm, vì $I_C = \alpha I_E$. Giảm I_C dẫn đến $R_C I_C$ trong phương trình 5 – 31 giảm dẫn đến V_{CB} tăng. Tóm lại, dòng cực phát (E) tăng sẽ làm cho dòng cực thu (C) tăng, và như vậy ngõ vào và ngõ ra cùng pha.

Cần phân biệt điện trở ngõ vào và điện trở ngõ ra của riêng transistor và của một tầng khuếch đại. Chính vì vậy, ta sử dụng thêm kí hiệu (stage) sau r_{in} và r_o để chỉ rằng đó là của tầng khuếch đại.



(a) Một tầng khuếch đại CB



(b) Mạch tương đương ac của (a)

Hình 5 – 27: $r_{in}(stage)$ và $r_o(stage)$ là điện trở ngõ vào và ngõ ra của tầng khuếch đại tổng quát

Một mạch khuếch đại CB như hình 5 – 27 với các ký hiệu quy ước như trên, chú ý:

$$\begin{aligned} r_{in} &= r_e \\ r_{in}(stage) &= r_e \parallel R_E \approx r_e \end{aligned} \quad (5 - 32)$$

$$\begin{aligned} r_o &= r_c \\ r_o(stage) &= r_c \parallel R_C \approx R_C \end{aligned} \quad (5 - 33)$$

Các phương trình 5 – 34 tổng kết tất cả phương trình trong phân tích tín hiệu nhỏ tầng khuếch đại mắc B chung (CB)

Các phương trình tín hiệu nhỏ mắc B chung

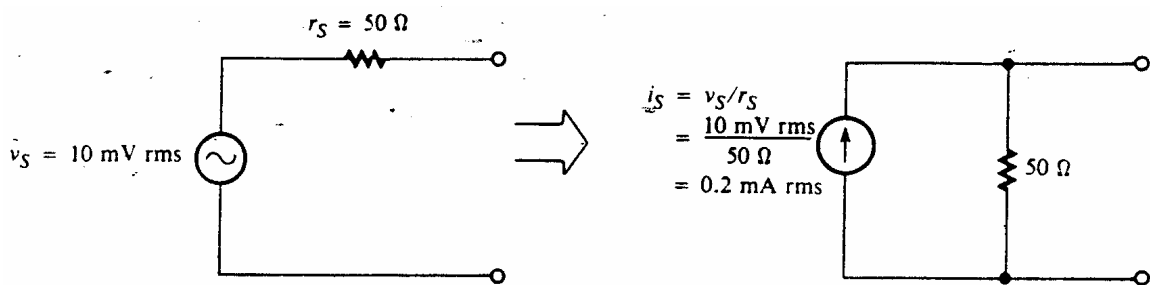
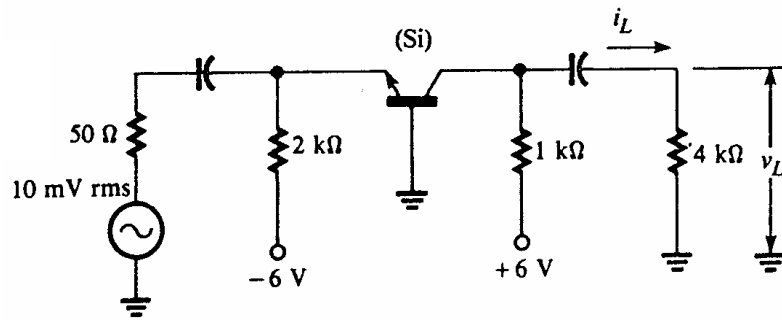
$$\begin{aligned} r_e &= \frac{0.026}{I_E} \Omega \quad (\text{tại nhiệt độ phòng}) \\ r_{in} &= r_e \\ r_{in}(stage) &= r_e \parallel R_E \approx r_e \\ r_o &= r_c \\ r_o(stage) &= r_c \parallel R_C \approx R_C \\ A_v &\approx \frac{r_o(stage)}{r_{in}(stage)} = \frac{r_c \parallel R_C}{r_e \parallel R_E} \approx \frac{R_C}{r_e} \quad (\text{output open}) \\ \frac{v_L}{v_S} &= A_v \left(\frac{r_{in}(stage)}{r_S + r_{in}(stage)} \right) \left(\frac{R_L}{R_L + R_C} \right) \\ &\approx A_v \left(\frac{r_e}{r_S + r_e} \right) \left(\frac{R_C}{R_L + R_C} \right) \\ A_i &= \alpha \approx 1 \quad (\text{output shorted}) \\ \frac{i_L}{i_S} &\approx A_i \left(\frac{r_S}{r_S + r_e} \right) \left(\frac{R_C}{R_C + R_L} \right) \quad , i_S = \frac{v_S}{r_S} \end{aligned} \quad (5 - 34)$$

Thí dụ 5 – 4

Cho một mạch như hình 5 – 28, tìm:

- (1) r_{in}
- (2) $r_{in}(stage)$
- (3) A_v
- (4) v_L
- (5) i_L
- (6) i_L/i_S (giả sử $\alpha=1$)
- (7) i_L , sử dụng kết quả câu (6)

Hình 5 – 28
(thí dụ 5 – 4)



Hình 5 – 29: Chuyển đổi nguồn áp ngõ vào thành nguồn dòng tương đương

Mô hình mạch khuếch đại tín hiệu nhỏ CE

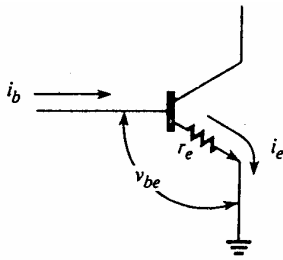
Để phát triển một mô hình cho transistor với cấu hình E chung (CE), chúng ta sẽ bắt đầu từ điện trở ngõ vào của cấu hình này. Hình 5 – 30 cho thấy mạch ngõ vào CE với r_e được vẽ trong cực phát (E), để chỉ rằng đó là thông số nội transistor. Điện trở AC ngõ vào là $r_{in} = v_{be}/i_b$. Nhắc lại rằng $i_e = (\beta + 1)i_b$, ta có:

$$r_{in} = \frac{v_{be}}{i_e / (\beta + 1)} = (\beta + 1) \frac{v_{be}}{i_e}$$

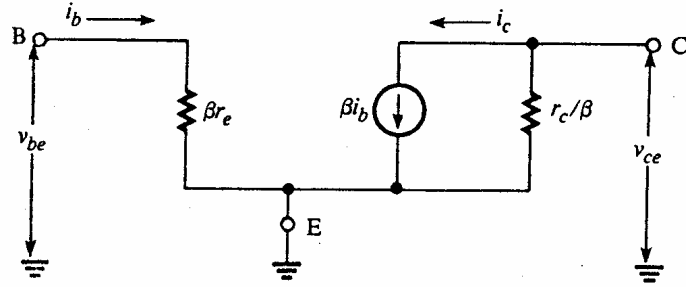
nhưng $v_{be}/i_e = r_e$, nên:

$$r_{in} = (\beta + 1)r_e \approx \beta r_e \text{ (mắc E chung)} \tag{5 – 35}$$

Phương trình 5 – 35 cho thấy điện trở ngõ vào trong cấu hình CE lớn hơn xấp xỉ β lần trong cấu hình CB. Cũng có thể chứng minh rằng điện trở ngõ ra của transistor trong cấu hình CE nhỏ hơn xấp xỉ β lần trong cấu hình CB: $r_o \approx r_c / \beta$. Vì điện trở ngõ vào khi mắc CE lớn hơn β lần và điện trở ngõ ra nhỏ hơn β so với trong cấu hình CB, nên mạch khuếch đại mắc CE đáp ứng tốt hơn trong khi khuếch đại áp so với CB.



Hình 5 – 30
Mạch ngõ vào transistor trong cấu hình CE



Hình 5 – 31
Mô hình xấp xỉ tín hiệu nhỏ của transistor trong cấu hình E chung (CE)

Một mô hình transistor mắc E chung được cho trên hình 5 – 31. Nguồn dòng phụ thuộc có giá trị βi_b , với $i_c = \beta i_b$. Một lần nữa, chúng ta bỏ qua ảnh hưởng hồi tiếp, bởi đó i_b phụ thuộc 1 cách nào đó vào V_{CE} .

Hình 5 – 32 trình bày một tầng khuếch đại mắc E chung và mạch tương đương AC của nó. Đề ý là nguồn áp DC bị ngắn mạch khi phân tích AC, như trước đây. Trong hình 5 – 32(b), có thể thấy r_c/β song song với R_C . Trong hầu hết các trường hợp, $r_c/\beta \gg R_C$, vì vậy $r_c/\beta \parallel R_C \approx R_C$. Thí dụ, tiêu biểu như $r_c = 10M\Omega$, $\beta = 100$, và $R_C = 1k\Omega$, nên $(r_c/\beta) \parallel R_C = (100k\Omega) \parallel (1k\Omega) = 990\Omega$. Như vậy, điện trở ngõ ra của tầng khuếch đại là

$$r_{o(stage)} = R_C \quad (5 - 36)$$

và áp ngõ ra là:

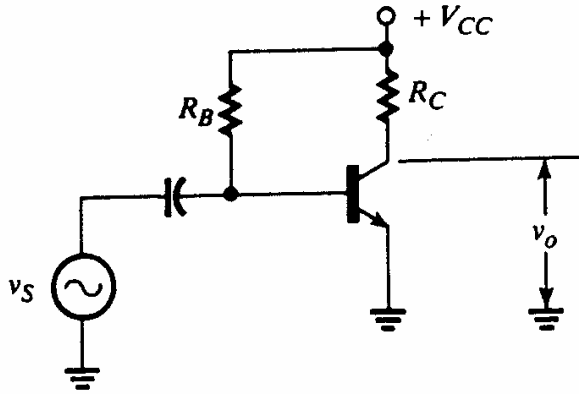
$$v_o = i_c r_{o(stage)} = \beta i_b R_C \quad (5 - 37)$$

Dễ thấy từ hình 5 – 32(b) là:

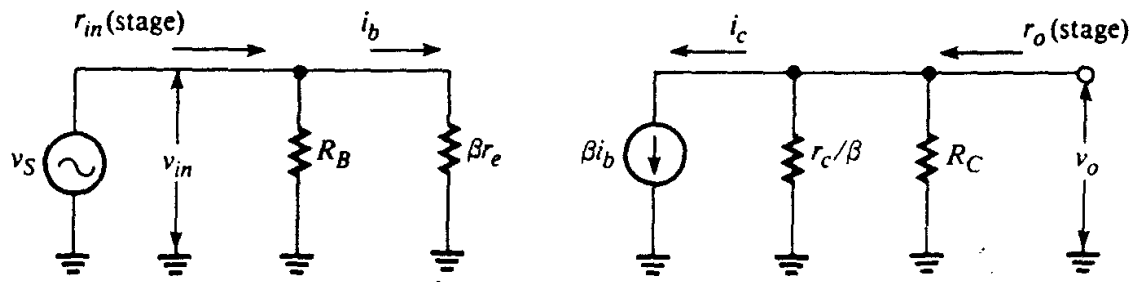
$$v_{in} = (\beta r_e) i_b \quad (5 - 38)$$

Vi vậy,

$$A_v = \frac{v_o}{v_{in}} = \frac{-\beta i_b R_C}{\beta r_e i_b} = \frac{-R_C}{r_e} \quad (5 - 39)$$



(a) Bộ khuếch đại E chung



(b) Mạch tương đương ac của (a), với mô hình khai triển từ hình 5.31

Hình 5 – 32

Bộ khuếch đại E chung và mạch tương đương ac.

Với dấu trừ chỉ rằng ngõ ra và ngõ vào nghịch pha nhau, như đã trình bày ở phần 5 – 2. Độ lợi dòng của transistor là tỉ số dòng ngõ ra i_c và dòng ngõ vào của nó i_b :

$$A_i = \frac{i_c}{i_b} = \beta \tag{5 – 40}$$

Phương trình 5 – 39 và 5 – 40 cho thấy rằng mạch khuếch đại CE cung cấp độ lợi áp và độ lợi dòng đều lớn hơn 1.

Điện trở ngõ vào của tầng khuếch đại của hình 5 – 32(b) là:

$$r_{in(stage)} = R_B \parallel (\beta r_e) \tag{5 – 41}$$

Trong nhiều mạch thực tế như hình 5 – 32(a), R_B lớn hơn βr_e rất nhiều và phương trình 5 – 41 còn lại là: $r_{in(stage)} \approx \beta r_e$. Tuy nhiên, đối với nhiều mạch phân cực cải tiến hơn chúng ta sẽ gặp thì sẽ khác.

Hình 5 – 33 trình bày 1 tầng khuếch đại CE gồm cả điện trở nguồn và điện trở tải. Áp dụng phương trình 5 – 12 và 5 – 13 để tính độ lợi áp và độ lợi dòng tổng, ta có:

$$\frac{v_L}{v_S} = A_v \left[\frac{r_{in(stage)}}{r_s + r_{in(stage)}} \right] \left[\frac{R_L}{R_L + R_C} \right] = \frac{R_C}{r_e} \left[\frac{R_B \parallel (\beta r_e)}{r_s + R_B \parallel (\beta r_e)} \right] \left[\frac{R_L}{R_L + R_C} \right] \quad (5-42)$$

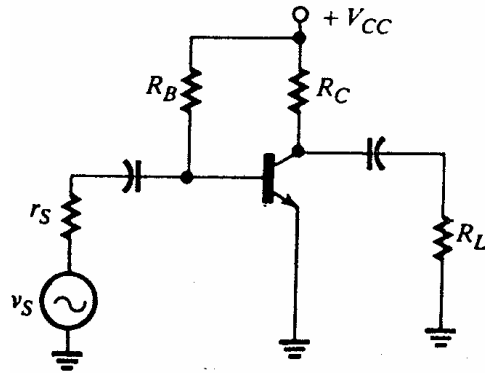
$$\frac{i_L}{i_S} = A_i \left[\frac{r_s \parallel R_B}{r_s \parallel R_B + r_{in}} \right] \left[\frac{R_C}{R_L + R_C} \right] = A_i \left[\frac{r_s \parallel R_B}{r_s \parallel R_B + \beta r_e} \right] \left[\frac{R_C}{R_L + R_C} \right] \quad (5-43)$$

với $i_S = v_S/r_S$.

Các phương trình 5 – 44 tổng kết lại tất cả phương trình phân tích tín hiệu nhỏ cho tầng khuếch đại mắc CE:

Hình 5 – 33

Tầng khuếch đại E chung có điện trở nguồn và điện trở tải



Các phương trình tín hiệu nhỏ mắc E chung

$$r_e = \frac{0.026}{I_E} \Omega \quad (\text{tại nhiệt độ phòng})$$

$$r_{in} = (\beta + 1)r_e = r_\pi \approx \beta r_e$$

$$r_{in}(stage) = R_E \parallel r_{in} \approx R_B \parallel (\beta r_e)$$

$$r_o = r_c / \beta$$

$$r_o(stage) = R_C \parallel (r_c / \beta) \approx R_C$$

$$A_v \approx \frac{-r_o(stage)}{r_e} \approx \frac{-R_C}{r_e} \quad (\text{output open})$$

$$\frac{v_L}{v_S} = A_v \left[\frac{R_B \parallel (\beta r_e)}{r_s + R_B \parallel (\beta r_e)} \right] \left(\frac{R_L}{R_L + R_C} \right)$$

$$\approx A_v \left(\frac{r_e}{r_s + r_e} \right) \left(\frac{R_C}{R_L + R_C} \right)$$

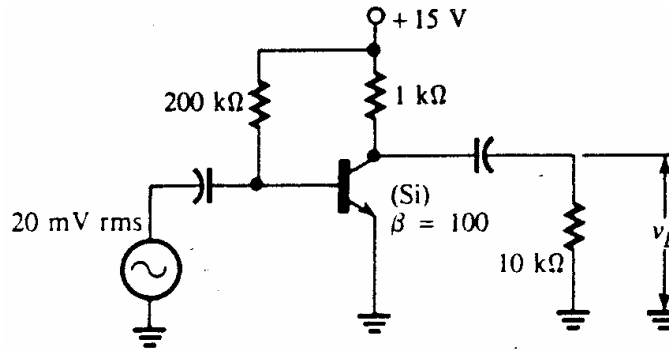
$$A_i = \alpha \approx 1 \quad (\text{output shorted})$$

$$\frac{i_L}{i_S} \approx A_i \left(\frac{r_s}{r_s + r_e} \right) \left(\frac{R_C}{R_C + R_L} \right) \quad , i_S = \frac{v_S}{r_S}$$

(5 – 44)

Thí dụ 5 – 5

Tìm áp ngõ ra của mạch khuếch đại như hình 5 – 34, giả sử rằng $r_s = 0$.



Hình 5 – 34
(Thí dụ 5 – 5)

Giải

Để tìm r_e , ta phải tính dòng tĩnh cực thu:

$$I_B = \frac{V_{CC} - 0.7}{R_B} = \frac{14.3}{200 \times 10^3} = 71.5 \mu A$$

$$I_E \approx I_C = \beta I_B = 100(71.5 \mu A) = 7.15 mA$$

Vì vậy, $r_e = 0.026 / (7.15 \times 10^{-3}) = 3.64 \Omega$. Từ phương trình 5-39, $A_v = -R_C / r_e = -10^3 / 3.64 = -274.7$. Do $r_s = 0$, phương trình 5-43 trở thành

$$\frac{v_L}{v_S} = A_v \left(\frac{R_L}{R_L + R_C} \right) = -274.7 \left[\frac{10 k\Omega}{(10 k\Omega) + (1 k\Omega)} \right] = -249.7$$

Nên, biên độ của v_L là $v_L = (249.7)(20 mA \text{ rms}) = 4.99 V \text{ rms}$.

Ảnh hưởng của điện trở tải AC

Còn một cách khác để xét phương trình độ lợi áp là xem độ lợi là 1 hàm của điện trở tải AC r_L . Để tập trung xét riêng vấn đề này, chúng ta giả sử rằng bộ khuếch đại CE được lái bởi 1 nguồn có nội trở $r_s = 0$, vì vậy phương trình 5-42 trở thành:

$$\frac{v_L}{v_S} = \frac{-R_C}{r_e} \left(\frac{R_L}{R_L + R_C} \right) \tag{5 – 45}$$

Phương trình này có thể viết lại:

$$\frac{v_L}{v_S} = \frac{-1}{r_e} \left(\frac{R_L R_C}{R_L + R_C} \right) = \frac{-R_L \parallel R_C}{r_e} = \frac{-r_L}{r_e} \tag{5-46}$$

Áp dụng phương trình 5-46 cho thí dụ 5-5, ta có:

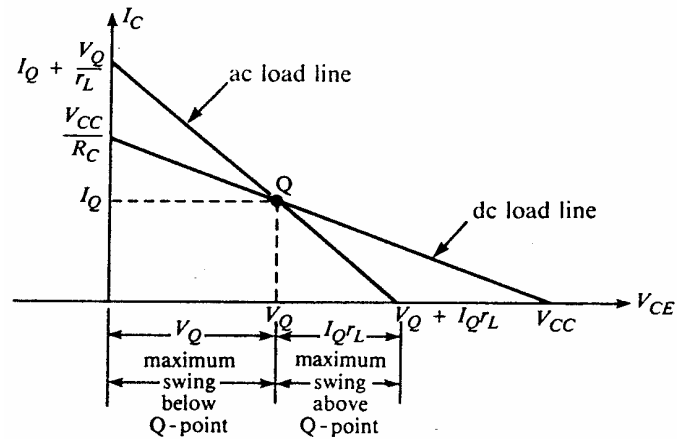
$$\frac{v_L}{v_S} = \frac{-(10 \times 10^3 \Omega) \parallel (1 \times 10^3 \Omega)}{3.64 \Omega} = -249.7$$

Vì vậy, biên độ của v_L là $v_L = (249.7)v_S = 249.7(20\text{mV rms}) = 4.99 \text{ V rms}$.

Phương trình 5-46 chứng tỏ rằng độ lợi áp mạch khuếch đại tỉ lệ trực tiếp với điện trở tải $r_L = R_L \parallel R_C$. Vì $R_L \parallel R_C < R_C$, nên khi mắc thêm R_L vào mạch khuếch đại luôn làm giảm độ lợi áp. Ảnh hưởng này tương tự như khi chúng ta phân tích đồ thị mạch khuếch đại CE (xem hình 5-19 và thí dụ 5-3).

Hình 5 – 35

Đường tải ac giới hạn dao động áp ngõ ra khoảng nhỏ nhất giữa V_Q và $I_{Q'L}$

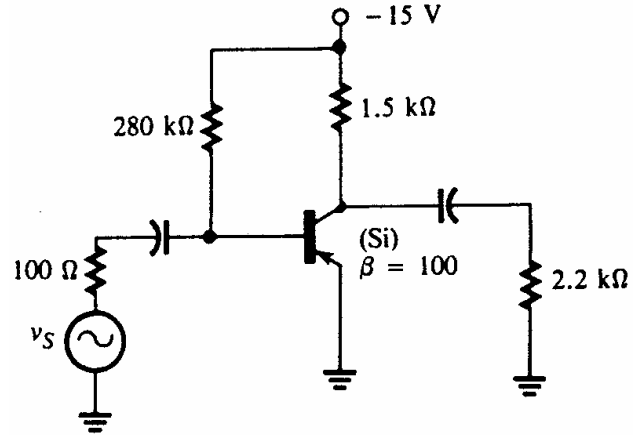


Một kết quả nữa của việc mắc điện trở tải R_L ghép tụ là giảm dao động áp ngõ ra cực đại của bộ khuếch đại. Ta thấy từ phương trình 5-17, 5-18 là đường tải AC giao với trục V_{CE} tại $V_o = V_Q + I_{Q'L}$ và giao với trục I_C tại $I_o = I_Q + V_Q/r_L$, với I_Q và V_Q là tọa độ điểm Q. Chính vì vậy, dễ thấy rằng biên độ dương áp ngõ ra không thể vượt quá áp phân cực 1 lượng lớn hơn $I_{Q'L}$ (xem hình 5-35). Áp ngõ ra có thể dao động trên điểm Q 1 lượng $I_{Q'L}$ và dưới điểm Q 1 lượng là V_Q . Suy ra, sự biến thiên lớn nhất áp ngõ ra là min giữa V_Q và $I_{Q'L}$. Bởi vì, nếu ngõ ra dao động dương quá $I_{Q'L}$, đỉnh dương của nó sẽ bị xén, và nếu ngõ ra dao động dưới quá V_Q , đỉnh âm sẽ bị xén.

Thí dụ 5-6

Tìm áp đỉnh-đỉnh cực đại mà nguồn ở hình 5-36 có thể cung cấp mà không gây xén ngõ ra bộ khuếch đại.

Hình 5-36
(Thí dụ 5 – 6)



Giải. Trước tiên, chúng ta tính các giá trị tĩnh:

$$I_B = \frac{(15 - 0.7)V}{280 \times 10^3 \Omega} = 51.1 \mu A$$

$$I_C = I_Q = \beta I_B = 100(51.1 \mu A) = 5.11 mA$$

$$V_Q = V_{CC} - I_Q R_C = 15V - (5.11 mA)(1.5 k\Omega) = 7.34V$$

$$r_L = R_C \parallel R_L = (1.5 k\Omega) \parallel (2.2 k\Omega) = 892 \Omega$$

Vì vậy, áp ngõ ra dao động lớn nhất trên $V_Q = 7.34V$ là $I_Q r_L = (5.11 mA)(892 \Omega) = 4.56V$. Vì $V_Q = 7.34V$, sự dao động cực đại ngõ ra quanh điểm Q là $\min(4.56V, 7.34V) = 4.56V$. Do vậy, biên độ đỉnh - đỉnh AC lớn nhất ở ngõ ra là $2 \times 4.56 = 9.12V_{p-p}$.

Để xác định áp nguồn có thể cung cấp $9.12V_{p-p}$ ngõ ra, chúng ta phải tìm độ lợi tăng khuếch đại.

$$I_E \approx I_C = 5.11 mA$$

$$r_E = \frac{0.026}{I_E} = \frac{0.026}{5.11 \times 10^{-3} A} = 5.09 \Omega$$

Để áp dụng phương trình độ lợi áp (5-42), chúng ta phải tính $r_{in}(stage) = R_B \parallel (\beta r_e)$:

$$r_{in}(stage) = (280 \times 10^3 \Omega) \parallel (100)(5.09) \Omega = (280 \times 10^3 \Omega) \parallel 509 \Omega \approx 509 \Omega$$

Áp dụng phương trình 5-42, ta có:

$$\frac{v_L}{v_S} = \frac{-1.5 \times 10^3}{5.09} \left(\frac{509}{100 + 509} \right) \left(\frac{2.2 \times 10^3}{1.5 \times 10^3 + 2.2 \times 10^3} \right) = -146.45$$

Vì vậy, áp nguồn đỉnh - đỉnh cực đại là:

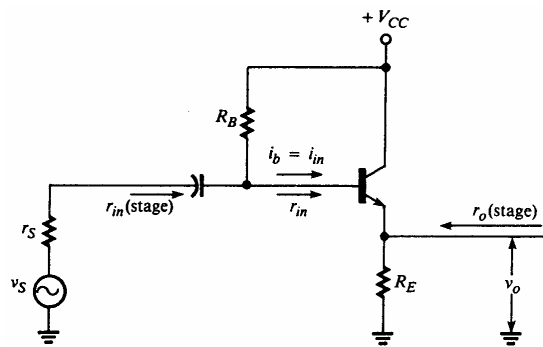
$$v_S(\max, p-p) = \frac{v_L(\max, p-p)}{146.45} = 62.27 mV_{p-p}$$

Mô hình khuếch đại tín hiệu nhỏ mắc CC (C chung)

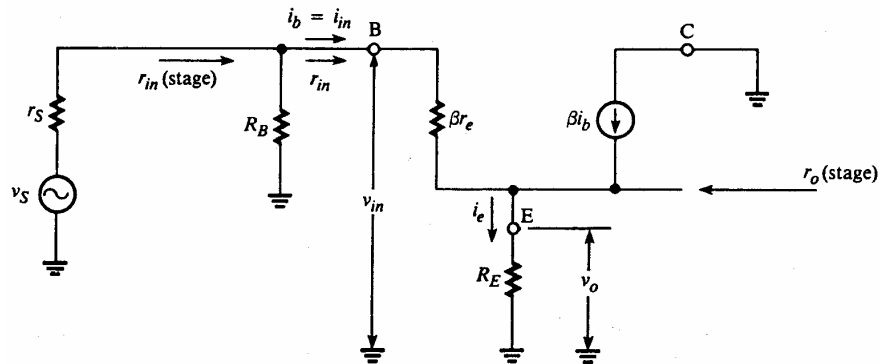
Hình 5-39(a) cho thấy một mạch khuếch đại mắc C chung (collector) và hình 5-39(b) trình bày mạch tương đương tín hiệu nhỏ. Chú ý là cực thu ở hình 5-39(b) được nối đất, vì nguồn V_{CC} được nối trực tiếp với cực thu và các nguồn DC được ngắn mạch khi xét AC. Điện trở tải R_L không xét ở phần này.

Như trong mô hình CE, điện trở giữa cực nền (B) và cực phát (E) là βr_e , xem như xấp xỉ bằng $r_{\pi} = (\beta + 1)r_e$. Điện trở tổng ngõ vào tại cực nền transistor (giữa nền và đất) là:

$$r_{in} = \frac{v_{in}}{i_{in}} = \frac{v_{in}}{i_b} \tag{5-51}$$



(a) Một bộ khuếch đại C chung



(b) Mạch tương đương tín hiệu nhỏ của (a)

Hình 5 – 39

Bộ khuếch đại C chung và mạch tương đương tín hiệu nhỏ

Để ý là mạch CC thì v_{in} là áp AC giữa cực nền (B) và cực thu (C), cũng có nghĩa là áp giữa cực nền và đất. Dòng ngõ vào i_{in} cũng chính là i_b .

Tạm thời chúng ta sẽ thay βr_e trong hình 5-39(b) bằng giá trị chính xác hơn là $(\beta + 1)r_e$. Dùng định luật Kirchhoff về áp cho cực B và đất trong hình 5-39(b), ta có:

$$\begin{aligned}
 v_{in} &= i_b(\beta + 1)r_e + i_e R_E \\
 &= i_b(\beta + 1)r_e + i_b(\beta + 1)R_E \\
 &= i_b(\beta + 1)(r_e + R_E)
 \end{aligned}
 \tag{5-52}$$

Thay (5-52) vào (5-51), ta được:

$$r_{in} = \frac{i_b(\beta + 1)(r_e + R_E)}{i_b} = (\beta + 1)(r_e + R_E)
 \tag{5-53}$$

với $\beta + 1 \approx \beta$, ta có:

$$r_{in} = (\beta + 1)(r_e + R_E) \approx \beta(r_e + R_E)
 \tag{5-54}$$

Trong nhiều mạch thực tế, $R_E \gg r_e$, nên r_{in} có thể được xấp xỉ là:

$$r_{in} \approx \beta R_E
 \tag{5-55}$$

Từ hình 5-39(b), dễ thấy rằng:

$$r_{in}(stage) = R_B \parallel r_{in} \approx R_B \parallel \beta R_E
 \tag{5-56}$$

Phương trình 5-43, và 5-55 cho thấy rằng đặc điểm quan trọng nhất của bộ khuếch đại CC trong các ứng dụng thực tế là: điện trở ngõ vào của nó có thể rất lớn hơn so với các mô hình khác. Ví dụ, với $R_E = 1k\Omega$ và $\beta = 100$, sẽ có $r_{in} \approx 100k\Omega$.

Nhớ lại chương 4 là áp ngõ ra của mô hình CC chính là áp CE. Vì cực C nối đất, áp AC ngõ ra cũng là áp giữa cực E và đất (xem hình 5-39(b)). Vì vậy, độ lợi áp của Transistor CC là:

$$A_v = \frac{v_o}{v_{in}} = \frac{i_e R_E}{v_{in}}
 \tag{5-57}$$

Thay thế v_{in} vào phương trình 5-52, ta có:

$$\begin{aligned}
 A_v &= \frac{i_e R_E}{i_b(\beta + 1)(r_e + R_E)} \\
 &= \frac{i_b(\beta + 1)R_E}{i_b(\beta + 1)(r_e + R_E)} = \frac{R_E}{r_e + R_E}
 \end{aligned}
 \tag{5-58}$$

Do $r_e + R_E > R_E$, phương trình 5-58 chứng tỏ rằng transistor luôn luôn có **độ lợi áp nhỏ hơn 1**. Như đã đề cập trên, thường sử dụng $R_E \gg r_e$, vậy ta có xấp xỉ sau:

$$A_v = \frac{R_E}{r_e + R_E} \approx \frac{R_E}{R_E} = 1
 \tag{5-59}$$

Phương trình 5-59 cho thấy v_o/v_{in} xấp xỉ bằng 1, có nghĩa là $v_o \approx v_{in}$, tức là áp ngõ ra bằng áp ngõ vào: ngõ ra và ngõ vào bị “chia cắt” điện trở AC của mỗi nối BE phân cực thuận. Hay nói cách khác, áp ngõ vào (cực B với đất) giống với áp ngõ ra (cực E

với đất), ngoại trừ bị mất 1 lượng nhỏ trên mỗi nối. Chú ý rằng không có đảo pha giữa ngõ ra và ngõ vào.

Dòng ngõ vào và dòng ngõ ra là i_b và i_e , ta có độ lợi dòng như sau:

$$A_{ii} = \frac{i_e}{i_b} = \frac{(\beta + 1)i_b}{i_b} = \beta + 1 \approx \beta \quad (5-60)$$

Do vậy, trong khi độ lợi áp CC thì bé hơn 1, độ lợi dòng lại lớn hơn 1, suy ra độ lợi công suất:

$$A_p = A_v A_i \approx A_i \quad (5-61)$$

Ta đã có: $i_e = (\beta + 1)i_b$, suy ra là điện trở nhìn vào cực nền lớn gấp $(\beta + 1)$ lần điện trở thực sự nối giữa cực B và đất (phương trình 5-54). Ngược lại, điện trở nhìn vào cực E nhỏ hơn $(\beta + 1)$ lần điện trở từ cực E trở về nguồn tín hiệu. Điện trở ngõ ra tầng CC trong hình 5.39, $r_o(\text{stage})$, là điện trở nhìn vào cực E song song với R_E . Vì vậy, ta có:

$$r_o(\text{stage}) = R_E \parallel \left[\frac{(\beta + 1)r_e + R'_B}{\beta + 1} \right] \quad (5-62)$$

với R'_B là điện trở nhìn từ cực B trở về nguồn tín hiệu. Hình 5.40 cho thấy R'_B được xác định trong mạch tương đương AC cực B. R'_B được tính bằng cách ngắn mạch nguồn tín hiệu xuống đất, nên:

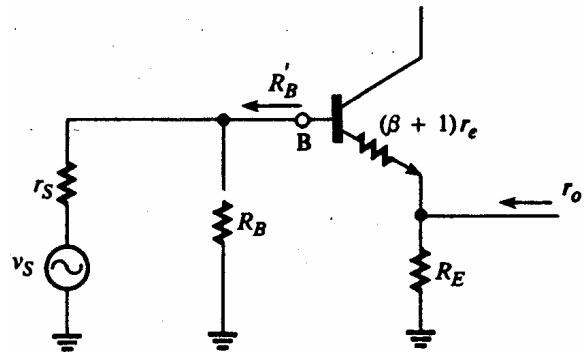
$$R'_B = R_B \parallel r_S \quad (5-63)$$

Lấy (5-63) trừ cho (5-62) ta được:

$$\begin{aligned} r_o(\text{stage}) &= R_E \parallel \left[\frac{(\beta + 1)r_e + R_B \parallel r_S}{\beta + 1} \right] \\ &= R_E \parallel \left(r_e + \frac{R_B \parallel r_S}{\beta + 1} \right) \approx R_E \parallel \left(r_e + \frac{R_B \parallel r_S}{\beta} \right) \end{aligned} \quad (5-64)$$

Hình 5-40

R'_B là điện trở tương đương Thevenin nhìn từ cực nền trở về nguồn.
 $R'_B = R_B \parallel r_S$



Phương trình 5-64 cho thấy điện trở ngõ ra của bộ dẫn cực E có thể khá nhỏ. Thí dụ, với $R_E = 1\text{k}\Omega$, $r_e = 25\Omega$, $R_B = 100\text{k}\Omega$, $r_S = 50\Omega$ và $\beta = 100$, ta có:

$$\begin{aligned} r_o(\text{stage}) &\approx (1 \times 10^3) \parallel \{25 + [(100 \times 10^3) \parallel 50] / 100\} \\ &= (1 \times 10^3) \parallel (25 + 0.5) = (1 \times 10^3) \parallel 25.5 \approx 25\Omega \end{aligned}$$

Khi $r_S = 0$, chú ý rằng $R_B \parallel r_S = 0$ và phương trình 5-64 trở thành:

$$r_o(\text{stage}) \approx R_E \parallel r_e \quad (5-65)$$

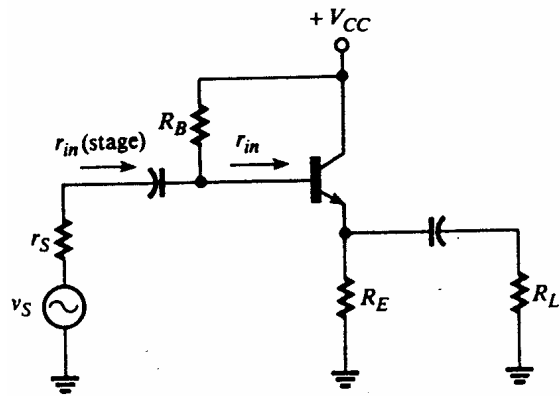
Hình 5-41 cho thấy điện trở tải được ghép cực E thông qua tụ ghép. Vì tổng trở AC nối giữa cực E và đất là $r_L = R_E \parallel R_L$, nên điện trở ngõ vào từ phương trình 5-54 và 5-56 trở thành:

$$r_{in} = (\beta + 1)(r_e + r_L) \approx \beta(r_e + r_L) \quad (5-66)$$

$$r_{in}(\text{stage}) = R_B \parallel (\beta + 1)(r_e + r_L) \approx R_B \parallel \beta(r_e + r_L) \quad (5-67)$$

Sự xấp xỉ ở 2 phương trình trên là do $\beta + 1 \approx \beta$ (5-68)

Hình 5 – 41
Mạch theo cực phát với điện trở tải R_L



Độ lợi áp tổng của tầng khuếch đại, tính cả điện trở tải và điện trở nguồn, có thể được xác định như sau:

$$\frac{v_L}{v_S} = \frac{r_L}{r_e + r_L} \left[\frac{r_{in}(\text{stage})}{r_S + r_{in}(\text{stage})} \right] \quad (5-69)$$

với $r_L = R_E \parallel R_L$

Với r_S nhỏ, phương trình 5-69 được tính gần đúng như sau:

$$\frac{v_L}{v_S} \approx \frac{R_E}{r_e + R_E} \left[\frac{R_L}{R_L + r_o(\text{stage})} \right] \quad (5-70)$$

(Phương trình 5-69 chính xác khi $r_S=0$)

Mặc dù bộ theo cực phát có độ lợi nhỏ hơn 1, nhưng nó có thể được sử dụng để cải thiện độ lợi áp của hệ thống khuếch đại lớn hơn. Bởi vì điện trở ngõ vào của nó lớn, nên nó không là 1 “tải gánh nặng” cho ngõ ra của một bộ khuếch đại khác. Nói khác cách, tải có được trong mạch theo cực phát nối với 1 bộ khuếch đại khác rõ ràng không có giảm độ lợi áp của bộ khuếch đại đó. Tương tự, với điện trở ngõ ra của bộ theo cực phát nhỏ nên nó có thể lái 1 tải “nặng” (điện trở nhỏ), tải này có thể làm giảm độ lợi áp nếu không có điện trở ngõ ra nhỏ. Vì những lý do đó, bộ khuếch đại

theo cực phát rất hữu ích khi là một tầng trung gian giữa bộ khuếch đại và tải. Khi đó, nó được gọi là bộ *khuếch đại đệm*, hoặc là bộ khuếch đại cách ly, bởi vì nó cách ly rất hiệu quả bộ khuếch đại khác với ảnh hưởng tải R_L . Điều này được minh họa với thí dụ sau đây.

Thí dụ 5-9

Một bộ khuếch đại có điện trở ngõ ra là $1k\Omega$ lái một tải 50Ω , như hình 5-42(a). Giả sử rằng độ lợi bộ khuếch đại là $A_v = 140$ (khi không có tải), tính:

- 1) Độ lợi áp khi có tải, và
- 2) Độ lợi áp khi bộ khuếch đại theo cực phát được đưa vào giữa bộ khuếch đại và tải, như hình 5-42(b).

Giải

- 1) Độ lợi áp khi có tải 50Ω là:

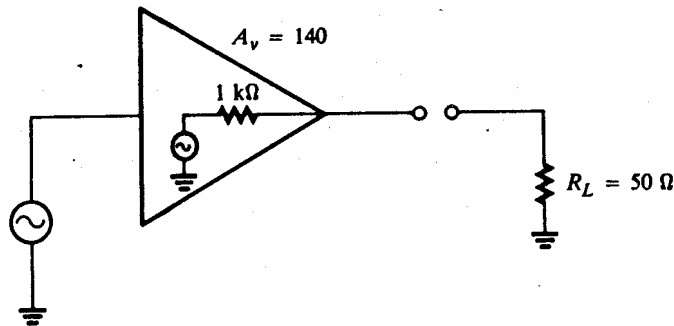
$$\frac{v_L}{v_S} = A_v \left(\frac{R_L}{r_o + R_L} \right) = 140 \left(\frac{50}{1000 + 50} \right) = 6.67$$

Rõ ràng tải 50Ω giảm đáng kể độ lợi áp

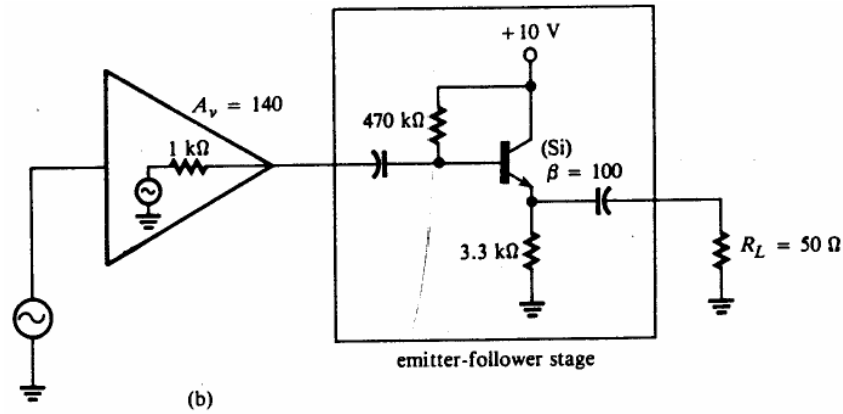
- 2) Để tính điện trở ngõ vào của bộ khuếch đại theo cực phát, ta phải tính r_e , tức là phải tính dòng phân cực DC I_E :

$$I_B = \frac{V_{CC} - 0.7}{R_B + (\beta + 1)R_E} = \frac{9.3V}{470 \times 10^3 \Omega + 101(3.3 \times 10^3 \Omega)} = 11.58 \mu A$$

$$I_E = (\beta + 1)I_B = 101(11.58 \mu A) = 1.16 mA$$



(a)



Hình 5-42
(Thí dụ 5 – 9)

Vì vậy,

$$r_e = \frac{0.026}{I_E} = \frac{0.026}{1.16 \times 10^{-3} A} = 22.4 \Omega$$

Điện trở tải AC của bộ khuếch đại theo cực phát là:

$$r_L = R_E \parallel R_L = (3.3 k\Omega) \parallel (50 \Omega) \approx 50 \Omega$$

Từ phương trình 5-67,

$$r_{in}(stage) = (470 \times 10^3) \parallel 100(22.4 + 50) = (470 \times 10^3 \Omega) \parallel (7.24 \times 10^3 \Omega) = 7.13 k\Omega$$

Điện trở nguồn là điện trở ngõ ra ($1 k\Omega$) của bộ khuếch đại lái nó. Vì vậy, từ phương trình 5-69, độ lợi áp tổng của bộ khuếch đại theo cực phát là:

$$\frac{v_L}{v_S} = \frac{50}{22.4 + 50} \left(\frac{7.13 \times 10^3}{1 \times 10^3 + 7.13 \times 10^3} \right) = 0.605$$

Độ lợi của hệ thống từ bộ khuếch đại đến tải là $(0.605)(140) = 85.7$. Dễ thấy rằng việc đưa bộ khuếch đại theo bộ phát đã cải thiện đáng kể độ lợi áp từ 6.67 lên tới 84.7, tăng 1170%.

Các phương trình mạch C chung tín hiệu nhỏ

$$\begin{aligned}
 r_e &= \frac{0.026}{I_E} \Omega \quad (\text{tại nhiệt độ phòng}), \\
 r_{in} &= (\beta + 1)(r_e + R_E) \approx \beta(r_e + R_E) \\
 r_{in}(stage) &= (\beta + 1)(r_e + r_L) \parallel R_B \approx \beta(r_e + r_L) \parallel R_B \\
 &\approx \beta r_L \parallel R_B \quad (r_L \gg r_e) \\
 &\quad (r_L = R_E \parallel R_L) \\
 \\
 r_o(stage) &= R_E \parallel \left(r_e + \frac{R_B \parallel r_S}{\beta + 1} \right) \\
 &= R_E \parallel r_e \quad (r_S = 0) \\
 &\approx r_e \quad (R_E \gg r_e) \\
 \\
 A_i &= \beta \\
 A_v &= \frac{R_E}{r_e + R_E} \quad (\text{output open}) \\
 &\approx 1 \quad (R_E \gg r_e) \\
 \\
 \frac{v_L}{v_S} &= \frac{r_L}{r_e + r_L} \left[\frac{r_{in}(stage)}{r_S + r_{in}(stage)} \right] \\
 &= \frac{r_L}{r_e + r_L} \quad (r_S = 0) \\
 &\approx 1 \quad (r_L \gg r_e) \\
 \\
 \frac{v_L}{v_S} &\approx \frac{R_E}{r_e + R_E} \left[\frac{R_L}{R_L + r_o(stage)} \right] \quad (r_S = 0)
 \end{aligned}
 \tag{5 - 71}$$

5.4 Sự phụ thuộc của điều kiện phân cực DC vào các thông số tín hiệu nhỏ

Độ dẫn điện qua lại

Như đã biết ở phần trước, một trong những thông số quan trọng được sử dụng trong các mô hình transistor, điện trở cực phát r_e , phụ thuộc dòng phân cực bằng mối quan hệ sau:

$$r_e = \frac{V_T}{I_E} \approx \frac{0.026}{I_E} \Omega \quad (\text{nhiệt độ phòng})$$

Thực ra, tất cả thông số tín hiệu nhỏ phụ thuộc các điều kiện hoạt động DC. Mục đích ở đây là phát triển một mô hình transistor mà phản ánh tính độc lập này hơn những mô

hình ở phần trước. Một trong những thuận lợi của mô hình này là cho phép chúng ta thực hiện phân tích tín hiệu nhỏ dựa trên toàn bộ kiến thức đặc tính DC của transistor. Để bắt đầu, chúng ta sẽ làm quen với 1 thông số tín hiệu mới, là độ dẫn điện, được tính (xấp xỉ) bằng cách chỉ sử dụng các đặc tính DC.

Độ dẫn điện được ký hiệu là g_m , và được xác định như là tỉ lệ của dòng tín hiệu nhỏ ngõ ra và áp tín hiệu nhỏ ngõ vào, với áp DC ngõ ra là hằng số:

$$g_m = \frac{i_o}{v_{in}} \Big|_{V_o = \text{const}} \quad (5-72)$$

Bởi vì g_m là tỉ số của dòng chia cho áp, nên đơn vị của nó là điện dẫn (siemens). Nó được gọi là độ dẫn điện bởi vì nó liên quan đến chất lượng ngõ vào và ngõ ra (qua linh kiện).

Đối với BJT, điện dẫn được định nghĩa bằng cấu hình e chung; nghĩa là, áp ngõ vào là v_{be} và dòng ngõ ra là i_c :

$$g_m = \frac{i_c}{v_{be}} \Big|_{V_{CE} = \text{const}} \quad (5-73)$$

Khi v_{be} nhỏ hơn 10mV, có thể thấy là g_m xấp xỉ như sau:

$$g_m \approx \frac{I_C}{V_T} \approx \frac{I_C}{0.026} \quad (\text{tại nhiệt độ phòng}) \quad (5-74)$$

với I_C là dòng DC cực thu và V_T là điện áp nhiệt kT/q . Do $I_E \approx I_C$, nên $g_m \approx I_E / 0.026 = 1/r_e$ (từ phương trình 5-22).

Điện trở ngõ ra

Điện trở ngõ ra của transistor CE (E chung) được xác định bằng cách sử dụng các giá trị phân cực DC.

$$r_o = \frac{v_{ce}}{i_c} \Big|_{I_B = \text{const}} \quad (5-75)$$

Phương trình 5-75 cho thấy điện trở ngõ ra là nghịch đảo độ dốc của đường đặc tính ngõ ra CE (với dòng cực nền B hằng số) như hình 5-43.

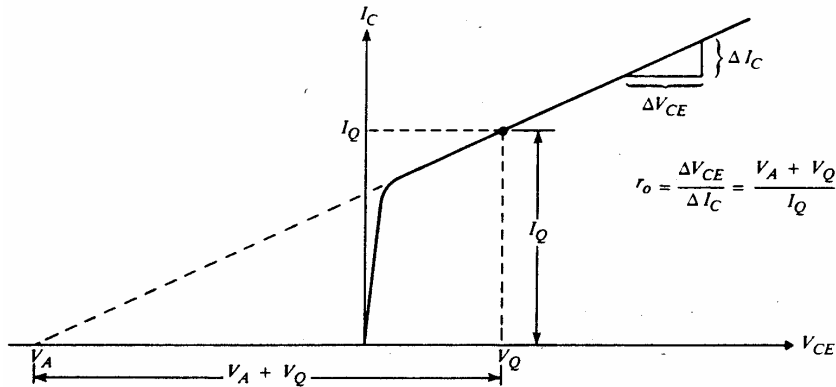


Figure 5-43
Điện trở ngõ ra mạch E chung

Từ hình 5-43, dễ thấy rằng:

$$r_o = \frac{V_A + V_Q}{I_Q} \tag{5-76}$$

với

- V_A = điện áp đầu
- V_Q = điện áp tĩnh
- I_Q = dòng tĩnh

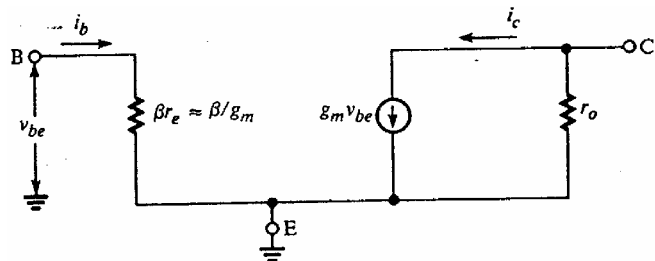
Thay vì dùng điện trở ngõ ra, người ta có thể sử dụng *điện dẫn* ngõ ra g_o trong nhiều mô hình transistor:

$$g_o = \frac{1}{r_o} = \frac{I_Q}{V_A + V_Q} \tag{5-77}$$

Mô hình BJT sử dụng điện dẫn

Hình 5-44 trình bày 1 mô hình transistor CE dựa trên các thông số đã được đề cập ở phần trước. Chú ý rằng nguồn dòng ở cực thu C là $g_m v_{be}$ (do từ phương trình 5-73, chúng ta có $i_c = g_m v_{be}$). Bởi vì chúng ta sử dụng g_m nên mô hình này được gọi là mô hình điện dẫn

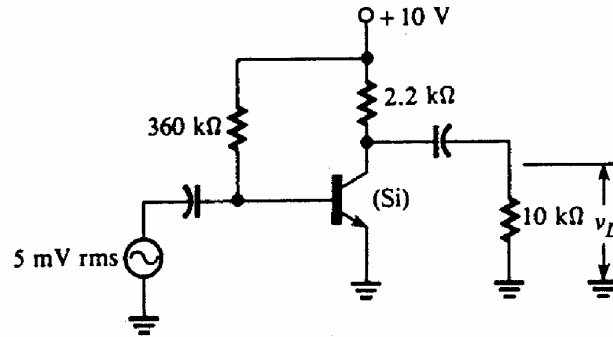
Hình 5 – 44: Mô hình điện dẫn của transistor mắc CE



Thí dụ 5-10

Sử dụng mô hình điện dẫn hình 5-44, hãy xác định áp trên tải trong mạch hình 5-45. giả sử rằng $\beta=80$ và $V_A=140V$.

Hình 5 – 45: (thí dụ 5 – 10)



Giải

$$I_B = \frac{V_{CC} - 0.7}{R_B} = \frac{10 - 0.7}{360 \times 10^3 \Omega} = 25.83 \mu A$$

$$I_Q = I_C = \beta I_B = 2.07 mA \approx I_E$$

$$r_e = \frac{0.026}{I_E} = \frac{0.026}{2.07 \times 10^{-3} A} = 12.56 \Omega$$

$$r_\pi \approx \beta r_e \approx 1 k\Omega$$

Từ phương trình 5 – 74 ,

$$g_m = \frac{I_C}{0.026} = \frac{2.07 \times 10^{-3} A}{0.026} = 79.6 mS$$

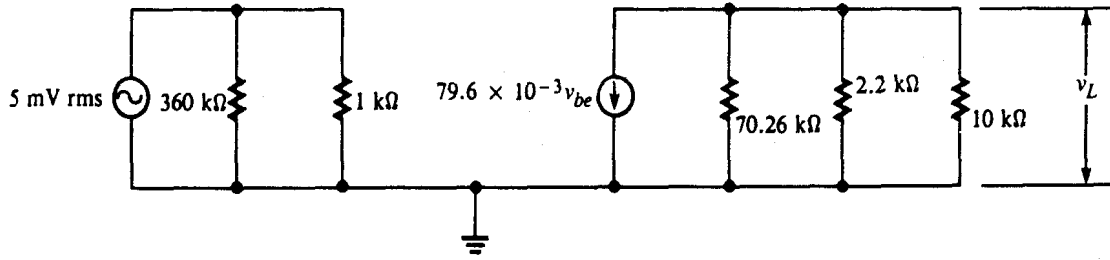
$$V_Q = V_{CC} - I_Q R_C = 10V - (2.07 mA)(2.2 k\Omega) = 5.45V$$

Từ phương trình 5 – 76,

$$r_o = \frac{V_A + V_Q}{I_Q} = \frac{(140 + 5.45)V}{2.07 \times 10^{-3} A} = 70.26 k\Omega$$

Hình 5-46 cho thấy mạch ac tương đương của bộ khuếch đại kết hợp với mô hình điện dẫn. Điện trở ngõ ra tương đương là $(70.26 k\Omega) \parallel (2.2 k\Omega) \parallel (10 k\Omega) \approx (1.8 k\Omega)$. Vì vậy, áp trên tải là:

$$v_L = (79.6 \times 10^{-3} v_{be})(1.8 k\Omega) = (79.6 \times 10^{-3})(5 mV_{rms})(1.8 \times 10^3) = 0.716 V_{rms} .$$



Hình 5 – 46: Mạch ac tương đương của hình 5 – 44 (thí dụ 5 – 10)

Các kết quả của thí dụ trước đã tính được độ lợi áp của bộ khuếch đại là:

$$\frac{v_L}{v_S} = \frac{-0.716V}{5 \times 10^{-3}V} = -143.2$$

dấu trừ chỉ sự ngược pha. Sử dụng phương trình 5-46, tính độ lợi áp dựa trên mô hình chúng ta đã phát triển trước đó, ta có:

$$\frac{v_L}{v_S} \approx \frac{-r_L}{r_e} = \frac{-1.8 \times 10^3}{12.56\Omega} = -143.3$$

BÀI TẬP

Bài 5-1. Một bộ khuếch đại có độ lợi áp là 55 và độ lợi công suất 456.6. Dòng ac ngõ ra là 24.9mA rms và điện trở ac ngõ vào là 200Ω . Tính:

- Độ lợi dòng,
- Giá trị hiệu dụng (rms) của dòng ac ngõ vào,
- Giá trị hiệu dụng (rms) của áp ac ngõ vào,
- Giá trị hiệu dụng (rms) của áp ac ngõ ra,
- Điện trở ac ngõ ra,
- Công suất ngõ ra?

Bài 5-2. Một bộ khuếch đại có độ lợi dòng là 0.95 và độ lợi áp là 100. Áp ac ngõ vào là 120mV rms và điện trở ac ngõ vào là 25Ω . Tính công suất ngõ ra?

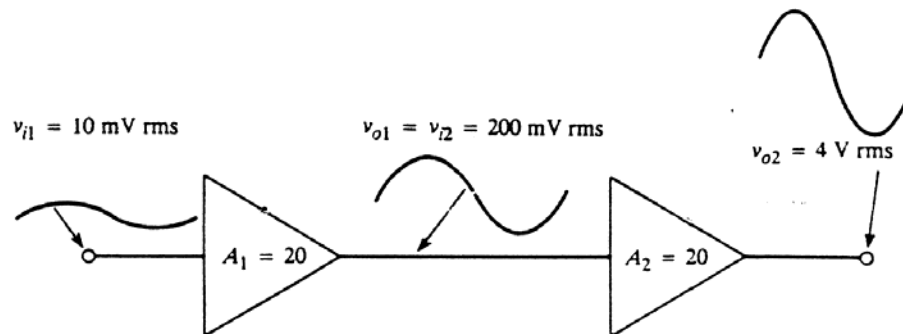
Bài 5-3. Một bộ nguồn tín hiệu nội trở 1.2kΩ được nối với ngõ vào bộ khuếch đại ac. Độ lợi áp của bộ khuếch đại từ ngõ vào đến ngõ ra là 140. Giá trị nhỏ nhất của điện trở ngõ vào bộ khuếch đại là bao nhiêu để độ lợi áp (từ nguồn tín hiệu đến ngõ ra bộ khuếch đại) tối thiểu là 100?

Chương 6: Mạch khuếch đại đa tầng

6.1 Các quan hệ độ lợi trong mạch khuếch đại đa tầng

Trong nhiều ứng dụng, một mạch khuếch đại đơn không thể cho tất cả mọi độ lợi theo yêu cầu của từng loại tải riêng biệt. Ví dụ, một hệ thống loa là một tải “nặng” trong hệ thống khuếch đại âm thanh, nhiều tầng khuếch đại được đặt ra nhằm nâng mức tín hiệu gốc từ microphone hoặc đầu đọc băng từ lên đến mức hiệu quả để có thể cho ra công suất đủ lớn tại loa. Ta đã biết đến các mạch tiền khuếch đại, mạch khuếch đại công suất và mạch khuếch đại ngõ ra, các mạch khuếch đại này đều là các mạch khuếch đại có cấu tạo nhiều tầng trong một hệ thống. Thật ra bản thân mỗi bộ phận này có thể bao gồm nhiều tầng khuếch đại bán dẫn riêng. Các mạch khuếch đại tạo ra độ lợi áp, dòng hay công suất thông qua việc sử dụng từ hai tầng trở lên gọi là mạch khuếch đại đa tầng.

Khi ngõ ra của một tầng khuếch đại được nối với ngõ vào của một tầng khuếch đại khác thì gọi là ghép Cascade



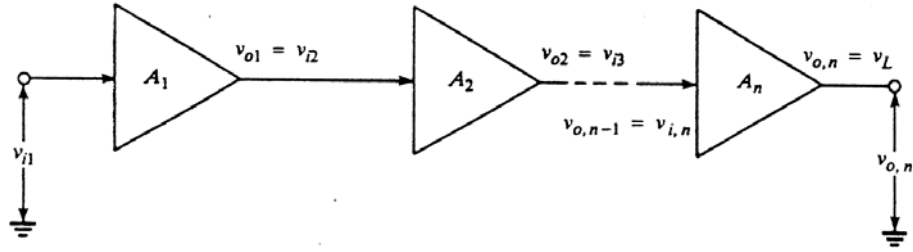
Hình 6.1: Hai tầng khuếch đại ghép cascade

Tổng độ lợi áp của hệ thống được tính như sau: Xem ngõ vào tầng 1 là 10 mV rms và độ lợi áp của mỗi tầng là $A_1=A_2=20$, ngõ ra tầng 1 là $A_1v_{i1}=20(10 \text{ mV rms})= 200 \text{ mV rms}$. Như vậy ngõ vào tầng 2 là 200 mV rms. Tương tự ngõ ra tầng 2 là $A_2v_{i2}=4 \text{ V rms}$. Độ lợi tổng sẽ là:

$$A_v = \frac{v_{o2}}{v_{i1}} = \frac{4Vrms}{10mVrms} = 400$$

chú ý là $A_v = A_1A_2 = (20)(20) = 400$

Hình 6-2 là một hệ thống gồm n tầng ghép Cascade. Ngõ ra của mỗi tầng chính là ngõ vào của tầng kế tiếp ($v_{o1} = v_{i2}$, $v_{o2} = v_{i3}, \dots$). Ta sẽ bắt đầu từ việc biểu diễn độ lợi áp tổng $v_{o,n}/v_{i1}$ theo từng độ lợi tầng A_1, A_2, \dots, A_n . Xem độ lợi mỗi tầng như là giá trị độ lợi áp giữa ngõ vào và ngõ ra của tầng đó khi các tầng được ghép với nhau.



Hình 6.2: *n* tầng khuếch đại được ghép cascade. Áp ngõ ra của mỗi tầng là ngõ vào của tầng kế tiếp

Theo định nghĩa:

$$v_{o1} = A_1 v_{i1} \tag{6-1}$$

$$v_{o2} = A_2 v_{i2} = A_2 v_{o1} \tag{6-2}$$

thay v_{o1} từ (6-1) vào (6-2):

$$v_{o2} = (A_1 A_2) v_{i1} \tag{6-3}$$

Tương tự:

$$v_{o3} = A_3 v_{i3} = A_3 v_{o2}$$

từ (6-3):

$$v_{o3} = (A_1 A_2 A_3) v_{i1}$$

Theo cách này ta tìm được:

$$v_{o,n} = (A_n A_{n-1} \dots \dots \dots A_2 A_1) v_{i1}$$

Từ đó:

$$\frac{v_{o,n}}{v_{i1}} = A_n A_{n-1} \dots \dots \dots A_2 A_1 \tag{6-4}$$

Phương trình 6-4 cho thấy tổng độ lợi áp của *n* tầng cascade là tích độ lợi từng tầng (không phải tổng). Tổng quát, bất kỳ một hay nhiều tầng có độ lợi âm thì tầng đó gây ra một sự đảo pha 180°. Theo phương trình 6-4, mạch khuếch đại cascade sẽ có ngõ ra ở tầng cuối cùng không cùng pha với ngõ vào ở tầng thứ nhất nếu số tầng đảo pha là số lẻ, và cùng pha nếu là số chẵn (hoặc bằng 0).

Để tìm độ lợi áp tổng của hệ thống ghép Cascade theo Decibel, ta bỏ qua dấu đại số của độ lợi mỗi tầng và tính như sau:

$$\begin{aligned} 20 \log_{10} \left(\frac{v_{o,n}}{v_{i1}} \right) &= 20 \log_{10} (A_n A_{n-1} \dots \dots \dots A_2 A_1) \\ &= 20 \log_{10} A_n + 20 \log_{10} A_{n-1} + \dots \dots \dots + 20 \log_{10} A_2 + 20 \log_{10} A_1 \tag{6-5} \\ &= A_n (dB) + A_{n-1} (dB) + \dots \dots \dots + A_2 (dB) + A_1 (dB) \end{aligned}$$

Phương trình 6-5 cho thấy độ lợi áp tổng theo dB là tổng các độ lợi từng phần biểu diễn theo dB. Tương tự ta có thể dễ dàng tìm được độ lợi dòng, độ lợi công suất tổng theo độ lợi các tầng.

Kết quả của phương trình 6-4 không tính đến ảnh hưởng của điện trở nguồn và điện trở tải lên độ lợi áp tổng. Điện trở nguồn r_s tạo ra phân áp ở đầu vào của tầng thứ nhất, và điện trở tải tạo ra phân áp giữa điện trở tải và tổng trở ra của tầng cuối cùng.

Trong trường hợp này, độ lợi áp tổng giữa tải và nguồn tín hiệu trở thành:

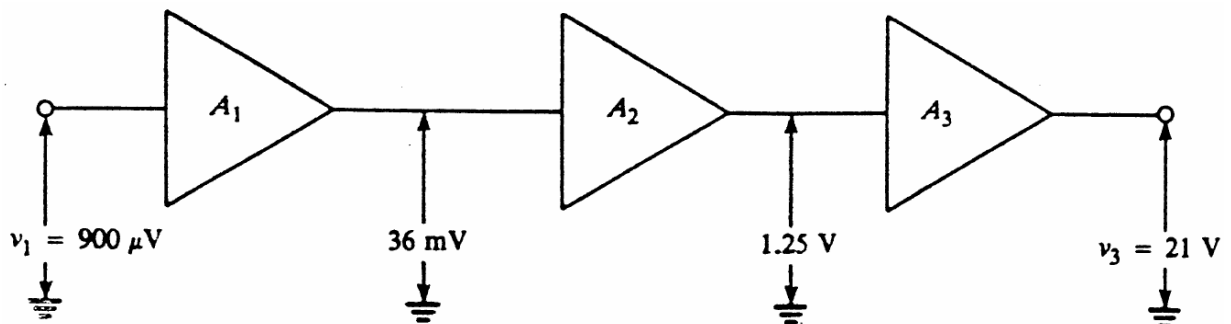
$$\frac{v_L}{v_S} = \left(\frac{r_{i1}}{r_S + r_{i1}} \right) A_n A_{n-1} \dots A_2 A_1 \left(\frac{r_L}{r_{o,n} + r_L} \right) \quad (6-6)$$

Với r_{i1} là điện trở ngõ vào tầng đầu tiên và $r_{o,n}$ là điện trở ngõ ra tầng cuối.

Ví dụ 6-1:

Hình 6-3 là một mạch khuếch đại 3 tầng và điện áp tại các điểm trong mạch khuếch đại là điện áp hiệu dụng AC. Cho v_1 là điện áp nguồn tín hiệu không trở ở đầu vào và v_3 là điện áp ra không tải

1. Tìm độ lợi áp mỗi tầng và độ lợi áp tổng v_3/v_1 .
2. Làm lại câu 1 theo dB
3. Tìm độ lợi áp tổng v_L/v_S khi mạch khuếch đại đa tầng có điện trở nguồn là 2000Ω và điện trở tải là 25Ω . Tầng 1 có điện trở vào là $1k\Omega$ và tầng 3 có điện trở ra là 50Ω .
4. Làm lại câu 3 theo dB với độ lợi áp ở tầng thứ 2 được giảm xuống 6dB.
5. Tính độ lợi công suất theo dB với dữ liệu của câu 3.
6. Tính độ lợi dòng tổng i_L/i_1 ở câu 3.



Hình 6.3: (thí dụ 6 -1)

Giải:

1.

$$A_1 = (36mV)/(900\mu V) = 40$$

$$A_2 = (1.25V)/(36mV) = 34.722$$

$$A_3 = (21V)/(1.25V) = 16.8$$

$$v_3 / v_1 = A_1 A_2 A_3 = (40)(34.722)(16.8) = 23.333$$

Chú ý rằng tích các độ lợi áp bằng độ lợi áp tổng. Trong ví dụ này, có thể tính độ lợi áp tổng trực tiếp: $v_3 / v_1 = (21V) / (900\mu V) = 23.333$.

2.

$$A_1(dB) = 20 \log_{10} 40 = 32.04dB$$

$$A_2(dB) = 20 \log_{10}(34.722) = 30.81dB$$

$$A_3(dB) = 20 \log_{10}(16.8) = 24.51dB$$

$$v_3 / v_1(dB) = A_1(dB) + A_2(dB) + A_3(dB) = 87.36dB$$

Đề ý là $20 \log_{10}(v_3 / v_1) = 20 \log_{10}[21 / 900 \times 10^{-6}] = 20 \log_{10}(23.333) = 87.36dB$

3. Từ phương trình 6-6:

$$\frac{v_L}{v_i} = \left(\frac{1000}{2000 + 1000} \right) (23.333) \left(\frac{25}{50 + 25} \right) = 2592.54.$$

4. Độ lợi áp có nguồn và tải là $20 \log_{10}(2592.5) = 68.27dB$. Do độ lợi tầng 2 giảm đi 6dB nên độ lợi tổng là: $(68.27dB) - (6dB) = 62.27dB$

5. Khi điện trở nguồn là 2000Ω được đưa vào ngõ vào thì v_1 trở thành:

$$v_1 = \left(\frac{1000}{2000 + 1000} \right) (900\mu V) = 300\mu V$$

Công suất ngõ vào là:

$$P_i = \frac{v_i^2}{r_{i1}} = \frac{(300 \times 10^{-6})^2}{1000} = 90 pW$$

Khi đó điện áp qua tải 25Ω là:

$$\begin{aligned} v_L &= v_1 (A_1 A_2 A_3) \left(\frac{R_L}{r_{o3} + R_L} \right) \\ &= (300\mu V)(40)(34.722)(16.8) \left(\frac{25}{50 + 25} \right) = 2.33V \end{aligned}$$

Công suất ngõ ra có tải là

$$P_o = \frac{v_L^2}{R_L} = \frac{(2.33)^2}{25} = 0.217W$$

Cuối cùng:

$$A_v(dB) = 10 \log_{10} \left(\frac{P_o}{P_i} \right) = 10 \log_{10} \left(\frac{0.217}{90 \times 10^{-12}} \right) = 93.82dB$$

6. Nhắc lại $A_p = A_v A_i$. Dùng kết quả câu 5, độ lợi công suất giữa ngõ vào và tầng thứ nhất, và tải là:

$$A_p = \frac{P_o}{P_i} = \frac{0.217}{90 \times 10^{-12}} = 2.14 \times 10^9$$

7. Độ lợi áp giữa ngõ vào và tầng thứ nhất, và tải là:

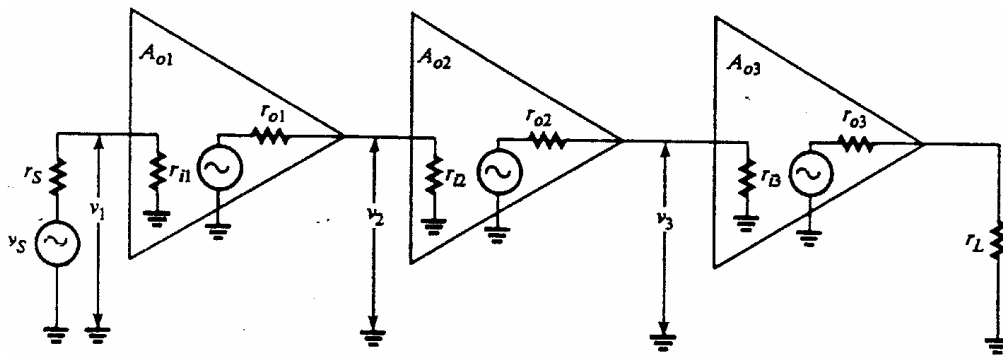
$$A_v = \frac{v_L}{v_1} = \frac{2.33V}{300 \mu V} = 7766$$

Do đó:

$$A_i = \frac{A_p}{A_v} = \frac{2.14 \times 10^9}{7766} = 3.1 \times 10^5$$

Điều quan trọng cần nhớ là phương trình độ lợi ta có được là dựa trên giá trị A_1, A_2, \dots xác định trong mạch, nghĩa là dựa trên các độ lợi tầng khi tất cả các tầng được ghép với nhau. Do đó suy ra rằng mỗi giá trị độ lợi được tính vào tải của tầng trước đó và tải thì tính vào tầng kế tiếp. Nếu biết độ lợi áp hở mạch và giá trị tổng trở vào và ra, ta có thể tính được độ lợi tổng bằng cách tính tác động của tải của mỗi tầng lên các tầng khác. Về mặt lý thuyết, tải của một tầng cho trước phụ thuộc vào tất cả các tầng nằm bên phải nó, tổng trở vào của một tầng bất kỳ phụ thuộc vào tổng trở tải ngõ ra của nó cũng là tổng trở vào của tầng tiếp theo. Trong thực tế, ta có thể bỏ qua tác động tải tích lũy của các tầng ngoại trừ một tầng ghép ngay với tầng đang xét, hoặc giả sử rằng điện trở vào là tải của một tầng kế cận.

Hình 6-4 là một mạch khuếch đại 3 tầng, cho trước độ lợi áp hở mạch của các tầng là A_{o1}, A_{o2} , và A_{o3} , điện trở vào và ra của mỗi tầng.



Hình 6.4: Một bộ khuếch đại 3 tầng. A_{o1}, A_{o2} , và A_{o3} là 3 độ lợi áp hở mạch (không tải) của các tầng

Phân áp tại các nút trong hệ thống ta có:

$$v_1 = \left(\frac{r_{i1}}{r_s + r_{i1}} \right) v_s$$

Kết hợp lại ta có:

$$v_2 = A_{o1} v_1 \left(\frac{r_{i2}}{r_{o1} + r_{i2}} \right) \tag{6-7}$$

$$v_3 = A_{o2} v_2 \left(\frac{r_{i3}}{r_{o,2} + r_{i3}} \right)$$

$$v_L = A_{o3} v_3 \left(\frac{r_L}{r_{o,3} + r_L} \right)$$

Kết hợp các mối quan hệ này, ta có:

$$\frac{v_L}{v_S} = \left(\frac{r_{i1}}{r_S + r_{i1}} \right) A_{o1} \left(\frac{r_{i2}}{r_{o,1} + r_{i2}} \right) A_{o2} \left(\frac{r_{i3}}{r_{o,2} + r_{i3}} \right) A_{o3} \left(\frac{r_L}{r_{o,3} + r_L} \right)$$

Phương trình 6-7 cho thấy độ lợi áp tổng của mạch khuếch đại đa tầng là phép nhân độ lợi hở mạch với tỷ số phân áp tính vào tải của mỗi tầng. Chú ý rằng tỷ số phân áp tính cho tải giữa các cặp tầng khuếch đại. Nói cách khác, không được tính hiệu ứng tải hai lần: một lần xem điện trở vào như là tải của tầng trước đó và lần thứ hai lại xem điện trở ra của tầng trước đó là điện trở nguồn của tầng tiếp theo.

Ví dụ 6-2:

Độ lợi áp hở mạch của mạch khuếch đại 3 tầng và các giá trị điện trở vào, ra được cho trong bảng 6-1. Nếu 3 tầng ghép Cascade và tầng thứ nhất có nguồn tín hiệu 10mV rms, điện trở nguồn là 12k, tính điện áp qua tải 12Ω ghép vào ngõ ra của tầng thứ 3.

Tầng khuếch đại	Độ lợi áp không tải (dB)	Điện trở ngõ vào (kΩ)	Điện trở ngõ ra (kΩ)
1	24	10	4.7
2	20	20	1.5
3	12	1.5	0.02

Bảng 6.1: (Thí dụ 6 – 2)

Giải:

$$20 \log_{10} A_{o1} = 24$$

$$\log_{10} A_{o1} = 1.2$$

$$A_{o1} = \text{anti log}(1.2) = 15.85$$

Tương tự:

$$A_{o2} = \text{anti log}(1) = 10$$

$$A_{o3} = \text{anti log}(0.6) = 3.98$$

Từ phương trình 6-7:

$$\frac{v_L}{v_S} = \left(\frac{10k\Omega}{12k\Omega + 10k\Omega} \right) 15.85 \left(\frac{20k\Omega}{4.7k\Omega + 20k\Omega} \right) 10 \left(\frac{1.5k\Omega}{1.5k\Omega + 1.5k\Omega} \right)$$

$$X(3.98) \left(\frac{12k\Omega}{20k\Omega + 12k\Omega} \right) = 43.53$$

Do vậy:

$$v_L = 43.53v_S = 43.53(10mV_{rms}) = 0.4353V_{rms}$$

Đáp ứng tần số của các tầng ghép Cascade

Tần số cắt thấp của một tầng khuếch đại đơn chịu ảnh hưởng của không nhiều hơn 3 điểm gãy tần số khác nhau, có giá trị dựa trên các thành phần RC thay đổi trong mạch. Nếu các điểm gãy tần số có giá trị không gần nhau ta có thể xem như tần số cắt thấp thực tế trong mạch xấp xỉ bằng với điểm gãy tần số lớn nhất. Tương tự, xem tần số cắt trên xấp xỉ với điểm gãy tần số nhỏ nhất ảnh hưởng tới đáp ứng tần số trong mạch. Áp dụng tương tự với các tầng khuếch đại Cascade. Nếu tần số cắt thấp của các tầng riêng lẻ không gần nhau thì tần số cắt thấp chung của cả mạch bằng tần số cắt thấp lớn nhất của các tầng. Nếu tần số cắt cao của các tầng riêng lẻ không gần nhau thì tần số cắt cao chung của cả mạch bằng tần số cắt cao nhỏ nhất của các tầng.

Trong thực tế, một mạch khuếch đại đa tầng có thể có một vài điểm gãy tần số thấp bằng nhau, tương tự đối với tần số cao. Trong trường hợp này, tính tần số cắt thấp và cắt cao của một mạch khuếch đại đa tầng là một vấn đề phức tạp. Tần số cắt phải được xác định bằng thực nghiệm thông qua một chương trình máy tính tính toán đáp ứng tần số chung.

Trong các trường hợp đặc biệt khi tất cả các tầng có tần số cắt thấp, cắt cao xác định, thì tần số cắt chung là

$$f_{1(overall)} = \frac{f_1}{\sqrt{2^{1/n} - 1}} \quad (6-8)$$

$$f_{2(overall)} = f_1 \sqrt{2^{1/n} - 1} \quad (6-9)$$

Trong đó:

$f_{1(overall)}$ = Tần số cắt thấp chung của mạch đa tầng

$f_{2(overall)}$ = Tần số cắt cao chung của mạch đa tầng

n = Số tầng có tần số cắt thấp và/hay cao xác định

f_1 = Tần số cắt thấp của mỗi tầng

f_2 = Tần số cắt cao của mỗi tầng

Bảng 6-2 là giá trị của $f_{1(overall)}$ và $f_{2(overall)}$ theo f_1 và f_2 , với n có giá trị từ 1 đến 5. Chú ý rằng số tầng khuếch đại càng nhiều, tần số cắt thấp càng lớn và tần số cắt cao càng nhỏ. Nói cách khác, các tầng khuếch đại ghép Cascade có đáp ứng tần số xác định làm giảm băng thông chung của cả mạch. Khi n tầng có đáp ứng tần số xác định ghép Cascade, thì đáp ứng tần số chung của cả mạch sẽ giảm tiệm cận với đường dốc $20n$ dB/decade ($6n$ dB/octave) tại tần số nằm ngoài khoảng băng thông giữa. Các điểm tần số gãy trong mọi trường hợp đều bằng với tần số cắt của một tầng đơn.

Số tầng	f_1 (tổng)	f_2 (tổng)
1	f_1	f_2
2	$1.55 f_1$	$0.64 f_2$
3	$1.96 f_1$	$0.51 f_2$
4	$2.30 f_1$	$0.43 f_2$
5	$2.59 f_1$	$0.39 f_2$

Bảng 6 – 2: Tần số cắt thấp và cắt cao của một bộ khuếch đại n tầng, mỗi tầng có tần số cắt thấp f_1 và tần số cắt cao f_2

Ví dụ 6-3:

Một mạch khuếch đại âm thanh 4 tầng có tần số cắt thấp chung và tần số cắt cao chung là 20Hz và 20kHz. Tính tần số cắt cao và tần số cắt thấp của mỗi tầng.

Giải:

Từ bảng 6-2, với $n=4$, $2.3f_1=20$ và $0.43f_2=20.103$. Do đó, $f_1= 20/2.3=8.7\text{Hz}$, và $f_2=20.103/0.43=46.5\text{kHz}$. Như vậy, mỗi tầng phải có băng thông xấp xỉ 46kHz mới đạt được băng thông chung vào khoảng 20kHz

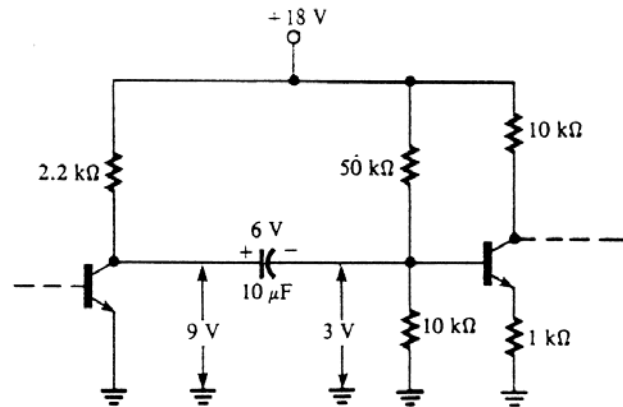
6.2 Các phương pháp ghép

Lý thuyết mạch kết nối ngõ ra của một tầng trong một mạch khuếch đại đa tầng và ngõ vào của tầng kế tiếp gọi là phương pháp mắc hay nối mạch. Trong chương trước ta đã đến phương pháp mắc tụ gọi là ghép RC vì lý thuyết mạch liên tầng tương đương với mạch RC thượng thông. Trong chương này ta sẽ xét thêm hai cách mắc mạch khác là mắc trực tiếp và mắc biến thế.

Mục tiêu của cách ghép RC là để hạn dòng dc. Thông thường cần phải hạn dòng DC giữa ngõ vào của một mạch khuếch đại và tín hiệu nguồn cũng như giữa ngõ ra và tải. Tương tự, cách ghép RC dùng để hạn dòng DC giữa ngõ ra của một tầng khuếch đại và ngõ vào của tầng kế tiếp. Ghép điện dung vào giữa các tầng khuếch đại làm cho nó có khả năng có điện áp phân cực tại ngõ ra của 1 tầng khác với điện áp phân cực tại ngõ vào của tầng kế tiếp. Ý tưởng này được mô tả trong hình 6-5, ngõ ra của một tầng khuếch đại nối với ngõ vào của của một tầng khác thông qua ghép tụ.

Cực C của tầng 1 là 9V và cực B của tầng 2 là 3V. Điện áp làm việc của tụ là $9-3=6\text{V}$.

Hình 6-5: Tụ được sử dụng trong phương pháp ghép RC có thể làm thay đổi áp phân cực tĩnh các tầng khuếch đại. Chú ý rằng áp trên tụ điện là 6V và cực dương của nó được nối với phân cực dương hơn (9V).



Ghép tụ cho phép dòng tín hiệu ac đi qua các tầng, tạo tần số đủ cao để giữ cho giá trị điện kháng nhỏ. Khuyết điểm của cách ghép RC là nó tác động đến đáp ứng tần số thấp của mạch khuếch đại nên đôi khi ta phải chọn một giá trị điện dung lớn không thực tế và một tần số cắt thấp nhỏ vô lý. Ghép RC không dùng trong mạch tích hợp vì nó khó và không kinh tế để chế tạo tụ điện trên chip.

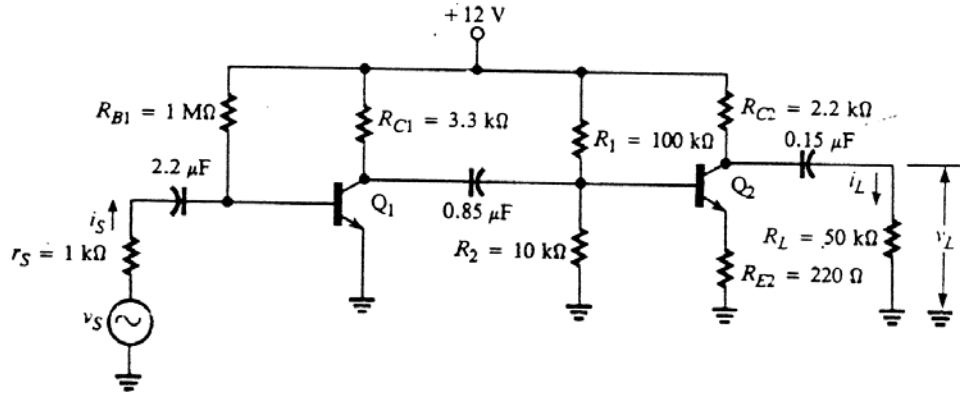
Ghép nối tiếp là cách ghép mà ngõ ra của một tầng được ghép trực tiếp với ngõ vào của tầng kế tiếp. Nói cách khác, cả áp AC và DC tại ngõ ra của một tầng là xác định so với các giá trị đó tại ngõ vào của tầng kế tiếp. Rõ ràng trong mọi trường hợp, áp DC tại ngõ ra của một tầng tạo ra một thay đổi nhất định trong áp DC tại ngõ vào của tầng tiếp theo. Do đó mạch khuếch đại ghép trực tiếp hoạt động giống mạch khuếch đại dòng nối tiếp. Trong chương này ta sẽ xét một số ví dụ của các mạch khuếch đại ghép trực tiếp rời rạc.

Một phương pháp nữa là ghép tín hiệu ac từ một tầng sang tầng khác mà vẫn duy trì cách ly DC giữa chúng thông qua một biến áp. Cuộn sơ cấp của biến áp ở ngõ ra của một tầng và cuộn thứ cấp ở ngõ vào của tầng kế tiếp. Theo cách này, tín hiệu ac đi qua mà không bị ảnh hưởng của dòng dc. Ưu điểm của ghép biến áp bao gồm cả việc triệt tiêu DC lẫn khả năng thiết kế một tỷ số biến áp cho công suất chuyển đổi giữa các tầng là cực đại. Ta cũng tìm hiểu một số ví dụ về việc sử dụng kết hợp với các TST lưỡng cực. Khuyết điểm của ghép biến áp là kích thước và chi phí của máy biến áp và đặc điểm đáp ứng tần số kém. Độ tự cảm biến áp và số vòng dây có xu hướng làm giảm băng thông sử dụng được của các mạch khuếch đại này. Tuy nhiên, nó thường được sử dụng trong các ứng dụng có băng thông hẹp như các mạch khuếch đại âm tần.

6.3 Mạch khuếch đại BJT ghép RC

Ví dụ 6-4:

Hình 6-6 là hai tầng khuếch đại E-C, tụ ghép. Tín hiệu AC ở ngõ ra của tầng thứ nhất (cực C của Q1) được ghép với ngõ vào của tầng thứ hai (cực B của Q2) thông qua một tụ 0.85μF. Giả sử BJT lý tưởng có $\beta=100$, $r_c=1M$, $r_e=25$, xác định tín hiệu nhỏ, độ lợi áp và độ lợi dòng giải giữa?



Hình 6-6: (Thí dụ 6 – 4)

Giải:

1. Điện trở vào của tầng thứ nhất là:

$$r_{in}(stage1) = R_{B1} \parallel \beta r_e = (1\text{M}\Omega) \parallel (2.5\text{k}\Omega) \approx 2.5\text{k}\Omega$$

Điện trở ra của tầng thứ nhất (tại cực C của Q1):

$$r_o(stage1) = R_{C1} \parallel (r_c / \beta) = (3.3\text{k}\Omega) \parallel [(1\text{k}\Omega) / 100] = 2.48\text{k}\Omega$$

Độ lợi áp không tải của tầng thứ nhất:

$$A_{v1} = \frac{-r_o(stage1)}{r_e} = \frac{-2.48\text{k}\Omega}{25\Omega} = -99.2$$

Điện trở vào tầng thứ 2:

$$\begin{aligned} r_{in}(stage2) &= R_1 \parallel R_2 \parallel \beta(r_e + R_{E2}) = (100\text{k}\Omega) \parallel (10\text{k}\Omega) \parallel (100[(25\Omega) + (220\text{k}\Omega)]) \\ &= (9.09\text{k}\Omega) \parallel (24.5\text{k}\Omega) = 6.63\text{k}\Omega \end{aligned}$$

Điện trở ra của tầng thứ 2 (tại cực C của Q2):

$$r_o(stage2) = R_{C2} \parallel (r_c / \beta) = (2.2\text{k}\Omega) \parallel (1\text{M}\Omega) / 100 = 148\text{k}\Omega$$

Độ lợi áp không tải của tầng thứ 2:

$$A_{v2} = \frac{-r_o(stage2)}{r_e} = \frac{-1.8\text{k}\Omega}{(220\Omega) + (25\Omega)} = -7.35$$

Mạch khuếch đại hai tầng bây giờ được biểu diễn như hình 6-7. Trong hình này không có tụ điện vì ta đang xét hoạt động ở dải tần giữa. Từ phương trình 6-7 ta tìm được:

$$\frac{v_L}{v_S} = \left[\frac{2.5\text{k}\Omega}{(1\text{k}\Omega) + (2.5\text{k}\Omega)} \right] (-99.2) \left[\frac{6.63\text{k}\Omega}{(2.48\text{k}\Omega) + (6.63\text{k}\Omega)} \right] (-7.35) X \left[\frac{50\text{k}\Omega}{(1.8\text{k}\Omega) + (50\text{k}\Omega)} \right] = 365.85$$

Giá trị dương cho thấy v_L cùng pha với v_S

Cách khác để tìm độ lợi áp chung là tìm độ lợi áp A_1, A_2 có tải và tính điện trở tải ac r_L của mỗi tầng:

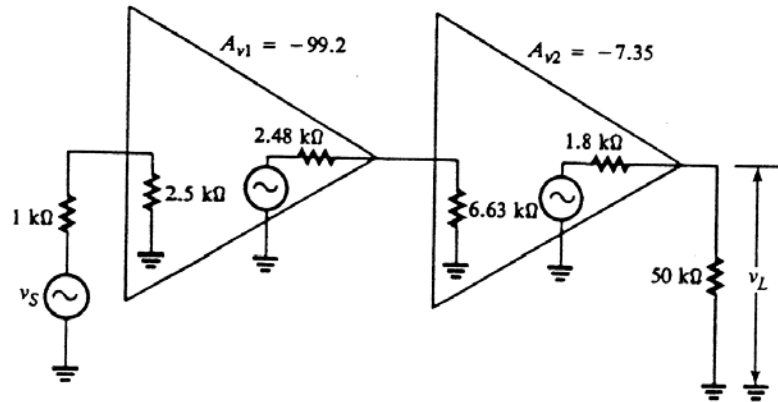
$$r_L(\text{stage1}) = r_o(\text{stage1}) \parallel r_{in}(\text{stage2}) = (2.48k\Omega) \parallel (6.63k\Omega) = 1.8k\Omega$$

$$r_L(\text{stage1}) = r_o(\text{stage1}) \parallel R_L = (1.8k\Omega) \parallel (50k\Omega) = 1.74k\Omega$$

Độ lợi áp có tải là:

$$A_1 \approx \frac{-r_{L1}}{r_e} = \frac{-1.8k\Omega}{25\Omega} = -72$$

$$A_2 = \frac{-r_{L2}}{r_e + R_{E2}} = \frac{-1.74k\Omega}{(25\Omega) + (220\Omega)} = -7.1$$



Hình 6-7: (Thí dụ 6 – 4) Bộ khuếch đại 2 tầng của hình 6 – 6

Khi đó, độ lợi áp chung là:

$$\frac{v_L}{v_S} = \left[\frac{r_{in}(\text{stage1})}{r_{in}(\text{stage1}) + r_S} \right] A_1 A_2 = \left[\frac{2.5k\Omega}{(2.5k\Omega) + (1k\Omega)} \right] (-72)(-7.1) = 365.1$$

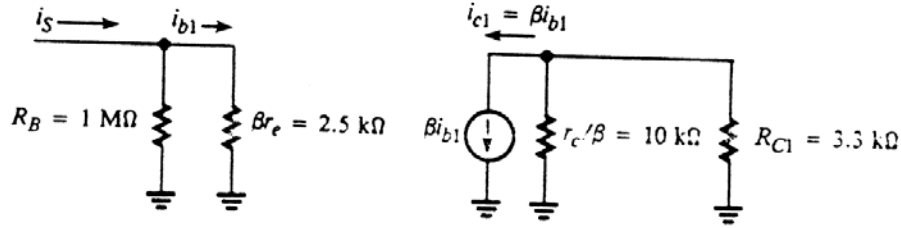
Bỏ qua sai số do làm tròn thì cách này cũng cho kết quả tương tự.

2. Để xác định độ lợi dòng cả mạch, ta đưa về mạch tương đương tín hiệu nhỏ, và tìm dòng ac chạy trong mạch khuếch đại. Áp dụng luật phân dòng tại mỗi nút để xác định dòng qua tải. Hình 6-8 là mạch tương đương tín hiệu nhỏ của tầng thứ nhất. Áp dụng luật phân dòng ở phía đầu vào của tầng thứ nhất trong hình 6-8 ta có:

$$i_{b1} = \left[\frac{1M\Omega}{(2.5k\Omega) + (1M\Omega)} \right] i_S = 0.9975i_S$$

Kết quả này cho thấy mọi dòng điện từ nguồn đều đổ vào cực base của Q1. Tại ngõ ra của tầng thứ nhất ta có:

$$i_{c1} = \beta i_{b1} = 100i_{b1} = 100(0.9975i_S) = 99.75i_S$$



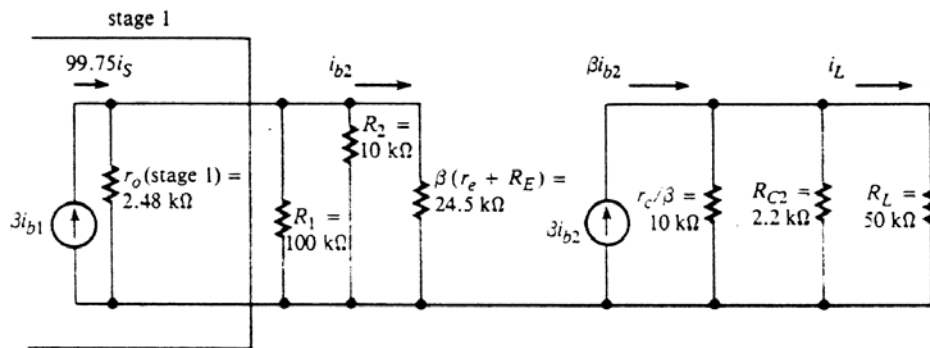
Hình 6-8: (Thí dụ 6 – 4) Mạch tương đương tín hiệu nhỏ cho tầng đầu tiên của bộ khuếch đại trong hình 6 – 6. Mạch này được dùng để tính dòng i_{b1} theo i_s .

Để tìm βi_{b1} đổ vào cực base của Q_2 ta phải xét tất cả các nhánh song song trong mạch trong mạch liên tầng giữa Q_1 và Q_2 . Hình 6-9 là mạch tương đương của tầng thứ 2 và ngõ ra của tầng thứ 1. chú ý rằng r_o song song với r_c/β và R_{C1} và khối này lại song song với R_1 và R_2 tại ngõ vào tầng thứ 2. Tổng trở tương đương tại ngõ vào của Q_2 là:

$$r_{SH} = r_o(\text{stage 1}) \parallel R_1 \parallel R_2 = (2.48k\Omega) \parallel (100k\Omega) \parallel (10k\Omega) = 1.95k\Omega$$

Dòng i_{b2} vào cực base của Q_2 theo quy tắc phân dòng là:

$$i_{b2} = 99.75i_s \left[\frac{r_{SH}}{r_{SH} + \beta(r_e + R_E)} \right] = 99.75i_s \left[\frac{1.95k\Omega}{(1.95k\Omega) + (24.5k\Omega)} \right] = 7.35i_s$$



Hình 6-9: (Thí dụ 6 – 4) Mạch tương đương tín hiệu nhỏ của ngõ ra tầng 1 được nối với tầng 2. Mạch này được sử dụng tính i_L theo i_s .

Suy hao dòng trong mạch liên tầng là do các nhánh rẽ xuống mass: chưa tới 1/10 i_{c1} tới được cực base của Q_2 .

$$i_{c2} = \beta i_{b2} = 100(7.35i_s) = 735i_s$$

Do R_{C2} , r_c/β và R_L song song nên:

$$i_L = \beta i_{b2} \left[\frac{(r_c / \beta) \parallel R_{C2}}{R_L + (r_c / \beta) \parallel R_{C2}} \right] = \left[\frac{(10k\Omega) \parallel (2.2k\Omega)}{(50k\Omega) + (10k\Omega) \parallel (2.2k\Omega)} \right] 735 i_S$$

$$= \left(\frac{1.8k\Omega}{51.8k\Omega} \right) 735 i_S = 25.54 i_S$$

Độ lợi dòng từ nguồn tới tải là:

$$\frac{i_L}{i_S} = 25.54$$

Ví dụ này cho thấy độ lợi dòng của mạch khuếch đại BJT hai tầng có thể tìm được bằng tương quan sau:

$$\frac{i_L}{i_S} = \left(\frac{R_{B1}}{r_{in1} + R_{B1}} \right) \beta_1 \left(\frac{r_{SH}}{r_{SH} + r_{in2}} \right) \beta_2 \left[\frac{r_o(\text{stage2})}{R_L + r_o(\text{stage2})} \right] \quad (6-10)$$

Trong đó:

r_{in1}, r_{in2} = điện trở nhìn từ ngõ vào của Q_1 và Q_2

$r_{SH} = r_o(\text{stage 1}) \parallel R_{B2}$

R_{B1}, R_{B2} = tổng trở tương đương ngõ vào của tầng 1 và 2

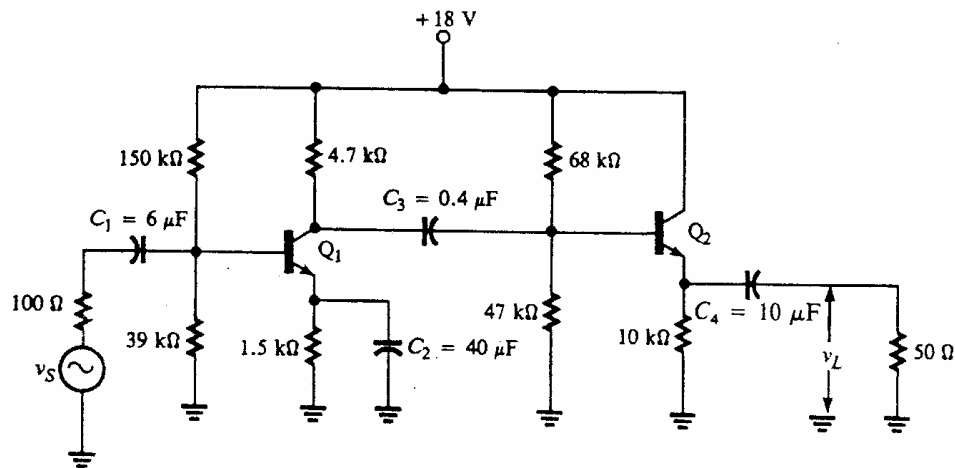
Ví dụ 6-5

Hình 6-10 là mạch khuếch đại đa tầng gồm có một tầng EC và một tầng E chung. Transistor có các giá trị sau:

$Q_1 : r_{e1} = 15\Omega, \beta_1 = 180, r_o \approx \infty$

$Q_2 : r_{e2} = 40\Omega, \beta_2 = 100$

Độ lợi áp dải giữa v_L/v_S và tần số cắt thấp.



Hình 6-10: (Thí dụ 6 – 5)

Giải:

1. Điện trở cực E ở tầng 1 được bỏ qua do tác dụng của tụ nên điện trở vào của tầng thứ nhất là:

$$r_{in}(stage1) = R_1 \parallel R_2 \parallel \beta_1 r_{e1} = (150k\Omega) \parallel (39k\Omega) \parallel (180)(15k\Omega) = 2.48k\Omega$$

Điện trở ra của tầng thứ nhất, coi $r_{o1} = \infty$ là:

$$r_o(stage1) = r_{o1} \parallel R_{C1} \approx R_{C1} = 4.7k\Omega$$

độ lợi áp không tải tầng thứ nhất là:

$$A_{v1} \approx \frac{-R_{c1}}{r_{e1}} = \frac{-4.7k\Omega}{15\Omega} = -313.3$$

Tải của tầng thứ hai là $r_L = (10K) // (50) = 50$, nên tổng trở vào tầng 2 là:

$$\begin{aligned} r_{in}(stage2) &= R1 \parallel R2 \parallel \beta_2(r_{e2} + r_L) \\ &= (68k\Omega) \parallel (47k\Omega) \parallel (100)[(40\Omega) + (50\Omega)] = 6.8k\Omega \end{aligned}$$

Chú ý rằng tác dụng của điện trở phân cực 68K lên độ lợi của mạch khuếch đại khi ta xét đến phân áp giữa tầng thứ nhất và tầng thứ 2. Do vậy ta không tính đến tác dụng phân áp tại ngõ ra của mạch E chung. Nghĩa là ta bỏ qua giá trị $R_B // r_s / (\beta + 1)$ trong phương trình tính tổng trở ra của tầng thứ 2. Tổng trở ra của tầng thứ 2 chỉ bao gồm $R_E // r_{e2} = 10K // 40 \approx 40$.

Độ lợi áp không tải ở tầng 2 là:

$$A_{v2} = \frac{R_E}{r_{e2} + R_E} = \frac{10k\Omega}{(40\Omega) + (10k\Omega)} = 0.996$$

Hình 6-6 là mạch khuếch đại 2 tầng tương đương.

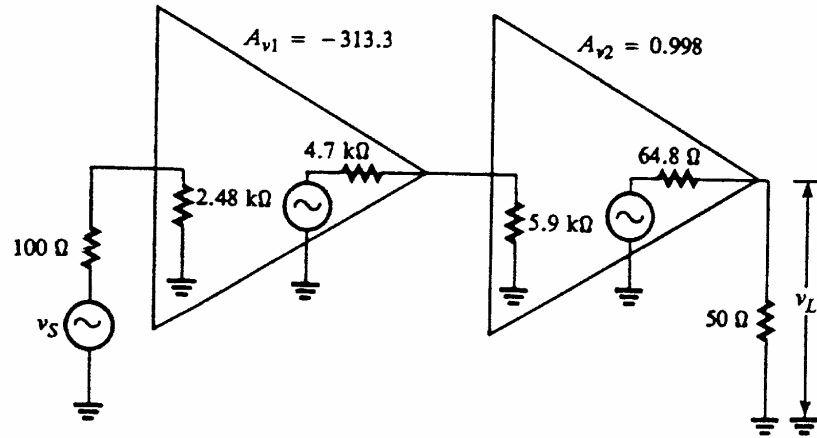
$$\begin{aligned} \frac{v_L}{v_S} &= \left[\frac{2.48k\Omega}{(100k\Omega) + (2.48k\Omega)} \right] (-313.3) \left[\frac{6.8k\Omega}{(4.7k\Omega) + (6.8k\Omega)} \right] \\ &X(0.996) \left[\frac{50\Omega}{(40\Omega) + (50\Omega)} \right] = -98.46 \end{aligned}$$

Điện áp tải ngược pha với điện áp nguồn. Tính lại độ lợi có tải và xác định rằng độ lợi cả mạch có giá trị như đã tìm được ở trên.

2. Để tìm tần số cắt thấp ta phải tìm tần số gãy theo các tụ C_1, C_2, C_3 và C_4 trong hình 6-10. Từ phương trình 10-16,

$$f_1(C_1) = \frac{1}{2\pi[r_{in}(stage1) + r_s]C_1} = \frac{1}{2\pi(2.48 \times 10^3 + 100)6 \times 10^{-6}} = 10.3Hz$$

$$f_1(C_2) = \frac{1}{2\pi R_e C_E}$$



Hình 6-6: Mạch tương đương của bộ khuếch đại 2 tầng trong hình 6 – 10

Trong đó, $C_E = C_2 = 40\mu F$ và:

$$R_e = R_E \left\| \left(\frac{r_S \parallel R_B}{\beta_1} + r_{e1} \right) \right\| = (1.5 \times 10^3) \left\| \left[\frac{100 \parallel (150 \times 10^3) \parallel (39 \times 10^3)}{180} + 15 \right] \right\| \approx 15\Omega$$

Do đó:

$$f_1(C_2) = \frac{1}{2\pi(15)(40 \times 10^{-6})} = 265.3\text{Hz}$$

Để tìm tần số gây theo C_3 ta xem r_o (tầng 1) như là điện trở nguồn và r_{in} (tầng 2) như là điện trở tải.

$$\begin{aligned} f_1(C_3) &= \frac{1}{2\pi[r_o(\text{stage1}) + r_{in}(\text{stage2})]C_3} \\ &= \frac{1}{2\pi(4.7 \times 10^3 + 6.8 \times 10^3)(0.4 \times 10^{-6})} = 34.6\text{Hz} \end{aligned}$$

Để tìm tần số cắt thấp theo tụ ghép C_4 $10\mu F$ ở ngõ ra ta phải tính r_o (stage 2) và có tính đến điện trở phân cực $68K\Omega$ và $47K\Omega$.

$$r_o(\text{stage2}) = R_{e2} = R_{E2} \left\| \left(\frac{r_S \parallel R_{B2}}{\beta_2} + r_{e2} \right) \right\|$$

Trong đó:

$$R_{B2} = 68k\Omega \parallel 47k\Omega = 27.8k\Omega$$

$$r_S = r_o(\text{stage1}) = 4.7k\Omega$$

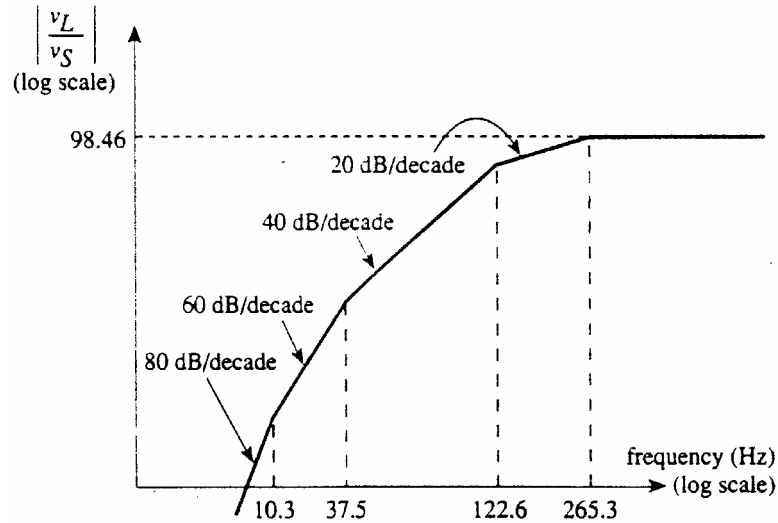
$$r_o(\text{stage2}) = 10k\Omega \left\| \left(\frac{4.7 \times 10^3 \parallel 27.8 \times 10^3}{100} + 40\Omega \right) \right\| = 79.8\Omega$$

Cuối cùng,

$$f_1(C_4) = \frac{1}{2\pi[r_o(\text{stage2}) + R_L]C_4} = \frac{1}{2\pi(79.8 + 50)(10 \times 10^{-6})} = 122.6\text{Hz}$$

Trong ví dụ này tần số gãy lớn nhất là $f_1(C_2)=265.3$ Hz và $f_1(C_4)=122.6$ Hz. Ta có thể kết luận tần số cắt thấp của mạch phải lớn hơn tần số lớn hơn là 265.3 Hz, nhưng do 2 tần số không đủ cách xa nhau để có thể nói $f_1 = 265.3$ Hz. f_1 phải có giá trị nào đó lớn hơn 265.3 Hz. Để tính giá trị này rất phức tạp. Trong ví dụ này f_1 thực tế là 330 Hz

Hình 6-12 là phác hoạ giản đồ Bode. Chú ý rằng độ lợi giảm xuống với một tỷ lệ tăng theo 20dB/decade phía dưới tần số gãy đã tìm được trong ví dụ trên.

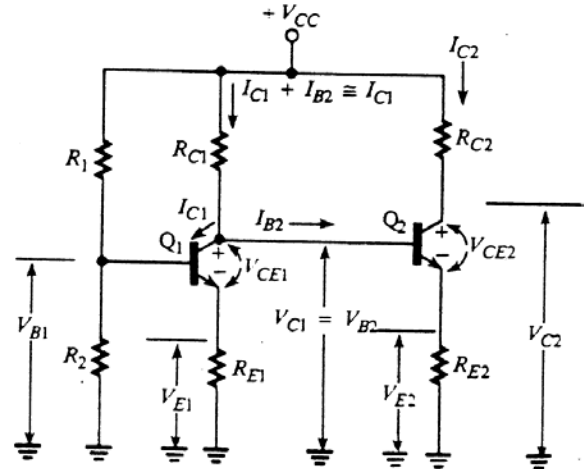


Hình 6-12: Biểu đồ Bode của độ lợi mạch khuếch đại đa tầng trong hình 6 – 10. Chú ý đường tiệm cận tăng độ dốc mỗi đoạn 20dB/decade tại các tần số gãy.

6.4 Mạch khuếch đại BJT ghép trực tiếp

Trong chương 6 đã đề cập đến phương pháp phản ánh dòng để loại trừ tụ ghép trong mạch tích hợp. Hình 6-14 là ví dụ của mạch khuếch đại ghép trực tiếp sử dụng các phương pháp phân cực thông thường. Ngõ ra của tầng thứ nhất (cực thu Q_1) được ghép trực tiếp vào ngõ vào của tầng thứ 2 (cực nền Q_2). Trước tiên, phân tích phân cực DC của mạch rồi xét đến đáp ứng AC. Dòng qua R_{C1} là tổng của I_{C1} và I_{B2} . Để đơn giản hoá ta xem như I_{B2} nhỏ hơn đáng kể so với I_{C1} .

Hình 6-14: Các tầng khuếch đại CE ghép trực tiếp dùng các phương pháp thông thường



Giả sử tầng thứ 1 xác lập, điện áp cực base V_{B1} xác định theo phân áp R_1 - R_2 như sau:

$$V_{B1} \approx \left(\frac{R_2}{R_1 + R_2} \right) V_{CC} \quad (6-12)$$

Ta cũng có:

$$V_{E1} \approx V_{B1} - 0.7 \quad (6-13)$$

Khi đó, $I_{C1} = I_{E1} = V_{E1} / R_{E1}$. Với giả thiết I_{B2} không đáng kể so với I_{C1} , dòng qua R_{C1} là: $I_{C1} + I_{B2} \approx I_{C1}$, do đó điện áp tĩnh giữa cực C và mass là:

$$V_{C1} \approx V_{CC} - I_{C1} R_{C1} \quad (6-14)$$

Giá trị tĩnh của V_{CE1} là: $V_{CE1} = V_{C1} - V_{E1}$ (6-15)

Vì $V_{C1} = V_{B2}$ nên:

$$V_{E2} = V_{C1} - 0.7 \quad (6-16)$$

Nên $I_{C2} \approx I_{E2} = V_{E2} / R_{E2}$ và điện áp tĩnh cực thu ở tầng 2 là:

$$V_{C2} = V_{CC} - I_{C2} R_{C2} \quad (6-17)$$

$$V_{CE2} = V_{C2} - V_{E2} \quad (6-18)$$

Phân tích DC hoàn toàn không phức tạp, chỉ việc áp dụng nguyên tắc phân cực đã học. Điểm quan trọng cần chú ý là $V_{C1} = V_{B2}$. Phân tích độ lợi AC cũng dễ hiểu.

Độ lợi áp của tầng 1 là:

$$A_{v1} = \frac{-r_o(\text{stage1}) \parallel r_{in}(\text{stage2})}{r_{e1} + R_{E1}} \quad (6-19)$$

trong đó, $r_o(\text{stage 1}) \approx R_{C1}$ và $r_{in}(\text{stage 2}) \approx \beta_2(r_{e2} + R_{E2})$. Độ lợi áp tầng 2 là:

$$A_{v2} \approx \frac{-r_o(\text{stage2})}{r_{e2} + R_{E2}} \approx \frac{-R_{C2}}{r_{e2} + R_{E2}} \quad (6-20)$$

Độ lợi cả mạch là:

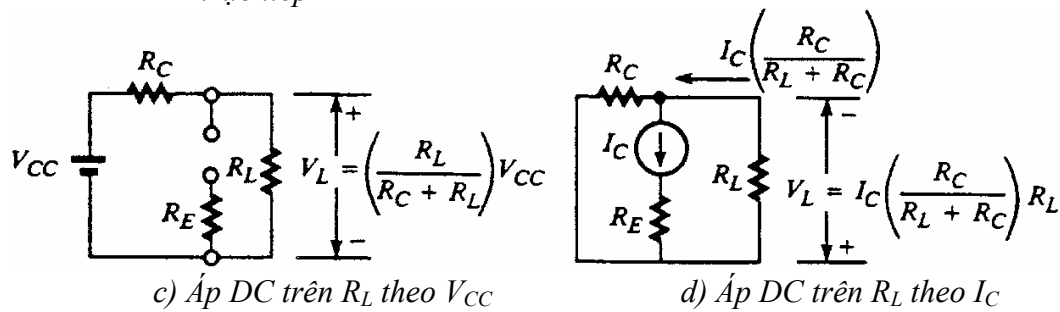
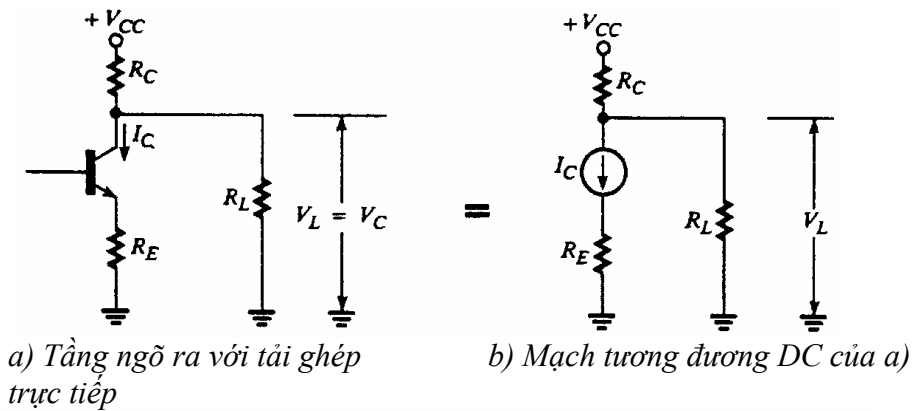
$$A_{v(\text{overall})} = A_{v1} A_{v2} \quad (6-21)$$

Nếu tải được ghép trực tiếp giữa ngõ ra (cực C của Q₂) và mass thì tải AC ở tầng 2 là $r_L = R_{C2} // R_L$ và phương trình 6-20 trở thành:

$$A_{v2} \approx \frac{-R_{C2} \parallel R_L}{r_{e2} + R_{E2}} \quad (6-22)$$

Ghép trực tiếp tải ngõ ra làm thay đổi giá trị DC của V_{C2} và V_{CE2} . Xem transistor như một nguồn dòng cố định như trong hình 6-15(b), áp dụng nguyên lý chồng chập tính V_L theo từng nguồn trong mạch, xem hình 6-15(c) và 6-15(d). Kết hợp tác dụng của mỗi nguồn dẫn tới:

$$V_L = V_C = \left(\frac{R_L}{R_L + R_C} \right) (V_{CC} - I_C R_C) \quad (6-23)$$



Bằng phép chồng chất điện áp, ta có:

$$V_L = \left(\frac{R_L}{R_C + R_L} \right) V_{CC} - I_C \left(\frac{R_C}{R_L + R_C} \right) R_L = \left(\frac{R_L}{R_L + R_C} \right) (V_{CC} - I_C R_C)$$

Hình 6-15: Tính áp DC trên tải ghép trực tiếp R_L , sử dụng phép chồng chất điện áp.

Phương trình 6-23 cho thấy điện áp cực thu bằng với giá trị điện áp không tải ($V_{CC} - I_C R_C$) chia cho phân áp qua R_L và R_C . Khi $V_{CE} = V_C - V_E$, một giá trị R_L rất nhỏ có thể làm giảm V_C tới điểm mà V_{CE} tiến gần tới 0.

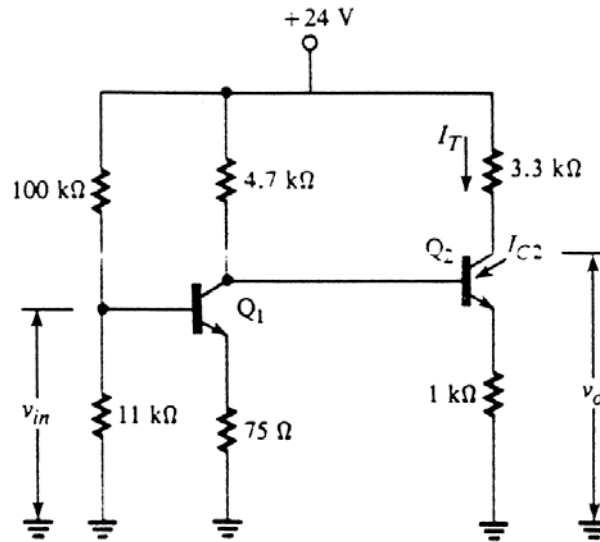
Ví dụ 6-7

Transistor trong hình 6-16 có các thông số sau:

$$Q_1 : \beta_1 = 100, r_{e1} = 6\Omega, r_{c1} \approx \infty$$

$$Q_2 : \beta_2 = 60, r_{e2} = 10\Omega, r_{c2} \approx \infty$$

1. tìm giá trị tĩnh của V_{CE1} , I_{C2} , I_T , V_{C2} và V_{CE2}
2. Tìm độ lợi áp v_o/v_i
3. Làm lại (1) và (2) nếu mắc trực tiếp một tải $10K\Omega$ giữa cực thu của Q_2 và mass.



Hình 6-16: (Thí dụ 6 – 7)

Giải:

1. Điện trở DC ngõ vào nhìn từ cực base của Q_1 là:

$$R_{m1} \approx \beta_1 R_{E1} = 100(75) = 7.5k\Omega$$

Khi điện trở này không quá lớn so với điện trở phân áp $11K\Omega$ ở cực B ta phải tính đến tác dụng của tải nó gây ra trên phân áp. Từ phương trình 6-18:

$$V_L = \left(\frac{R_2 \parallel R_{m1}}{R_1 + R_2 \parallel R_{m1}} \right) V_{CC}$$

$$= \left[\frac{(11k\Omega) \parallel (7.5k\Omega)}{(100k\Omega) + (11k\Omega) \parallel (7.5k\Omega)} \right] (2.4V) = 1.02V$$

Suy ra,

$$V_{E1} \approx V_{B1} - 0.7 = 1.02 - 0.7 = 0.32V$$

$$I_{C1} \approx I_{E1} = V_{E1} / R_{E1} = (0.32V) / (75\Omega) = 4.26mA$$

Bỏ qua dòng I_{B2} và V_{C1} , thì

$$V_{C1} \approx V_{CC} - I_{C1} R_{C1} = 24 - (4.26mA)(4.7k\Omega) = 3.95V$$

Khi đó: $V_{CE1} = V_{C1} - V_{E1} = 3.95 - 0.32 = 3.63V$

Cho $V_{C1} = V_{B2}$, ta có:

$$V_{E2} \approx V_{C1} - 0.7 = 3.95 - 0.7 = 3.25V$$

Do đó,

$$I_{C2} \approx I_{E2} = \frac{V_{E2}}{R_{E2}} = \frac{3.25V}{R_{E2}} = 3.25mA$$

Khi không mắc tải ở Q_2 , $I_T = I_{C2} = 3.25mA$

(Chú ý: vì $I_{B2} = I_{C2} / \beta_2 = (3.25mA) / 60 = 0.054mA$ rất nhỏ so với $I_{C1} = 4.26mA$)

Áp V_{C2} và V_{CE2} là:

$$V_{C2} = V_{CC} - I_{C2} R_{C2} = 24 - (3.25mA)(3.3k\Omega) = 13.3V$$

$$V_{CE2} = V_{C2} - V_{E2} = 13.3 - 3.25 = 10.05V$$

$$2. \quad A_{v1} \approx \frac{-R_{C1} \parallel \beta_2(R_{E2} + r_{e2})}{R_{E1} + r_{e1}} = \frac{-(4.7k\Omega) \parallel (60[(1k\Omega) + (10\Omega)])}{(75\Omega + 6\Omega)} = -53.8$$

$$A_{v2} \approx \frac{-R_{C2}}{r_{e2} + R_{E2}} = \frac{-3.3k\Omega}{(1k\Omega) + (10\Omega)} = -3.3$$

$$A_{v(overall)} = A_{v1} A_{v2} = (-53.8)(-3.3) = 177.5$$

3. Giá trị tĩnh của V_{CE1} không bị ảnh hưởng bởi điện trở tải ghép vào cực C của Q_2 nên $V_{CE1} = 3.63V$, $I_{C2} = 3.25mA$ (như câu 1). Từ phương trình 6-23:

$$V_L = V_{C2} = \left[\frac{10k\Omega}{(10k\Omega) + (3.3k\Omega)} \right] [24 - (3.25mA)(3.3k\Omega)] = 10V$$

Do đó:

$$V_{CE2} = V_{C2} - V_{E2} = 10 - 3.25 = 6.75V$$

$$I_L = \frac{V_L}{R_L} = \frac{10V}{10k\Omega} = 1mA$$

nên,

$$I_T = I_{C2} + I_L = (3.25mA) + (1mA) = 4.25mA$$

Độ lợi áp ở tầng 1 vẫn là -53.8. Độ lợi áp ở tầng 2 là:

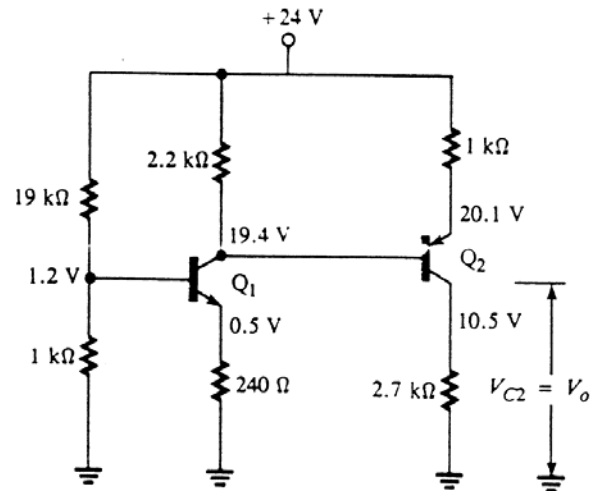
$$A_{v2} \approx \frac{-R_{C2} \parallel R_L}{R_{E2} + r_{e2}} = \frac{-(3.3k\Omega) \parallel (10k\Omega)}{(1k\Omega) + (10\Omega)} = -2.48$$

Độ lợi áp cả mạch với tải 10K là $A_{v(overall)} = (-53.8)(-2.48) = 133.4$

Điện áp cực thu của transistor NPN luôn dương hơn điện áp cực base. Khi TST ghép nối tiếp, áp cực thu của một tầng bằng với áp cực base của tầng kế tiếp. Do đó, áp cực thu của mọi tầng

NPN phải lớn hơn áp cực thu của tầng NPN kế cận nó. Khi số TST ghép nối tiếp tăng lên, thì áp cực thu cũng tăng theo. Trong thực tế, một số tầng ghép trực tiếp có thể được ghép Cascade trước làm áp cực thu bị tăng không hợp lý vượt quá điện áp nguồn cung cấp. Để giải quyết vấn đề này, dùng TST thay thế loại (NPN, PNP) ghép cascade nối tiếp. Trong ứng dụng này, các TST được gọi là bổ sung và hình 6-17 là ví dụ 2 tầng. Cách ghép này hoạt động tốt vì cực Base của TST PNP phải tích cực hơn cực C của nó, ngược với điều kiện của TST NPN.

Hình 6-17: Ghép trực tiếp sử dụng các transistor bổ phụ. Chú ý transistor PNP được phân cực bằng cách nối nguồn áp dương vào phía cực E.



Điện áp dương cung cấp được đưa vào cực E của TST và cực C nối mass. TST PNP có áp cực E và mass là 0.7V lớn hơn áp cực Base và mass. Do đó, $V_{E2} = 19.4 + 0.7 = 20.1$ V. Sụt áp trên điện trở cực E là:

$$V_{CC} - V_{E2} = 24 - 20.1 = 3.9V$$

và

$$I_{E2} = (3.9V) / (1k\Omega) = 3.9mA \approx I_{C2}$$

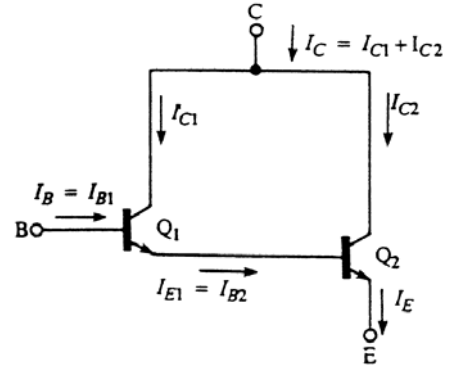
Rõ ràng:

$$V_{C2} = I_{C2} R_{C2} = (3.9mA)(2.7k\Omega) = 10.5V$$

Cặp BJT ghép Darlington

Khi cực C của 2 BJT ghép chung và cực E của TST này ghép nối tiếp với cực B của TST kia như trong hình 6-18, ta có cách ghép Darlington.

Hình 6-18: Cặp Darlington được sử dụng như 1 transistor đơn có cực thu, cực nền, cực phát là C, B, và E.



Phân tích cách ghép Darlington để thấy hệ số β của TST mà nó đại diện cũng như một vài đặc tính tín hiệu nhỏ của nó.

Gọi β_1 và β_2 là hệ số β của Q_1 và Q_2 . Theo định nghĩa,

$$I_{C1} = \beta_1 I_{B1} \text{ và } I_{E1} = (\beta_1 + 1) I_{B1}$$

Nhưng do $I_{E1} = I_{B2}$ nên:

$$I_{C2} = \beta_2 I_{B2} = \beta_2 (\beta_1 + 1) I_{B1}$$

và

$$I_C = I_{C1} + I_{C2} = \beta_1 I_{B1} + \beta_2 (\beta_1 + 1) I_{B1} = [\beta_1 \beta_2 + (\beta_1 + \beta_2)] I_{B1}$$

Khi $I_{B1} = I_{B2}$, ta có $I_C = [\beta_1 \beta_2 + (\beta_1 + \beta_2)] I_{B1}$ hay,

$$\beta_{DP} = I_C / I_B = \beta_1 \beta_2 + \beta_1 + \beta_2 \quad (6-24)$$

Hệ số β của cặp Darlington trong phương trình 6-24 là tổng của các hệ số β thành phần. Ta luôn có $\beta_1 \beta_2 \gg \beta_1 + \beta_2$ nên:

$$\beta_{DP} = \beta_1 \beta_2 + \beta_1 + \beta_2 \approx \beta_1 \beta_2 \quad (6-25)$$

Cặp Darlington thường được làm trên một chip sao cho đặc tính Q_1 và Q_2 phù hợp nhau. Khi $\beta_1 = \beta_2 = 100$ ta có :

$$\beta_{DP} = \beta^2 + 2\beta \approx \beta^2 \quad (6-26)$$

Ví dụ, nếu $\beta_1 = \beta_2 = 100$, thì $\beta_{DP} = 10000 + 200 \approx 10000$. Cặp Darlington có thể xem như là một TST có hệ số β vô cùng lớn.

Trong khi các phân tích ở trên biểu diễn được dòng DC và hệ số β , thì phân tích tín hiệu nhỏ cho thấy rằng giá trị tín hiệu nhỏ của β_{DP} là tổng của giá trị tín hiệu nhỏ của β_1 và β_2 . Ta có thể kết luận rằng giá trị tín hiệu nhỏ và giá trị DC của β là bằng nhau. Xác định hệ số tín hiệu nhỏ của điện trở vào từ cực B đến cực E, $r_{in(DP)}$, và điện trở cực E, $r_{e(DP)}$, của TST ghép như thế nào? Từ phương trình 5-22:

$$r_e \approx \frac{V_T}{I_E} \approx \frac{0.026}{I_E} \Omega \quad (6-27)$$

Vì $I_{C2} \approx I_{E2}$ ta có:

$$r_{e2} \approx \frac{0.026}{I_{C2}} \Omega \quad (6-28)$$

Theo hình 6-18, thấy rằng $I_C = I_{C1} + I_{C2} \approx I_{C2}$ vì $I_{C2} \gg I_{C1}$ nên (6-28) có thể viết lại thành:

$$r_{e2} \approx \frac{0.026}{I_C} \Omega \quad (6-29)$$

Điện trở ac nhìn từ cực B của Q_2 là:

$$r_{in(base)2} \approx \beta_2 r_{e2} \quad (6-30)$$

và

$$r_{e1} \approx \frac{0.026}{I_{E1}} \Omega \quad (6-31)$$

khi $I_{E2} \approx \beta_2 I_{B2} = \beta_2 I_{E1}$ ta có:

$$I_{E1} \approx \frac{I_{E2}}{\beta_2} \quad (6-32)$$

thay (6-32) vào (6-31) ta được:

$$r_{e1} \approx \beta_2 \left(\frac{0.026}{I_{E2}} \right) = \beta_2 r_{e2} \quad (6-33)$$

Hệ số tín hiệu nhỏ tín hiệu vào của cặp Darlington là

$$r_{in(DP)} = \beta_1 (r_{e1} + r_{in(base)2}) \approx \beta_1 (r_{e1} + \beta_2 r_{e2}) \quad (6-34)$$

thay vào phương trình (6-33):

$$r_{in(DP)} \approx \beta_1 (\beta_2 r_{e2} + \beta_2 r_{e2}) = 2\beta_1 \beta_2 r_{e2} \quad (6-35)$$

Do $\beta_{DP} \approx \beta_1 \beta_2$, nên hệ số điện trở cực E, $r_{e(DP)}$ là:

$$r_{e(DP)} \approx \frac{r_{in(DP)}}{\beta_{DP}} = \frac{2\beta_1 \beta_2 r_{e2}}{\beta_1 \beta_2} = 2r_{e2} \quad (6-36)$$

Ví dụ 6-8:

Một cặp Darlington có dòng cực C tổng là 2mA. Nếu $\beta_1=110$ và $\beta_2=100$, tìm các giá trị β_{DP} , $r_{in(DP)}$, và $r_{e(DP)}$ ở nhiệt độ phòng.

Giải:

- $\beta_{DP} = \beta_1 \beta_2 + \beta_1 + \beta_2 = (110)(100) + 110 + 100 = 11,210$
- Từ phương trình 6-29,

$$r_{e2} \approx \frac{0.026}{2 \times 10^{-3}} = 13 \Omega$$

Từ phương trình 6-35, $r_{in(DP)} \approx 2(110)(100)13 = 286k\Omega$

- Từ phương trình 6-36, $r_{e(DP)} \approx 2(13) = 26\Omega$

Ví dụ này cho thấy cặp Darlington có thể được sử dụng để làm tăng đáng kể điện trở vào BE so với BJT thông thường.

Cặp Darlington thường sử dụng với dạng E chung vì khả năng đệm tốt giữa trở kháng cao của nguồn và trở kháng thấp của tải. Với điện trở tải ac ghép vào cực E, tổng trở vào là:

$$r_{in} = r_{in(DP)} + \beta_{DP} r_L \quad (6-37)$$

Khi mạch E chung tích cực, độ lợi dòng từ cực Base của Q₁ tới cực E của Q₂ là $A_i = i_{e2}/i_{b1}$. Do $i_{e1} = i_{b2}$, ta có:

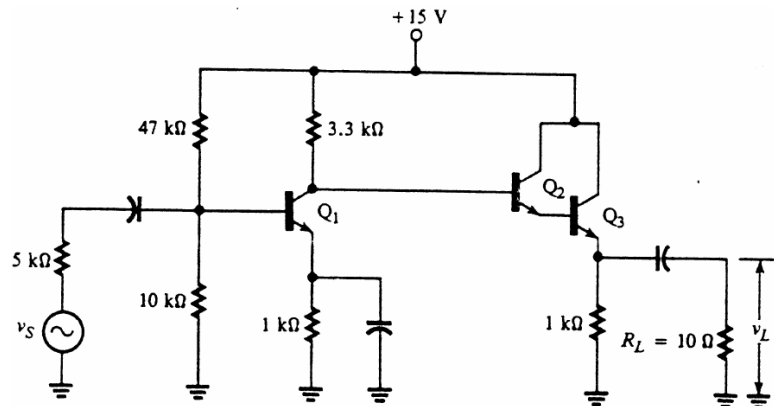
$$A_i = \frac{i_{e2}}{i_{b1}} = \left(\frac{i_{e2}}{i_{b2}} \right) \frac{i_{e1}}{i_{b1}} = (\beta_1 + 1)(\beta_2 + 1) \approx \beta_1 \beta_2 \quad (6-38)$$

Ví dụ sau sẽ mô tả một trường hợp cần có khả năng đệm tốt khi điện trở nguồn là 5 KΩ và điện trở tải là 10 Ω

Ví dụ 6-9:

Hình 6-19 là một tầng CE mắc Darlington như một mạch E chung. Transistor có: $\beta_1 = 200$, $\beta_2 = 100$ và $\beta_3 = 100$.

1. tìm v_L/v_S
2. Tìm v_L/v_S nếu không có cặp Darlington và trở tải 10 được ghép với tụ và cực C của Q₁



Hình 6-19: (thí dụ 6 – 9)

Giải:

1.
$$V_{B1} \approx \left(\frac{R_2}{R_1 + R_2} \right) V_{CC} = \left[\frac{10k\Omega}{(47k\Omega) + (10k\Omega)} \right] (15k\Omega) = 2.6V$$

$$V_{E1} = V_{B1} - 0.7 = 2.6 - 0.7 = 1.9V$$

$$I_{C1} \approx I_{E1} = \frac{V_{E1}}{R_{E1}} = \frac{1.9V}{1k\Omega} = 1.9mA$$

$$r_{e1} \approx \frac{0.026}{I_{E1}} = \frac{0.026}{1.9mA} = 13.7\Omega$$

$$r_{in}(stage1) = R_1 \parallel R_2 \parallel \beta_1 r_{e1} = (10k\Omega) \parallel (47k\Omega) \parallel 200(13.7\Omega) = 2.1k\Omega$$

cực C của Q₁ ghép trực tiếp với cực base của Q₂ trong cặp Darlington nên:

$$V_{B2} = V_{C1} = V_{CC} - I_{C1}R_{C1} = 15V - (1.9mA)(3.3k\Omega) = 8.7V$$

Áp DC cực E của Q₃ là 1.4V nhỏ hơn áp cực nền B của Q₂, do đó có hai mối nối BE phân cực thuận giữa hai điểm:

$$V_{E3} = V_{B2} - 1.4 = 8.7 - 1.4 = 7.3V$$

$$I_{C3} \approx I_{E3} = \frac{V_{E3}}{R_{E3}} = \frac{7.3V}{1k\Omega} = 7.3mA$$

Thấy rằng Q₁ và Q₂ trong phân tích trước bây giờ là Q₃ và Q₄, từ phương trình 6-28 ta có:

$$r_{e3} \approx \frac{0.026}{I_{C3}} = \frac{0.026}{7.3mA} = 3.6\Omega$$

Từ 6-36,

$$r_{e(DP)} \approx 2(3.6) = 7.2\Omega$$

từ 6-26

$$\beta_{DP} = (100)^2 + 200 = 10,200$$

từ 6-35:

$$r_{in(DP)} \approx 2(100)(100)(3.6) = 72k\Omega$$

từ 6-37, tổng trở nhìn vào cặp Darlington khi có tải là:

$$r_{in} = (72k\Omega) + (10.200)[(1k\Omega) \parallel (10\Omega)] \approx 174k\Omega$$

Giá trị điện trở vào này quá lớn so với điện trở cực thu của Q₁ nên:

$$A_{v1} \approx \frac{-R_{c1}}{r_{e1}} = \frac{-3.3k\Omega}{13.7\Omega} = -241$$

Độ lợi áp của tầng E chung là (từ 5-59)

$$A_{v(DP)} \approx \frac{-r_L}{r_{e(DP)} + r_L} = \frac{(1k\Omega) \parallel 10\Omega}{(7.2\Omega) + (1k\Omega) \parallel (10\Omega)} \approx 0.58$$

Đưa r_S vào tính toán tải thì độ lợi áp cả mạch là:

$$\begin{aligned} \frac{v_L}{v_S} &= \left[\frac{r_{in}(stage1)}{r_S + r_{in}(stage1)} \right] A_v A_{v(DP)} = \left[\frac{2.1k\Omega}{(5k\Omega) + (2.1k\Omega)} \right] (-241)(0.58) \\ &= -41.3 \end{aligned}$$

2. Với tải 10Ω nối với cực C của Q₁, tải ac ở Q₁ là: r_{L1} = (3.3kΩ) ∥ (10Ω) ≈ 10Ω do đó:

$$A_{v1} \approx \frac{-r_{L1}}{r_{e1}} = \frac{-10}{13.7} = -0.73$$

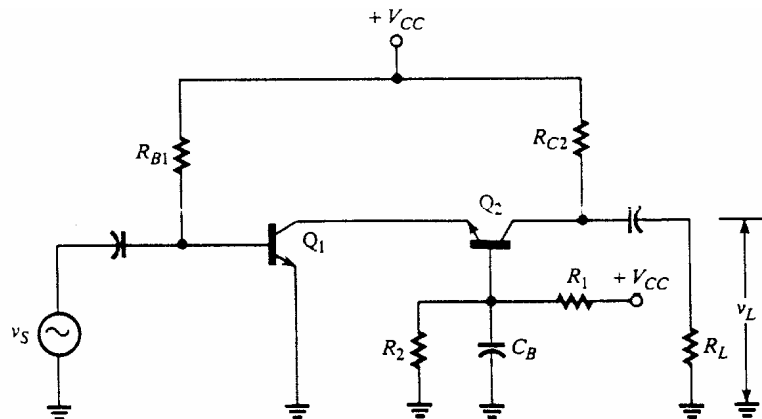
Độ lợi cả mạch là:

$$\frac{v_L}{v_S} = \left[\frac{2.1k\Omega}{(5k\Omega) + (2.1k\Omega)} \right] (-0.73) = -0.22$$

Nếu không có cặp Darlington đệm thì áp ngõ ra sẽ nhỏ hơn 1/2 mức tín hiệu vào, như vậy sẽ không còn chức năng khuếch đại nữa. Cặp Darlington tăng độ lợi áp lên $41.3/0.22=187.7$ lần.

Mạch khuếch đại ghép Cascode

Một ví dụ khác của ghép nối tiếp Transistor là khuếch đại cascode gồm một TST CE và một TST CB. Hình 6-20 là một ví dụ. Q₁ là một tầng CE dùng R_{B1} để khắc phục phân cực. Tụ CB nối đất tín hiệu ac từ cực base của Q₂, Q₂ là một tầng CB. Nó hoạt động như tải ở cực thu của Q₁. Q₁ được ghép nối tiếp vào ngõ vào của Q₂ và ngõ ra của mạch khuếch đại Cascode là cực thu của Q₂. Các điện trở R₁ và R₂ tạo phân áp cho Q₂.



Hình 6-20: Một ví dụ mạch khuếch đại cascode. Q₁ là tầng E chung được nối trực tiếp với tầng B chung của Q₂.

Ưu điểm của cách ghép cascode là nó có điện dung nhỏ, yêu cầu quan trọng cho các mạch khuếch đại ở tần số cao. Điện dung vào nhỏ do độ lợi áp của Q₁ gần bằng 1, nghĩa là điện dung Millers bị thu nhỏ. Mọi độ lợi áp đều thu được từ tầng CB. Độ lợi áp Q₁ nhỏ vì điện trở tải ở mạch thu của nó là điện trở đầu vào nhỏ của tầng CB.

Tính dòng và áp phân cực:

$$I_{B1} = \frac{V_{CC} - V_{BE}}{R_{B1}} \quad (6-39)$$

$$I_{C1} = I_{E1} = I_{C2} = \beta_1 I_{B1} \quad (6-40)$$

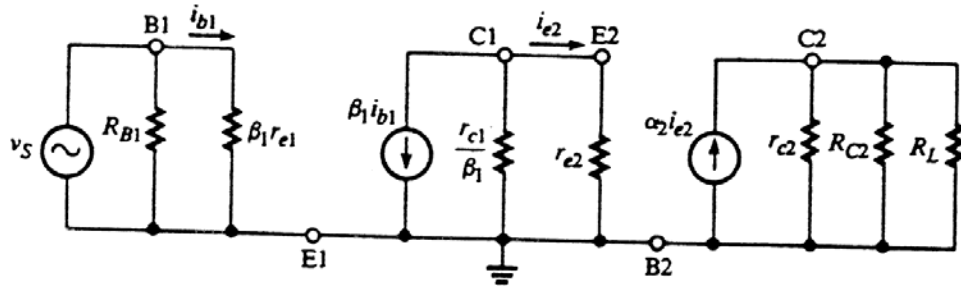
$$V_{B2} = \left(\frac{R_2}{R_1 + R_2} \right) V_{CC} \quad (6-41)$$

$$V_{C1} = V_{E1} = V_{B2} - V_{BE} \quad (6-42)$$

$$V_{C2} = V_{CC} - I_{C2} R_{C2} \quad (6-43)$$

$$V_{CE2} = V_{C2} - V_{E2} \quad (6-44)$$

Q₁ có thể được phân cực bằng cách dùng phương pháp phân áp và một điện trở phát. Hình 6-21 là mạch tương đương tín hiệu nhỏ của mạch khuếch đại Cascode.



Hình 6-21: Mạch tương đương tín hiệu nhỏ của khuếch đại cascode

Theo mạch tương đương ta có:

$$r_{in}(stage1) = R_{B1} \parallel \beta_1 r_{e1} \quad (6-45)$$

Điện trở vào của Q₂ là điện trở phát r_{e2} của tầng CB. Nhánh song song r_{c1}/β₁ và r_{e2} tạo thành tải ac ở cực thu của Q₁. khi r_{c1}/β₁ >> r_{e2},

$$r_{L1} = \left(\frac{r_{c1}}{\beta_1} \right) \parallel r_{e1} \approx r_{e2} \quad (6-46)$$

vì vậy:

$$A_{v1} \approx \frac{-r_{L1}}{r_{e1}} = \frac{-r_{e2}}{r_{e1}} = -1 \quad (6-47)$$

Phương trình 6-47 cho thấy độ lợi áp của Q₁ gần bằng 1, tức là I_{E2} = I_{E1} làm cho r_{e2} = r_{e1}. Tải AC ở cực thu của Q₂ là:

$$r_{L2} = r_{e2} \parallel R_{C2} \parallel R_L \approx R_{C2} \parallel R_L \quad (6-48)$$

Do đó độ lợi áp tầng thứ 2 là:

$$A_{v2} \approx \frac{-r_{L2}}{r_{e2}} = \frac{-R_{C2} \parallel R_L}{r_{e2}} \quad (6-49)$$

Độ lợi áp cả mạch Cascode là:

$$A_v = A_{v1}A_{v2} \approx -A_{v2} \quad (6-50)$$

Phương trình 6-50 cho thấy tầng CB cung cấp độ lợi áp. Độ lợi dòng của mạch khuếch đại Cascode không kể đến phân dòng ở ngõ vào hoặc ngõ ra là:

$$A_i = \beta_1\alpha_2 \approx \beta_1 \quad \text{vì } \alpha_2 \approx 1 \quad (6-51)$$

Tổng trở ra của mạch khuếch đại là :

$$r_o(\text{stage}) = r_{c2} \parallel R_{C2} \approx R_{C2} \quad (6-52)$$

Ví dụ 6-10

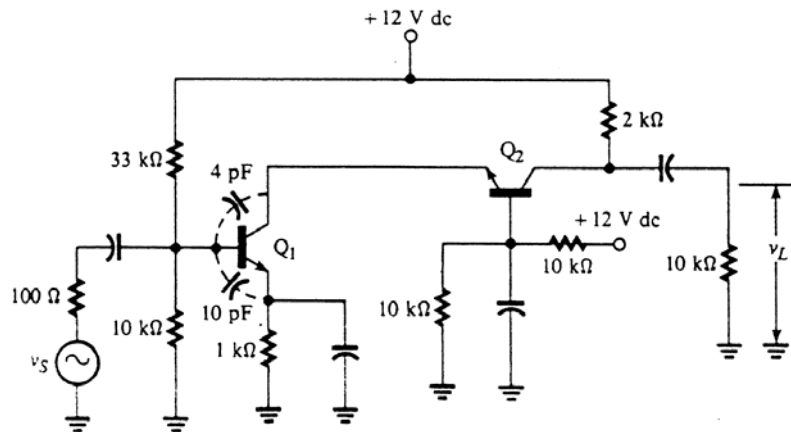
Transistor trong hình 6-22 có các thông số sau:

$$Q_1 : \beta_1 = 100, r_{c1} \approx \infty, C_{bc} = 4\text{pF}, C_{be} = 10\text{pF}$$

$$Q_2 : \alpha_2 \approx 1, r_{c2} \approx \infty$$

Tìm:

1. Dòng và áp DC: $I_{C1}, I_{C2}, V_{C1}, V_{C2}$
2. Độ lợi áp tín hiệu nhỏ v_L/v_S
3. Tần số gây $f_2(C_A)$ do điện dung rẽ nhánh tại ngõ vào Q_1 .



Hình 6-22: (thí dụ 6 – 10)

Giải:

1. Điện áp giữa cực B và mass tại tầng vào (Q_1) được xác định bằng phân áp tại đó:

$$V_{B1} \approx \left[\frac{10\text{k}\Omega \parallel 100\text{k}\Omega}{(10\text{k}\Omega \parallel 100\text{k}\Omega) + (33\text{k}\Omega)} \right] (12\text{V}) = 2.6\text{V}$$

Do đó:

$$V_{E1} = V_{B1} - 0.7 = 2.6 - 0.7 = 1.9\text{V}$$

$$I_{C1} \approx I_{E1} = \frac{V_{E1}}{R_{E1}} = \frac{1.9\text{V}}{1\text{k}\Omega} = 1.9\text{mA} = I_{E2} \approx I_{C2}$$

Áp giữa cực B và mass của Q_2 :

$$V_{B2} = \left[\frac{10k\Omega}{(10k\Omega) + (10k\Omega)} \right] (12V) = 6V$$

Do đó:

$$V_{C1} = V_{E1} = V_{B2} - 0.7 = 6 - 0.7 = 5.3V$$

$$V_{C2} = V_{CC} - I_{C2}R_{C2} = 12 - (1.9mA)(2k\Omega) = 8.2V$$

2. Khi $I_{E1} = I_{E2}$,

$$r_{e2} \approx r_{e1} = \frac{0.026}{I_{E1}} = \frac{0.026}{1.9mA} = 13.7\Omega$$

$$r_{in}(stage1) = (33k\Omega) \parallel (10k\Omega) \parallel 100(13.7\Omega) = 1.16k\Omega$$

$$A_{v1} = \frac{-r_{e2}}{r_{e1}} \approx -1$$

$$A_{v2} = \frac{r_{L2}}{r_{e2}} = \frac{(2k\Omega) \parallel (10k\Omega)}{13.7\Omega} = 121.6$$

$$\frac{v_L}{v_S} = \left[\frac{r_{in}(stage1)}{r_S + r_{in}(stage1)} \right] A_v A_{v(DP)} = \left[\frac{1.07k\Omega}{(100\Omega) + (1.07k\Omega)} \right] (-1)(121.6) = -112$$

3. Điện dung Miller tại ngõ vào Q_1 được xác định bằng độ lợi áp của tầng 1:

$$C_M = C_{bc}(1 - A_{v1}) = (4pF)(2) = 8pF$$

Tổng điện dung vào là:

$$C_A = C_M + C_{bc} = (8pF) + (10pF) = 18pF$$

Khi đó:

$$f_2(C_A) = \frac{1}{2\pi[r_S \parallel r_{in}(stage1)]C_A} = \frac{1}{2\pi[100 \parallel (1.07 \times 10^3)](18 \times 10^{-12})} = 96.7MHz$$

Tần số gây do điện dung vào gây ra là rất lớn. Mạch khuếch đại Cascode có thể loại trừ những vấn đề của nguồn suy hao tần số cao thông qua điện dung Miller ngõ vào.

Chương 7: KHUẾCH ĐẠI HỒI TIẾP ÂM VÀ DAO ĐỘNG SIN

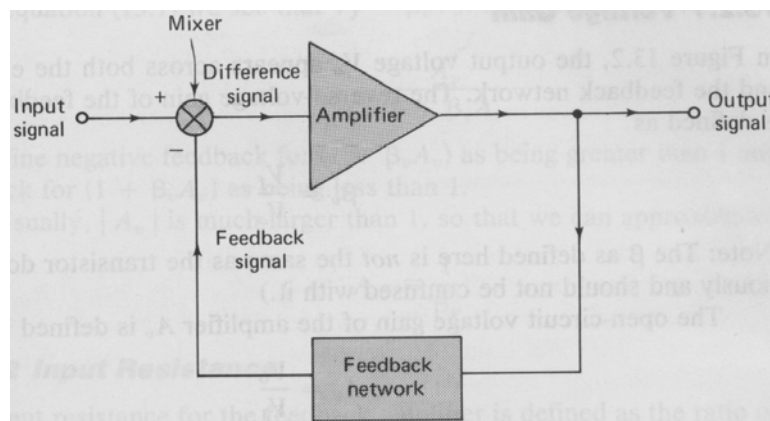
Có hai dạng mạch hồi tiếp. Thứ nhất là hồi tiếp âm: một phần hay toàn bộ tín hiệu ngõ ra (điện áp hoặc dòng điện) được đưa về trở lại ngõ vào để có thể được trừ bởi tín hiệu ngõ vào. Theo cách này, tín hiệu ngõ vào đến bộ khuếch đại đầu tiên được giảm xuống, như vậy tín hiệu ngõ ra được giảm xuống cho phù hợp. Khuếch đại hồi tiếp âm được đặc điểm là có hệ số khuếch đại thấp hơn bộ khuếch đại tương tự không có hồi tiếp.

Dạng thứ hai là hồi tiếp dương: một phần hay toàn bộ tín hiệu ngõ ra được đưa đến ngõ vào để cộng thêm vào nó. Hồi tiếp dương thì không có ai muốn trong khuếch đại cả bởi vì nó thường gây ra khuếch đại không an toàn và dao động. Tuy nhiên tính chất này được sử dụng nhiều trong mạch dao động. Trong chương này chúng ta chỉ đề cập đến **khuếch đại hồi tiếp âm**.

7.1 Những khái niệm tổng quát về hồi tiếp

Hồi tiếp là công cụ vô cùng hữu ích trong rất nhiều ứng dụng, đặc biệt trong hệ thống điều khiển. Hệ thống điều khiển bao gồm tất cả các mạch điện ở đó ngõ ra được sử dụng để điều khiển hoặc hiệu chỉnh ngõ vào, từ đó lại cung cấp 1 ngõ ra như mong muốn. Sử dụng khác của hồi tiếp là “cảm nhận” ngõ ra, sau đó so sánh nó với những tín hiệu khác, và cuối cùng là điều khiển ngõ vào (và như ngõ ra) cho phù hợp với sự khác nhau giữa tín hiệu ngõ vào và tín hiệu tham chiếu. Đặc biệt hồi tiếp âm trong sự khuếch đại có thể được sử dụng để:

1. Ổn định hệ số khuếch đại (điện áp hay dòng điện).



Hình 7.1 : Sơ đồ khối mạch khuếch đại hồi tiếp

2. Đạt được phép tuyến tính.
3. Làm rộng băng thông.

4. Giảm hoặc tăng trở kháng ngõ vào.
5. Giảm hoặc tăng trở kháng ngõ ra.
6. Giảm nhiều trong bộ khuếch đại.
7. Làm giảm các hiệu ứng nhiệt.

Để ổn định hệ số khuếch đại, nghĩa là chúng ta muốn làm hệ số khuếch đại ít phụ thuộc vào những thông số đặc biệt của thiết bị. Sự tuyến tính thì rất quan trọng cho bộ khuếch đại, nhưng sự cải tiến tính tuyến tính (làm méo ít) này lại càng quan trọng hơn trong khuếch đại công suất. Nhiễu (tín hiệu điện giả được tạo ra không có khuếch đại) đặc biệt phiền toái trong khuếch đại khi mức tín hiệu hết sức nhỏ. Trong những trường hợp này, hồi tiếp âm có thể được sử dụng làm giảm nhiễu trong bộ khuếch đại.

Chúng ta sẽ phân loại kiểu của hồi tiếp theo hoạt động của hồi tiếp độ lợi. Hai kiểu đó là mạch hồi tiếp dòng và mạch hồi tiếp áp, chúng được phân biệt bởi sự suy giảm độ lợi. Hai kiểu hồi tiếp khác, giới hạn mạch Shunt và mạch hồi tiếp liên tục, cũng sẽ được xét.

Sơ đồ khối mạch khuếch đại hồi tiếp cơ bản như ở hình 7.1, với đường tín hiệu trên hình vẽ. Tín hiệu ở bất kì điểm nào trong hình 7.1 cũng có thể là một điện áp hoặc dòng điện, phụ thuộc vào dạng mong muốn.

7.2 KHUẾCH ĐẠI HỒI TIẾP ÁP

Xem hình 7.1, chúng ta thấy rằng khi toàn bộ tín hiệu là điện áp, mạch điện là một bộ khuếch đại hồi tiếp áp. Dạng chung của khuếch đại hồi tiếp áp được thể hiện ở hình 7.2. Hồi tiếp âm được thiết lập bằng cách lấy một phần của điện áp ngõ ra đưa về trừ cho điện áp ngõ vào.

7.2.1 Độ lợi áp

Trong hình 7.2, điện áp ngõ ra xuất hiện qua cả tải bên ngoài và hệ thống hồi tiếp. Hệ thống hồi tiếp điện áp ngược được định nghĩa:

$$\beta_v = \frac{V_f}{V_o} \quad (7.1)$$

Khuếch đại độ lợi áp mạch hở A_v được định nghĩa.

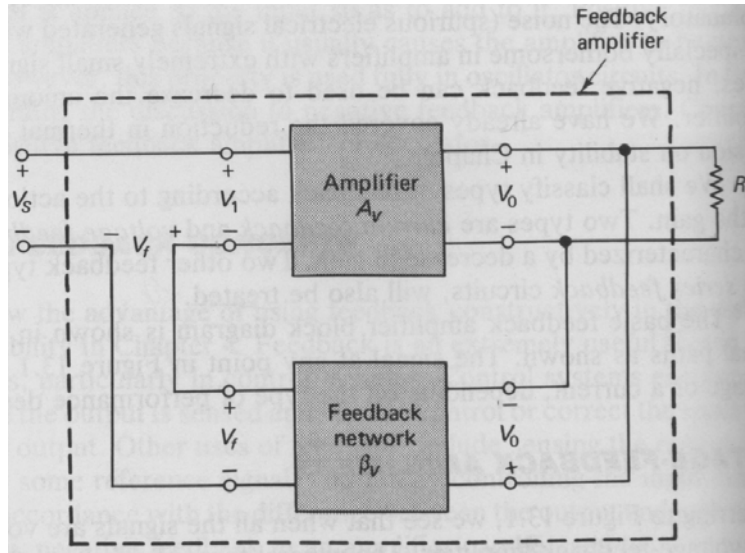
$$A_v = \frac{V_o}{V_1} \quad (7.2)$$

Điện áp tổng ở ngõ vào đều bằng 0 được chỉ rõ hình 7.2. Chúng ta tìm được:

$$V_s = V_1 + V_f \quad (7.3)$$

Độ lợi dòng hở của khuếch đại hồi tiếp A_{vf} được cho bởi

$$A_{vf} = \frac{V_o}{V_s} = \frac{V_o}{V_1 + V_f} = \frac{\frac{V_o}{V_1}}{1 + \frac{V_f}{V_1}} \quad (7.4)$$



Hình 7.2 : Sơ đồ khối mạch khuếch đại hồi tiếp áp

Từ biểu thức (7.1) chúng ta thấy rằng $V_f = \beta_v V_o$. Cũng chú ý rằng $A_v = V_o/V_1$, chúng ta tìm được

$$A_{vf} = \frac{A_v}{1 + \beta_v A_v} \quad (7.5)$$

Chúng ta định nghĩa hồi tiếp âm cho $(1 + \beta_v A_v)$ là lớn hơn 1 và hồi tiếp dương cho $(1 + \beta_v A_v)$ là nhỏ hơn 1.

Thông thường thì $|A_v|$ thì lớn hơn nhiều so với 1, đến mức chúng ta có thể xem gần đúng

$$A_{vf} \cong \frac{1}{\beta_v} \quad (7.6)$$

7.2.2 Điện trở ngõ vào

Điện trở ngõ vào cho khuếch đại hồi tiếp được định nghĩa là tỉ số giữa V_s với I_1 .

Lấy V_f từ biểu thức (7.1) thế vào biểu thức (7.3), ta được

$$V_s = V_1 + \beta_v V_o = V_1(1 + \beta_v A_v) \quad (7.7)$$

Chúng ta có thể thay $V_1 = R_i I_1$. Như thế

$$R_{if} = \frac{V_s}{I_1} = R_i(1 + \beta_v A_v) \quad (7.8)$$

Khi điện áp hồi tiếp âm được sử dụng, điện trở ngõ vào được tăng lên.

7.2.3 Điện trở ngõ ra.

Giả sử rằng dòng được lấy ra từ mạng hồi tiếp như trong hình 7.2 thì rất nhỏ không đáng kể, chúng ta có thể viết

$$V_o = A_v V_1 - I_o R_o \quad (7.9)$$

Thế V_1 từ biểu thức (7.3) chúng ta có

$$V_o = A_v V_s - A_v V_f - I_o R_o \quad (7.10)$$

Sau đó sắp xếp lại ta được biểu thức:

$$V_o (1 + \beta_v A_v) = A_v V_s - I_o R_o \quad (7.11)$$

Chia hai vế cho $(1 + \beta_v A_v)$, chúng ta được

$$V_o = A_{vf} V_s - I_o \frac{R_o}{1 + \beta_v A_v} \quad (7.12)$$

Chúng ta tìm được điện trở ra của mạch hồi tiếp bằng cách cho $V_s = 0$

$$R_{of} = \frac{V_o}{-I_o} = \frac{R_o}{1 + \beta_v A_v} \quad (7.13)$$

Khi hồi tiếp âm, điện trở ra có hồi tiếp thì thấp hơn điện trở vào khi không có hồi tiếp.

7.2.4 Mạch tương đương

Biểu thức (7.12) đưa ra được một mạch tương đương cho ngõ ra của bộ khuếch đại hồi tiếp. Mạch tương đương hoàn chỉnh của mạch khuếch đại hồi tiếp được cho ở hình 7.3. Các cách xác định các thông số của mạch khuếch đại hồi tiếp áp được minh họa ở ví dụ 7.1.

Ví dụ 7.1

Một mạch khuếch đại như ở hình 7.4 là một mạch khuếch đại hồi tiếp áp. Bao gồm mạng hồi tiếp của điện trở phân áp R_9 và R_{10} . Khuếch đại không hồi tiếp có các thông số $A_v = 100$, $R_i = 2 \text{ k}$, và $R_o = 5 \text{ k}$. Xác định các thông số của mạch khuếch đại khi hồi tiếp?

Giải

Hệ số hồi tiếp β_v được tính từ tỉ số điện trở:

$$\beta_v = \frac{R_{10}}{R_{10} + R_9} = \frac{0.1}{0.1 + 2.2} = \frac{1}{23}$$

Kế tiếp chúng ta tìm thành phần hồi tiếp:

$$1 + \beta_v A_v = 1 + \frac{100}{23} = 5.35$$

Các thông số khuếch đại hồi tiếp áp có thể được tính toán như sau:

$$R_{if} = R_i (1 + \beta_v A_v) \cong 2 \times 5.35 \text{ k}\Omega \cong 10.7 \text{ k}\Omega \quad (\text{theo 7.8})$$

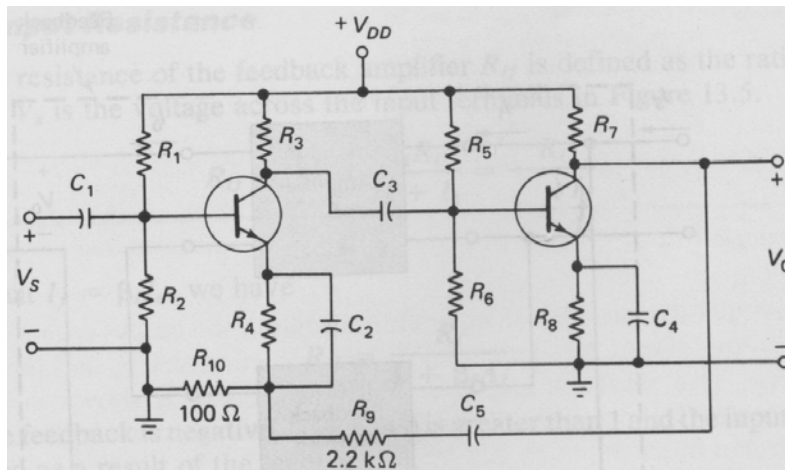
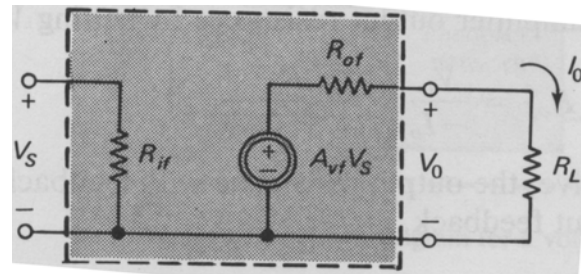
$$R_{of} = \frac{R_o}{1 + \beta_v A_v} \cong \frac{5}{5.35} \text{ k}\Omega \cong 0.935 \text{ k}\Omega \cong 935 \Omega \quad (\text{theo 7.13})$$

$$A_{vf} = \frac{A_v}{1 + \beta_v A_v} \cong \frac{100}{5.35} \cong 18.7 \quad (\text{theo 7.5})$$

Chú ý khi sử dụng gần đúng trong biểu thức (7.6) chúng ta có $A_{vf} \approx 23$, trong trường hợp này là một số gần đúng nguyên. số gần đúng này được sử dụng khi $\beta_v A_v$ lớn hơn 10.

Tính toán độ lợi, trở kháng vào và trở kháng ra cho mạch khuếch đại không có hồi tiếp phải được tính riêng, bởi vì phần hồi tiếp không thể được bỏ qua hoàn toàn. Tính toán cho ngõ vào, bộ khuếch đại trong hình 7.4 không có hồi tiếp phải được xem như có $V_o = 0$ (ngắn mạch ngõ ra).

Hình 7.3 : Mạch tương đương của khuếch đại hồi tiếp điện áp



Hình 7.4 : Ví dụ về mạch khuếch đại hồi tiếp điện áp

Tính toán cho ngõ vào, bộ khuếch đại phải được xem như có $V_f = 0$ (trong trường hợp này, R_{10} bị ngắn). Tuy nhiên trở kháng ngõ vào trong ví dụ này được xem như không có sự kết hợp của R_1 và R_2 mắc song song. Trở kháng tổng ngõ vào bao gồm hai điện trở đó.

7.3 KHUẾCH ĐẠI HỒI TIẾP DÒNG

Toàn bộ tín hiệu trong hình 7.1 là nguồn dòng, mạch là một bộ khuếch đại hồi tiếp dòng. Sơ đồ khối được mô tả ở hình 7.5. Hồi tiếp âm được tạo ra làm cho dòng ngõ ra trừ với dòng ngõ vào.

7.3.1 Độ lợi dòng.

Trong hình 7.5, dòng ở ngõ ra là nguồn cung cấp cho tải R_L và nối đến mạng hồi tiếp. Độ lợi dòng đảo của mạng hồi tiếp, β_I , được định nghĩa:

$$\beta_I = \frac{I_f}{I_o} \quad (7.14)$$

Do đó, khi dòng ngõ ra I_o chảy qua mạng hồi tiếp, thành phần đi đến ngõ vào của mạch khuếch đại là

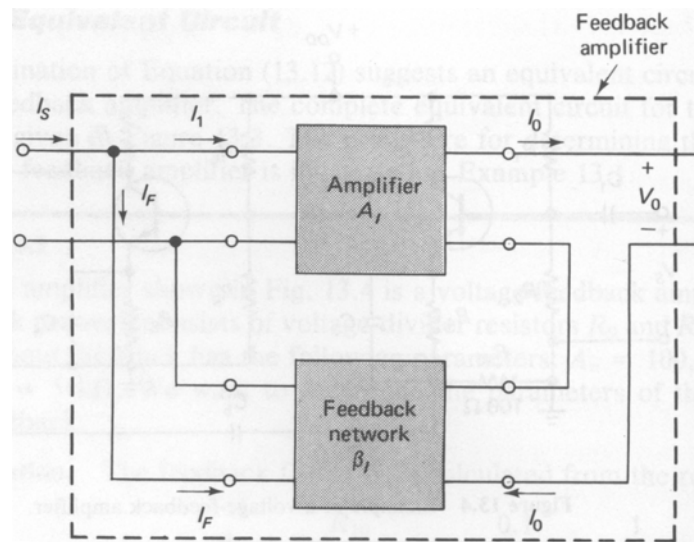
$$I_f = \beta_I I_o \quad (7.15)$$

Dòng khuếch đại ở ngõ vào I_1 được cho bởi

$$I_1 = I_s - I_f = I_s - \beta_I I_o \quad (7.16)$$

Khuếch đại hồi tiếp dòng ở ngõ vào là I_s và có thể tìm được từ biểu thức (7.16):

$$I_s = I_1 + \beta_I I_o \quad (7.17)$$



Hình 7.5 : Sơ đồ khối mạch khuếch đại hồi tiếp dòng

Độ lợi dòng ngắn mạch của mạch khuếch đại là:

$$A_I = \frac{I_o}{I_1} \quad (7.18)$$

Chúng ta có thể viết

$$I_o = A_I I_1 \quad (7.19)$$

Độ lợi dòng ngắn mạch của mạch khuếch đại hồi tiếp A_{if} là tỉ số của I_o và I_s . Sử dụng biểu thức (7.17) và (7.19) ta tìm được

$$A_{if} = \frac{I_o}{I_s} = \frac{A_I I_1}{I_1 + \beta_I I_o} \quad (7.20)$$

Chia tử số và mẫu số của biểu thức (7.20) cho I_1 được

$$A_{yf} = \frac{A_I}{1 + \beta_I A_I} \quad (7.21)$$

Biểu thức này có quan hệ với độ lợi dòng ngắn mạch của mạch khuếch đại hồi tiếp, A_{if} , với độ lợi dòng ngắn mạch của mạch không có hồi tiếp, A_i .

Ta có thể tính gần đúng độ lợi dòng ngắn mạch của mạch khuếch đại hồi tiếp nếu chúng ta để ý rằng, thông thường $|A_i|$ lớn hơn nhiều so với 1. Vì vậy, nếu chia cả tử và mẫu của biểu thức (7.21) cho A_i , ta có:

$$A_{yf} \cong \frac{1}{\beta_I} \quad (7.22)$$

Vậy thì, độ lợi dòng ngắn mạch của mạch khuếch đại hồi tiếp có thể được làm không phụ thuộc vào tham số thiết bị mà chỉ phụ thuộc vào thành phần của mạng hồi tiếp.

7.3.2 Trở kháng ngõ vào

Trở kháng ngõ vào của mạch khuếch đại hồi tiếp R_{if} được định nghĩa là tỉ số giữa V_s và I_s , ở đó V_s là điện áp đầu vào trong hình 7.5.

$$R_{if} = \frac{V_s}{I_s} = \frac{I_1 R_i}{I_f + I_1} = \frac{R_i}{1 + \frac{I_f}{I_1}} \quad (7.23)$$

Chú ý rằng $I_f = \beta_I I_o$, chúng ta có

$$R_{if} = \frac{R_i}{1 + \beta_I A_I} \quad (7.24)$$

Khi hồi tiếp là âm, $(1 + \beta_I A_I)$ lớn hơn 1 và trở kháng ngõ vào thì thấp như kết quả hồi tiếp.

7.3.3 Trở kháng ngõ ra

Theo hình 7.5, trở kháng ngõ vào của mạch khuếch đại hồi tiếp được định nghĩa là tỉ số giữa V_o và $-I_o$ với điều kiện là $I_s = 0$. Nếu chúng ta giả sử rằng điện áp tăng qua mạng hồi tiếp ở vòng ngõ ra thì nhỏ không đáng kể so với V_o hay điện áp qua R_o , khi đó chúng ta nói điện áp qua R_o thì xấp xỉ gần bằng V_o

$$V_o = (A_I I_I - I_o) R_o \quad (7.25)$$

Thay biểu thức (7.16) vào I_1 , chúng ta có

$$V_o = (A_I I_s - \beta_I A_I I_o - I_o) R_o \quad (7.26)$$

Bây giờ chúng ta đặt hệ số $(1 + \beta_I A_I)$ ra ngoài:

$$V_o = \left[\left(\frac{A_I}{1 + \beta_I A_I} \right) I_s - I_o \right] R_o (1 + \beta_I A_I) \quad (7.27)$$

Khi $I_s = 0$, chúng ta có thể tìm được trở kháng ra của mạch khuếch đại hồi tiếp

$$R_{of} = \frac{V_o}{-I_o} = R_o (1 + \beta_I A_I) \quad (7.28)$$

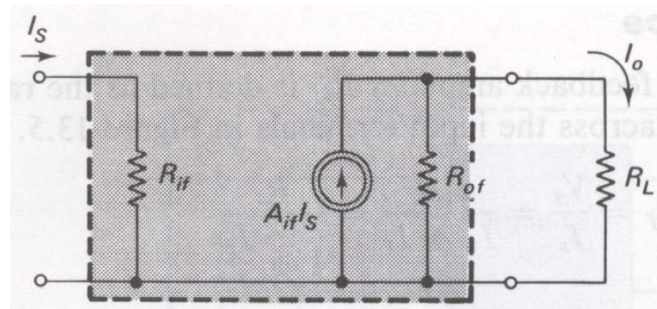
Vì thế, chúng ta thấy rằng hiệu ứng hồi tiếp dòng âm thì làm cho trở kháng ra tăng lên.

7.3.4 Mạch tương đương

Ta đã thấy hiệu ứng của hồi tiếp dòng âm trên độ lợi dòng, trở kháng ngõ vào và trở kháng ngõ ra. Trong biểu thức (7.27), chúng ta đã tìm được hệ số của I_s như A_{if} . Nếu sử dụng định nghĩa của R_{of} , ta có thể viết:

$$V_o = (A_{if} I_s - I_o) R_{of} \quad (7.29)$$

Hình 7.6 : Mạch tương đương của bộ khuếch đại hồi tiếp dòng



Biểu thức này đưa ra một mạch tương đương của ngõ ra với một dòng phát $A_{if} I_s$ và trở kháng ra R_{of} . Dòng ngõ vào là I_s và trở kháng vào là R_{if} . Mạch tương đương khuếch đại hồi tiếp được thể hiện ở hình 7.6. Những thông số của mạch khuếch đại hồi tiếp được xác định rõ ở ví dụ 7.2.

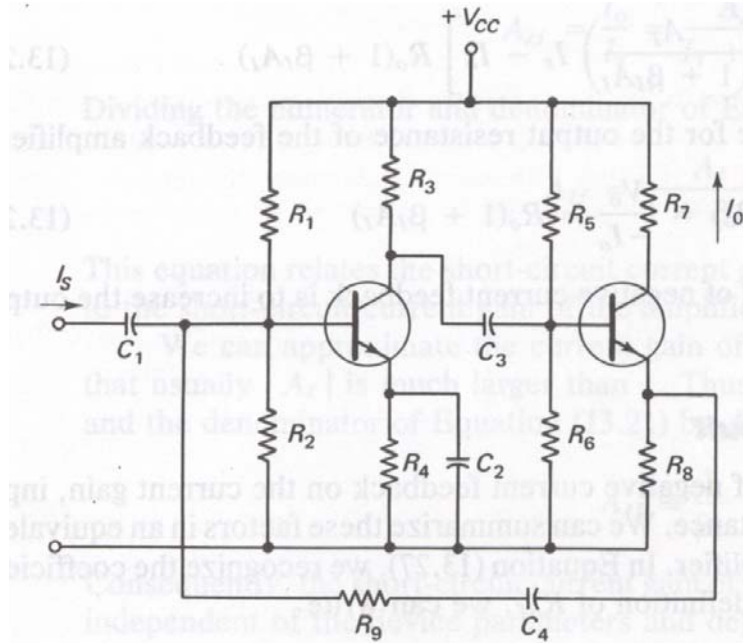
Ví dụ 7.2

Cho mạch như hình 7.7 là một mạch khuếch đại hồi tiếp dòng. Khi không hồi tiếp, các thông số mạch khuếch đại là: $A_I = 800$, $R_i = 1\text{k}\Omega$, và $R_o = 10\text{k}\Omega$. Hồi tiếp được đưa qua mạng hồi tiếp gồm có R_8 và R_9 ($220\ \Omega$ và $4.7\ \text{k}\Omega$). Chúng ta hãy xác định hệ số khuếch đại khi hồi tiếp.

Giải.

Hệ số hồi tiếp β_I được tìm từ tỉ số trở kháng:

$$\beta_I \cong \frac{R_8}{R_8 + R_9} \cong \frac{0.22}{0.22 + 4.7} \cong \frac{1}{22.4}$$



Hình 7.7 : Ví dụ của mạch khuếch đại hồi tiếp dòng.

Kể tiếp chúng ta tính giá trị thực của hồi tiếp

$$1 + \beta_I A_I \cong 1 + \frac{800}{22.4} \cong 36.7$$

Những hệ số khuếch đại hồi tiếp dòng có thể được tính toán như sau:

$$R_{if} = \frac{R_i}{1 + \beta_I A_I} \cong \frac{1000}{36.7} \Omega \cong 27 \Omega \quad (\text{theo 7.24})$$

$$R_{of} = R_o (1 + \beta_I A_I) \cong 10 \times 36.7 k\Omega \cong 367 k\Omega \quad (\text{theo 7.28})$$

$$A_{if} = \frac{A_I}{1 + \beta_I A_I} \cong \frac{800}{36.7} \cong 21.8 \quad (\text{theo 7.21})$$

Biểu thức này nghĩa là trong mạch khuếch đại hồi tiếp dòng, độ lợi dòng trong ví dụ này thì không phụ thuộc vào hệ số transistor và phụ thuộc vào giá trị điện trở hồi tiếp của R_8 và R_9 .

Phải chú ý khi xác định các hệ số khuếch đại không có hồi tiếp. Nếu ta muốn xác định các thông số ngõ vào, thì dòng ngõ ra phải để là không (hở mạch ngõ ra ở cực phát thứ hai, xem hình 7.7). Khi tính toán các hệ số ngõ ra, dòng ngõ vào phải để là không (hở mạch ngõ vào với cực nền đầu tiên). Theo cách này, hồi tiếp được loại ra, mặc dù tải của mạch hồi tiếp trên bộ khuếch đại không có hồi tiếp được đưa vào tính toán.

7.4 Hiệu ứng hồi tiếp khi đáp ứng tần số.

Như đã thấy trong hai phần trước, hồi tiếp làm thay đổi độ lợi, trở kháng vào và ra của một mạch khuếch đại, nó cũng giảm bớt đáp ứng tần số của mạch khuếch đại.

Một mạch khuếch đại không hồi tiếp có tần số thấp và tần số cao 3 dB được kí hiệu tương ứng là f_1 và f_2 . Mạch khuếch đại tương tự, hồi tiếp áp sẽ có tần số thấp và tần số cao 3 dB (kí hiệu tương ứng là f_{1f} và f_{2f}) được cho bởi:

$$f_{1f} = \frac{f_1}{1 + \beta A} \quad (7.30)$$

$$f_{2f} = f_2(1 + \beta A) \quad (7.31)$$

ở đó β và A sẽ có giá trị thích hợp (I hoặc V) phụ thuộc vào nó là một mạch khuếch đại hồi tiếp dòng hay hồi tiếp áp. Ảnh hưởng của hồi tiếp là làm giảm tần số 3 dB thấp hơn và làm tăng tần số cao 3 dB.

Vì vậy, băng thông của mạch khuếch đại hồi tiếp áp bị thay đổi. Nếu chúng ta giả sử rằng tần số thấp 3 dB rất nhỏ so với tần số cao 3 dB, thì băng thông khi hồi tiếp được cho bởi

$$BW_f \cong BW(1 + \beta A) \quad (7.32)$$

Ảnh hưởng của hồi tiếp trong bộ khuếch đại đáp ứng tần số được minh họa qua ví dụ 7.3.

Ví dụ 7.3:

Một mạch khuếch đại (không hồi tiếp) có độ lợi áp 1000 và có tần số thấp và tần số trên tương ứng là 100 Hz và 100 kHz. Nó được làm thành một bộ khuếch đại hồi tiếp có 20 dB hồi tiếp. Xác định đáp ứng tần số của mạch khuếch đại hồi tiếp?

Giải.

Đáp ứng tần số của mạch khuếch đại được thể hiện trong hình 7.8.

Tổng lượng hồi tiếp là

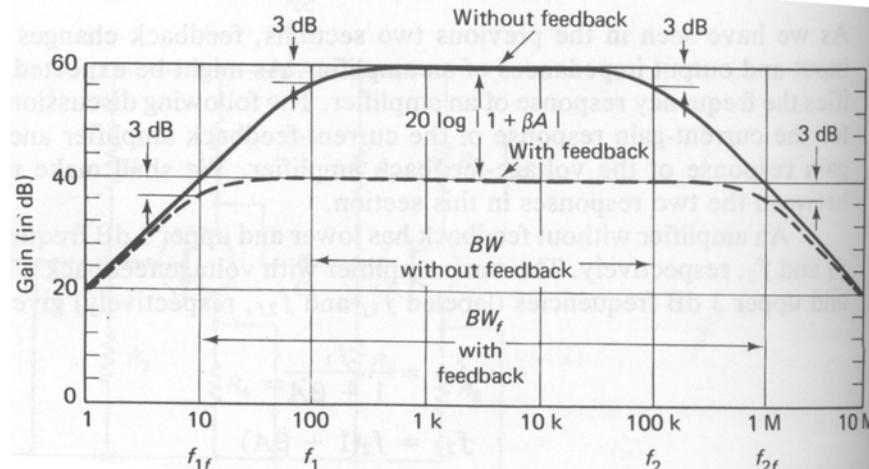
$$\text{dB of feedback} = 20 \log |1 + \beta A| = 20 \text{ dB}$$

Do đó,

$$1 + \beta A = 10$$

Khi hồi tiếp, độ lợi của mạch khuếch đại là

$$A_{vf} = \frac{1000}{10} = 100 \text{ hay } 40 \text{ dB}$$



Hình 7.8 :Hiệu ứng của hồi tiếp trong đáp ứng của mạch khuếch đại.

Tần số thấp và trên 3 dB là

$$f_{if} = \frac{100}{10} \text{ Hz} = 10 \text{ Hz}$$

$$f_{2f} = (100)(10) \text{ kHz} = 1 \text{ MHz}$$

Những kết quả này được tính trong hình 7.8. Chú ý rằng khi băng thông tăng thì độ lợi giảm. Trong trường hợp này, băng thông tăng 10 lần thì độ lợi giảm 10 lần.

7.5 Mạch dao động

Dao động là một trong những mạch điện tử cơ bản, chúng không có ngõ vào AC, nhưng lại cung cấp ngõ ra với 1 tần số xác định. Ngõ vào duy nhất cho bộ dao động chỉ là nguồn áp cung cấp để phân cực cho linh kiện tích cực hoặc các linh kiện được sử dụng trong mạch dao động. Thông thường các mạch dao động là bộ khuếch đại hồi tiếp với hệ số tiếp dương.

7.5.1 Tiêu chuẩn cho mạch dao động

Cho 1 mạch dao động tổng quát như hình 7.9. Bộ khuếch đại (không nhất thiết là OPAMP) có độ lợi áp A_v âm, tổng trở ngõ ra R_o & tổng trở vào R_i là rất lớn. Trong hình 7.10 , chúng ta vẽ lại mạch để thấy rõ mạch hồi tiếp gồm cả Z_1 & Z_2 .Mạch này là 1 dạng của hồi tiếp áp. Ta có độ lợi mạch là:

$$G = \frac{A}{1 - \beta A} \quad (7-33)$$

với β là hệ số hồi tiếp

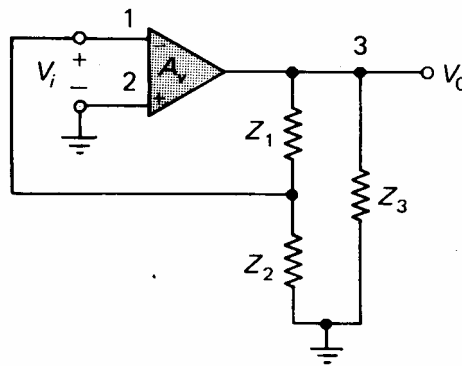
Tuy nhiên nếu mạch này dao động thì độ lợi phải vô hạn, tức là mẫu số phương trình (7-33) bằng 0, vì vậy :

$$|1 - \beta A| = 0$$

hay $|\beta A| = 1$ và góc pha của $(\beta A) = 0$ (7-34)

Trong đó βA được gọi là độ lợi vòng lặp, cả β và A là các hàm tần số & đều là các số phức.

Điều kiện của phương trình (7-34) được gọi là tiêu chuẩn Barkhausen; nó xác định điều kiện để có dao động. Theo tiêu chuẩn Barkhausen, tần số bộ dao động là tần số mà tại đó, tín hiệu di chuyển quanh vòng lặp.



Hình 7.9: Mạch dao động tổng quát

Như ở hình vẽ, tín hiệu ban đầu ở ngõ vào; nó phải cùng pha (để bảo đảm hồi tiếp dương), và biên độ của tín hiệu không được giảm trong quá trình lặp vòng. Tần số bộ dao động được quyết định bởi độ dịch pha (proper) của vòng hồi tiếp. Chú ý rằng độ lợi vòng lặp rất lớn (hơn 1) sẽ gây sai dạng tín hiệu & ngõ ra không còn ở dạng sin.

Thay thế bộ khuếch đại bằng mạch tương đương như ở hình 7.11. Hình 7.12 vẽ lại mạch của hình 7.11 khi không có hồi tiếp, ta có độ lợi không hồi tiếp:

$$A = A_v \frac{Z_L}{Z_L + R_0} \tag{7.35}$$

Trong đó, ta định nghĩa Z_L là tải không hồi tiếp :

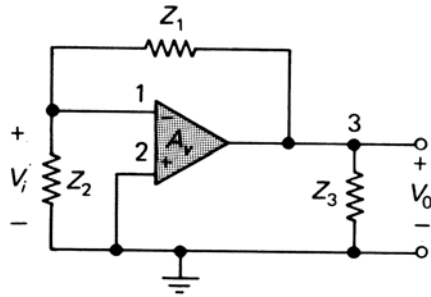
$$Z_L = \frac{(Z_1 + Z_2)Z_3}{Z_1 + Z_2 + Z_3} \tag{7.36}$$

Tương tự, ta xác định hệ số hồi tiếp β từ hình 7.5

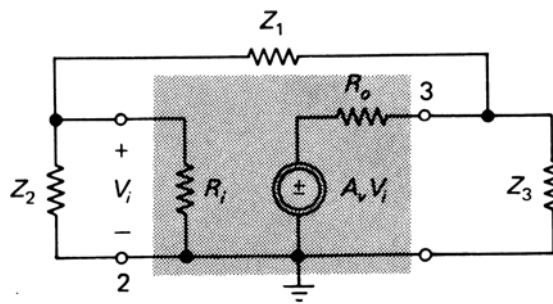
$$\beta = \frac{Z_2}{Z_1 + Z_2} \tag{7.37}$$

Thay thế phương trình (7.35), (7.36) & (7.37) vào tiêu chuẩn Barkhausen, ta thấy rằng phương trình (7.34) cho tần số dao động & độ lợi bộ khuếch đại cần tìm. Chúng ta sẽ xét trường hợp đặc biệt khi 3 trở kháng đều là linh kiện thụ động (thuần ảo)

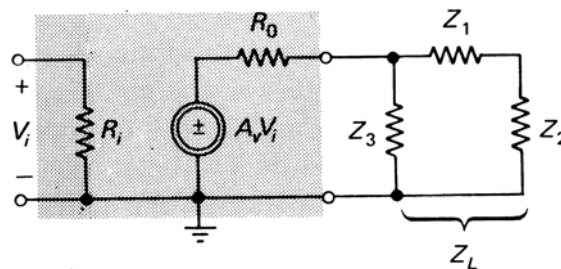
$$Z_1 = jX_1 \quad Z_2 = jX_2 \quad Z_3 = jX_3 \quad (7.38)$$



Hình 7.10 : Mạch dao động tổng quát được vẽ lại



Hình 7.11 : Mạch tương đương của mạch hình 7.10



Hình 7.12 : Xác định độ lợi không hồi tiếp

Sử dụng các mối quan hệ trong phương trình độ lợi vòng lặp, ta có:

$$\beta A = A_v \frac{-X_2 X_3}{-X_3 X_1 - X_2 X_3 + jR_0(X_1 + X_2 + X_3)} \quad (7.39)$$

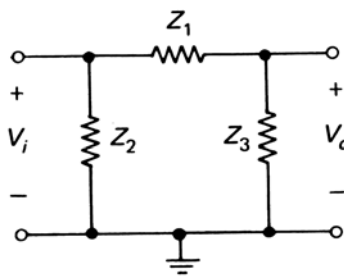
Để có góc pha của $\beta A = 0$, thì các thành phần ảo của mẫu số ở phương trình (7.39) phải bằng 0. Vì vậy:

$$X_1 + X_2 + X_3 = 0 \quad (7.40)$$

Ở mạch đã cho như trên, phương trình (7.40) sẽ cho ra tần số bộ dao động. Nếu ta cho biên độ của độ lợi vòng lặp bằng 1, ta sẽ có:

$$|A_v| = \frac{X_3}{X_2} \quad (7.41)$$

phương trình 7.9 cho giá trị, biên độ của độ lợi khuếch đại của bộ dao động. Để ý rằng trong thực tế, độ lợi bộ khuếch đại là âm.



Hình 7.13 : Xác định yếu tố hồi tiếp

7.5.2 Mạch dao động Hartley

Mạch dao động Hartley dùng OpAmp như hình 7.14. Ta có thể kiểm tra rằng mạch này là dạng cơ bản từ hình 7.9 nếu ta xem bộ khuếch đại là OpAmp với điện trở tạo ra độ lợi là R_1 & R_f . Độ lợi áp từ V_i đến V_o được cho bởi :

$$A_v = -\frac{R_f}{R_1} \quad (7.42)$$

Ta có thể so sánh vị trí của các cuộn dây & tụ điện của hình 7.14. với tổng trở ở hình 7.9, ta sẽ có:

$$X_1 = \frac{-1}{\omega C_1} \quad X_2 = \omega L_2 \quad X_3 = \omega L_3 \quad (7.43)$$

tần số dao động được tính bằng cách thay phương trình (7.43) vào phương trình (7.40)

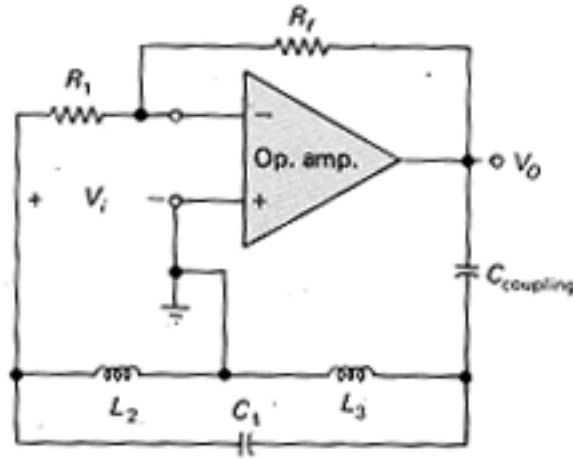
$$\frac{-1}{\omega C_1} = \omega(L_2 + L_3) \quad (7.44)$$

ta được tần số dao động f_o : với $\omega = 2\pi f$

$$f_o = \frac{1}{2\pi\sqrt{(L_2 + L_3)C_1}} \quad (7.45)$$

Độ lợi tối thiểu được tính từ phương trình (7.41):

$$|A_v| = \frac{L_3}{L_2} \quad (7.46)$$



Hình 7.14 : Mạch dao động Hartley dùng Op AMP

Ví dụ 7.4: Thiết kế mạch dao động Hartley như hình 7.14, với $L_3=0,4\text{mH}$, $L_2=0,1\text{mH}$ & $C_1=0.002 \mu\text{F}$. Xác định tần số dao động & giá trị R_1 & R_f để bảo đảm mạch dao động.

Giải: Tần số dao động được cho bởi phương trình (7.39):

$$f_0 = \frac{1}{2\pi[(0.4 + 0.1)(2 \times 10^{-12})]^{1/2}} \text{ Hz} \cong 159\text{kHz}$$

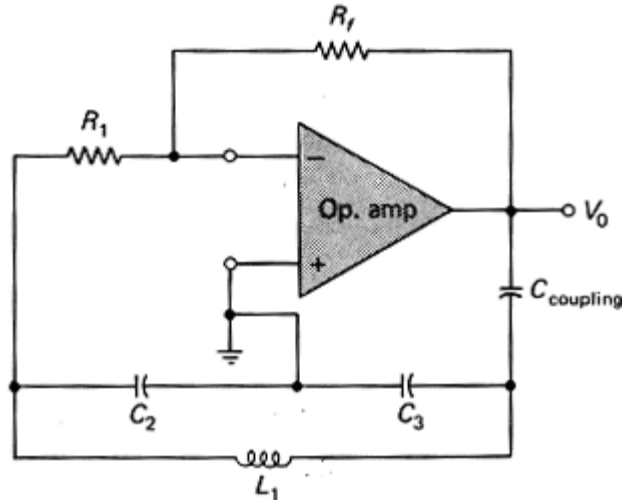
Độ lợi tối thiểu từ phương trình (7.46):

$$|A_v| = \frac{0.4}{0.1} = 4$$

Vì vậy, nếu chọn $R_1=100\text{k}\Omega$, thì $R_f = 430\text{k}\Omega$ để cho độ lợi áp là 4.3, như vậy sẽ bảo đảm dao động.

7.5.3 Mạch dao động Colpitts

Mạch dao động Colpitts tương tự như mạch Hartley nhưng ta thay thế tụ bằng cuộn dây & ngược lại (hình 7.15). Ta có thể phân tích mạch dao động Colpitts bằng cách sử dụng kết quả tổng quát ở mục 7.5



Hình 7.15 : Mạch dao động Colplitts

Chú ý rằng

$$X_1 = \omega L_1 \quad X_2 = \frac{-1}{\omega C_2} \quad X_3 = \frac{-1}{\omega C_3} \quad (7.47)$$

Cho tổng các phần tử này bằng 0, ta xác định được tần số dao động:

$$f_0 = \frac{1}{2\pi\sqrt{L_1 C_s}} \quad (7.48)$$

với C_s là giá trị của tụ C_2 nối tiếp C_3 :

$$C_s = \frac{C_2 C_3}{C_2 + C_3}$$

Độ lợi tối thiểu từ phương trình (7.41) với $|X_2| = 1/(\omega C_2)$ & $|X_3| = 1/(\omega C_3)$

là

$$A_v = \frac{C_2}{C_3} \quad (7.49)$$

bởi vì độ lợi lớn hơn 1, nên C_2 phải lớn hơn C_3

Ví dụ 7.5:

Mạch Opamp dao động Colpitts như hình 7.15 có $L_1=0,1\text{mH}$, $C_2=800\text{pF}$ & $C_3=400\text{pF}$
 Xác định tần số bộ dao động và độ lợi tối thiểu cần thiết để mạch dao động?

Giải:

Đầu tiên, ta tính điện dung tương đương:

$$C_s = \frac{(800)(400)}{800 + 400} pF \cong 267 pF$$

Tần số dao động:

$$f_0 = \frac{1}{2\pi\sqrt{2.67 \times 10^{-14}}} Hz \cong 0.97 MHz$$

Độ lợi tối thiểu để mạch dao động:

$$A_v = \frac{800}{400} = 2$$

Vì vậy, nếu chọn $R_1 = 100k\Omega$, thì $R_f = 200k\Omega$ hoặc chọn $R_f = 220k\Omega$ (cho đúng giá trị chuẩn điện trở) thì mạch sẽ dao động.

7.5.4 Mạch dao động dịch pha RC

Cả 2 bộ dao động Hartley & Colpitts hoạt động về căn bản là giống nhau, tại tần số, mạch hồi tiếp cho độ dịch pha là 180° . Bộ khuếch đại cung cấp 180° khác để bảo đảm độ dịch pha quanh vòng lặp là 0 (hoặc bội số của 360°). Ta có thể đạt được điều này bằng mạch dịch pha RC như hình 7.10 với tối thiểu 3 bộ RC cung cấp độ dịch pha là 180° . (1 tụ điện lý tưởng cho dịch pha 90° _vì vậy cần tối thiểu 3 bộ RC, mặc dù mạch có thể có 4 hoặc nhiều hơn).

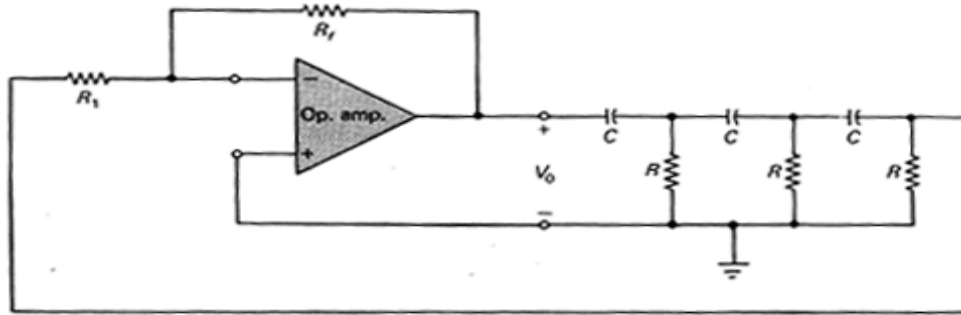
Mạng hồi tiếp cho độ dịch pha 180° tại tần số được cho bởi :

$$f_0 = \frac{1}{2\pi(2.45)RC} \tag{7.50}$$

Tại tần số này, độ lợi mạng hồi tiếp là $\frac{1}{29}$. Vì vậy bộ khuếch đại phải có độ lợi tối thiểu là 29 để bảo đảm dao động. Suy ra, phương trình

$$A_v = 29 = \frac{R_f}{R_1} \tag{7.51}$$

cho ta tìm ra các điện trở cần thiết. Ta có thể chọn $R_1 = 100k\Omega$ & $R_f = 3.3M\Omega$ để có độ lợi là 33



Hình 7.16 : Mạch dao động dịch pha

Ví dụ 7.6: Thiết kế mạch dao động như hình 7.16 với tần số dao động là 10kHz

Giải

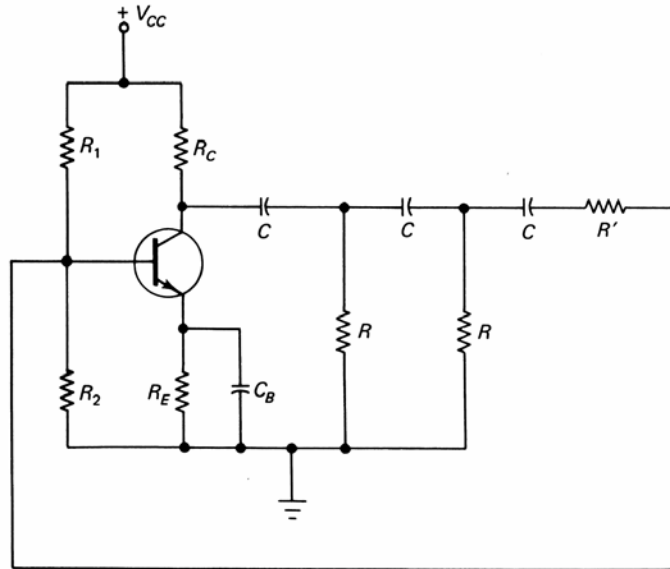
Chúng ta bắt đầu bằng việc chọn tụ điện $C = 0.001\mu F$. Sau đó tính giá trị từ phương trình (7.50)

$$R = \frac{1}{2\pi(2.45)(0.001 \times 10^{-6})(10 \times 10^3)} \approx 6.5k\Omega$$

Để cung cấp độ lợi & ngăn chặn việc giảm tải từ mạng hồi tiếp ta chọn $R_1 = 100k\Omega$ & $R_f = 3.3M\Omega$

Hình 7.17 minh họa 1 mạch dao động dịch pha RC dùng BJT. Để có ghép 3 bộ RC, ta phải bỏ điện trở R cuối cùng vì tải nặng của mạng hồi tiếp bằng tổng trở ngõ vào h_{ie} của BJT.

Để có tần số dao động, kết hợp song song R_1, R_2 & h_{ie} , tất cả nối tiếp với R' , được tính sao cho tương đương với R.



Hình 7.17 : Mạch dao động dịch pha RC

7.5.5 Bộ dao động cầu WIEN

Mạch dao động cầu WIEN dùng OpAmp được minh họa như hình 7.18. Mạch hồi tiếp dương gồm mạch kết hợp điện trở & tụ điện: R_1 song song với C_1 và R_1 nối tiếp với C_2 . Điện trở R_3 & R_4 quy định độ lợi của OpAmp. Ta có thể vẽ lại mạch để phân tích đơn giản hơn như hình 7.19 (nhưng tương đương nhau).

Dao động xuất hiện khi dịch pha qua mạng hồi tiếp = 0; và độ lợi được cung cấp bởi R_3 , R_4 đủ lớn để không bị mất tín hiệu trong mạng hồi tiếp.

Tần số của bộ dao động được xác định từ điều kiện mà tổng trở của nhánh R_1 - C_1 bằng với tổng trở nhánh R_2 - C_2 . Vì vậy,

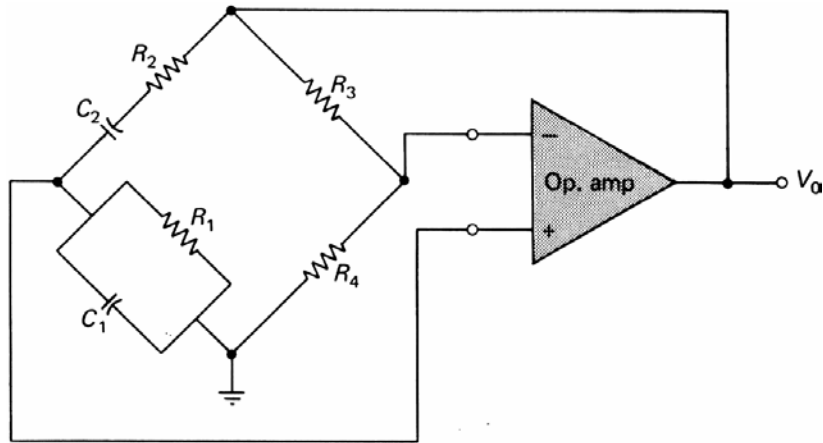
$$f_0 = \frac{1}{2\pi\sqrt{R_1 R_2 C_1 C_2}} \quad (7.52)$$

Tại tần số này, để cho độ lợi vòng lặp là 1, thì độ lợi bộ khuếch đại phải thỏa:

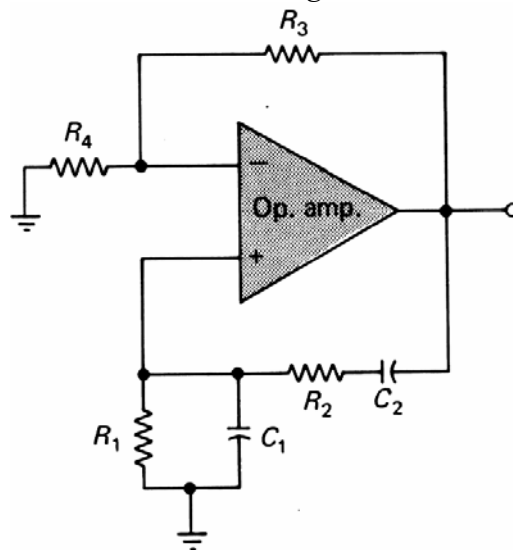
$$A_v \geq \frac{R_1}{R_2} + \frac{C_2}{C_1} + 1 \quad (7.53)$$

Từ đó, chọn được điện trở R_1 & R_2 , C_1 & C_2 và dễ dàng suy ra tần số dao động từ phương trình 7.52. Điện trở R_3 & R_4 được chọn để cho độ lợi như phương trình 7.53. Công thức độ lợi có R_3 & R_4 là:

$$A_v = \frac{R_3 + R_4}{R_4} = 1 + \frac{R_3}{R_4} \quad (7.54)$$



Hình 5.18 : Mạch dao động OPAMP cầu Wien



Hình 7.19 : Vẽ lại mạch dao động OPAMP cầu Wien

Vì vậy, ta tìm được giá trị R_3 , & R_4 bằng cách kết hợp phương trình 7.53 & 7.54

$$\frac{R_3}{R_4} \geq \frac{R_1}{R_2} + \frac{C_2}{C_1} \quad (7.55)$$

Trong trường hợp đặc biệt, khi $R_1 = R_2 = R$ & $C_1 = C_2 = C$, tần dao động sẽ là

$$f_0 = \frac{1}{2\pi RC} \quad (7.56)$$

và độ lợi tối thiểu cho mạch dao động là 3. Dĩ nhiên là $R_3 \geq 2R_4$ để bảo đảm mạch dao động (xem phương trình 7.54)

Bài tập:

Bài 1: Cho mạch dao động Hartley, như hình 7.14, dùng OpAmp, với tần số dao động là 455kHz. Xác định các giá trị linh kiện trong mạch.

Bài 2: Cho mạch dao động Colpitts dùng OpAmp như hình 7.15 với: $C_2 = 5000pF$, $C_3 = 500pF$ & $L=1mH$. Xác định tần số dao động & các giá trị điện trở để bảo đảm mạch dao động.

Bài 3: Cần thiết kế mạch dao động dịch pha dùng OpAmp với tần số dao động là 18kHz. Xác định các giá trị trong mạch (tất cả các tụ điện đều là $0.1 \mu F$)

Bài 4: Lặp lại bài 3 với mạch dao động dịch pha dùng BJT như hình 7.17 với thông số BJT là $h_{ie} = 2k\Omega$, $h_{fe} = 100$ và bỏ qua h_{re} , h_{oe} . Xác định giá trị R’

Bài 5: Cho mạch dao động cầu Wien như hình 7.18 với $R_1 = R_2 = 1 k\Omega$ & $C_1 = C_2 = 0.02 \mu F$. Xác định tần số dao động và giá trị các điện trở bảo đảm độ lợi cho mạch dao động?

Chương 8: CÁC MẠCH ỨNG DỤNG OPAMP

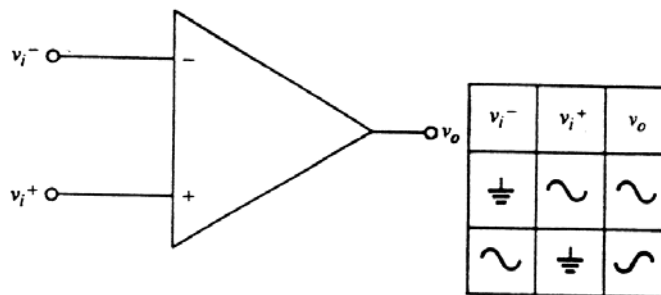
8-1 KHUẾCH ĐẠI THUẬT TOÁN LÝ TƯỞNG.

Nhắc lại rằng đại thuật toán là một khuếch đại ghép trực tiếp (vì sai) với hai ngõ vào và một ngõ ra. Chúng ta sẽ định nghĩa một bộ khuếch đại thuật toán lý tưởng theo những đặc tính như sau:

1. Nó có hệ số khuếch đại vô cùng.
2. Trở kháng ngõ vào là vô cùng.
3. Trở kháng ngõ ra là 0.

Mặc dù trên thực tế, không có bộ đại nào thỏa mãn hoàn toàn bất kỳ các yêu cầu trên, nhưng chúng ta xem như mô hình khuếch đại có hệ số khuếch đại và trở kháng ngõ vào rất lớn, và trở kháng ngõ ra rất nhỏ, đó là những kết quả sai số nhỏ không đáng kể so với những đặc điểm lý tưởng đó.

Hình 8-1 trình bày kí hiệu chuẩn cho một bộ khuếch đại thuật toán. Chú ý rằng: hai ngõ vào được đặt là “ + ” và “ - ” và những tín hiệu ngõ vào đã được chỉ rõ tương ứng v_i^+ và v_i^- . Nếu những ngõ vào là các tín hiệu khác pha, thì ngõ ra bộ khuếch đại sẽ cùng pha với v_i^+ và ngược pha với v_i^- . Vì lý do này, ngõ vào cực dương được gọi là ngõ vào không đảo và ngõ vào âm được gọi là ngõ vào đảo. Trong nhiều ứng dụng, một trong các ngõ vào bộ khuếch đại được nối đất, nên v_o cùng pha với ngõ vào nếu tín hiệu được nối với ngõ vào không đảo, và v_o là ngược pha với ngõ vào nếu tín hiệu được nối với ngõ vào đảo. Những ý tưởng này được tóm tắt trong bảng kèm theo hình 8-1.



Hình 8-1: Kí hiệu đại thuật toán, ngõ vào đảo (-) và ngõ vào không đảo (+)

Ở thời điểm này, một câu hỏi chính đáng mà có lẽ đã xảy ra với người đọc là: nếu hệ số khuếch đại là vô cùng, ngõ ra có thể là những dạng gì khác hơn là một dạng sóng xén? Về lý thuyết, nếu khuếch đại có hệ số khuếch đại là vô cùng, thì một điện áp vào rất nhỏ phải cho kết quả ở điện áp ngõ ra là rất lớn. Câu trả lời, dĩ nhiên là hệ số khuếch đại đó không là vô cùng, mà chỉ là rất lớn. Tuy nhiên, nó chỉ đúng khi một điện áp ngõ vào rất nhỏ sẽ gây ra khuếch đại điện áp ở ngõ ra để lái tới giới hạn điện áp dương hoặc âm rất lớn. Thực tế trả lời là khuếch đại thuật toán thì ít khi sử dụng toàn bộ hệ số khuếch đại cho ngõ vào. Đáng lý ra, những điện trở vô cùng thì được nối vào bộ khuếch

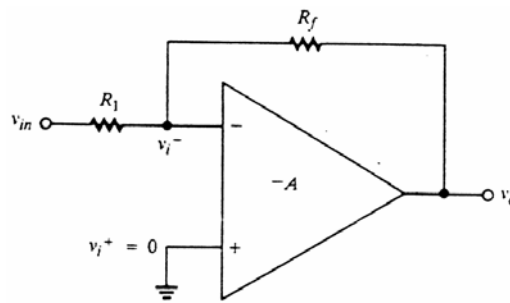
đại sao cho tín hiệu được khuếch đại không lớn như vậy. Những điện trở gây ra giảm hệ số khuếch đại qua tín hiệu hồi tiếp, chúng ta sẽ làm quen trong phần hồi tiếp âm.

KHUYẾCH ĐẠI ĐẢO

Sơ đồ mạch như hình 8-2. Đây là một ứng dụng khá hữu ích của bộ khuếch đại thuật toán. Ngõ vào không đảo được nối đất, v_{in} được nối qua R_1 với ngõ vào đảo, và điện trở hồi tiếp R_f được nối giữa ngõ ra và v_i^- . Bởi vì sử dụng bộ khuếch đại ở chế độ đảo, nên ta chỉ rõ hệ số khuếch đại điện áp là $-A$, vì vậy:

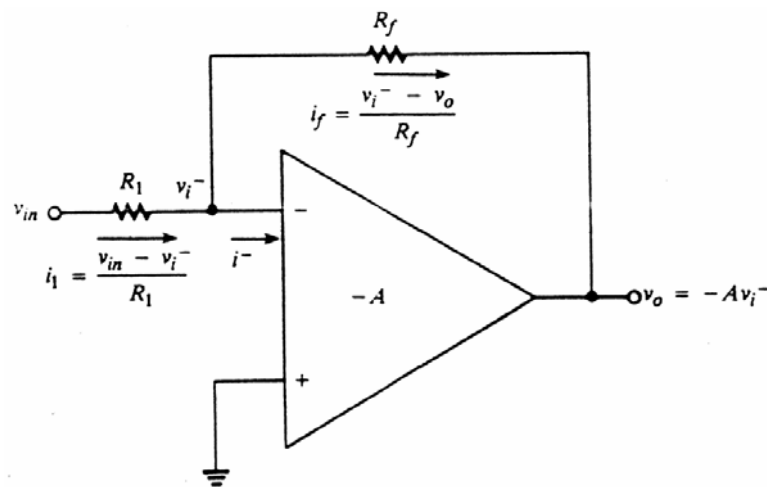
$$v_o = -A v_i^- \quad (8-1)$$

Chú ý v_i khác v_i^- . Chúng ta sẽ tìm hiểu mối quan hệ giữa v_o và v_{in} khi độ lớn của A là vô cùng.



Hình 8-2: Một ứng dụng của đại thuật toán với tín hiệu v_{in} đi qua R_1 , điện trở hồi tiếp R_f . $v_o/v_i^- = -A$

Hình 8-3 chỉ ra kết quả của điện áp và dòng điện đó khi tín hiệu vào v_{in} được kết nối. Từ định luật Ohm, dòng điện i_1 là sự chênh lệch về áp trên R_1 , chia cho R_1 :



Hình 8-3: Kết quả điện áp và dòng điện với điện áp vào v_{in} .

$$i_1 = (v_{in} - v_i^-) / R_1 \quad (8-2)$$

Tương tự, dòng điện i_f là sự sai biệt áp qua R_f , chia cho R_f .

$$i_f = (v_i^- - v_o) / R_f \quad (8-3)$$

Theo định luật Kirchhoff dòng ở ngõ vào đảo, chúng ta có

$$i_1 = i_f + i^- \quad (8-4)$$

Ở đó i^- là dòng đi vào bộ khuếch đại ở ngõ vào đảo. Tuy nhiên, khuếch đại lý tưởng có trở kháng ngõ vào vô cùng, mà giá trị i^- phải bằng 0. Vậy thì rất đơn giản

$$i_1 = i_f.$$

Thay thế (8-2) và (8-3) vào (8-5) được

$$(v_{in} - v_i^-) / R_1 = (v_i^- - v_o) / R_f$$

hoặc

$$v_{in} / R_1 - v_i^- / R_1 = v_i^- / R_f - v_o / R_f \quad (8-6)$$

Từ định nghĩa (biểu thức 8-1),

$$v_i^- = -v_o / A \quad (8-7)$$

nếu bây giờ giả định rằng $|A| = \text{vô cùng}$, ta thấy rằng $-v_o / A = 0$. Và do đó

$$v_i^- = 0 \text{ (khuếch đại lý tưởng, với } |A| = \text{vô cùng)} \quad (8-8)$$

thay $v_i^- = 0$ vào (8-6) được

$$v_{in} / R_1 = -v_o / R_f \quad \text{hay} \quad v_o / v_{in} = -R_f / R_1 \quad (8-9)$$

Chúng ta thấy rằng hệ số khuếch đại là số âm, chứng tỏ đây là một bộ khuếch đại đảo. Biểu thức 8-9 cũng cho thấy 1 điểm đặc biệt thường được dùng trong thực tế đó là độ lớn của v_o / v_{in} chỉ phụ thuộc vào tỉ lệ giá trị của điện trở và không phụ thuộc vào chính bộ khuếch đại. Miễn là hệ số khuếch đại và trở kháng vẫn khá lớn, sự biến thiên trong đặc tính khuếch đại (ví dụ, sự thay đổi nhiệt độ hoặc dung sai chế tạo) không làm ảnh hưởng đến v_o / v_{in} . Ví dụ, nếu $R_1 = 10K$ và $R_f = 100K$, chúng ta có thể chắc chắn rằng $v_o = -[(100K)/(10K)]v_{in} = -10 v_{in}$, mà hệ số khuếch đại cũng đến -10 như điện trở chính xác cho phép. Hệ số khuếch đại v_o / v_{in} được gọi là *độ lợi vòng kín* của bộ khuếch đại, trong khi A được gọi là *độ lợi vòng hở*. Trong ứng dụng này, ta thấy rằng hệ độ lợi vòng hở vô cùng lớn, có thể tới 10^6 , trong khi độ lợi vòng kín chỉ bằng 10.

Chúng ta sử dụng hệ số khuếch đại giả định là vô cùng để đạt được $v_i^- = 0$ (biểu thức 8-8). Trong thực tế thì, hệ số khuếch đại A rất lớn nhưng hữu hạn, v_i^- là một điện áp rất

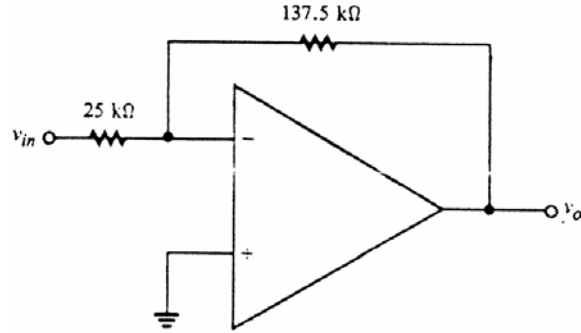
nhỏ, gần như 0. Vì lý do đó, ở đầu vào có một điện trở hồi tiếp được nối đất thì được gọi là đất ảo. Mục đích của sự phân tích, chúng ta thường giả sử rằng $v_i^- = 0$, nhưng không thể nối điểm đó xuống đất trong thực tế. Trừ khi v_i^- là đất ảo, trở kháng thấy bởi tín hiệu nguồn phát v_{in} thì R_1 là ohm.

Thí dụ 8-1

Cho đại thuật toán lý tưởng như hình 8-4, hãy tính:

1. giá trị hiệu dụng (rms) của v_o với $v_{in} = 1.5V_{rms}$
2. giá trị hiệu dụng của dòng điện qua điện trở $25k\Omega$ khi $v_{in} = 1.5V_{rms}$, và
3. điện áp ngõ ra khi $v_{in} = -0.6V$ dc.

Hình 8-4: (thí dụ 8.1)



Giải

1. Từ phương trình 8-9,

$$\frac{v_o}{v_{in}} = \frac{-R_f}{R_1} = \frac{137.5k\Omega}{25k\Omega} = -5.5$$

Vì vậy, $|v_o| = 5.5 |v_{in}| = 5.5(1.5V_{rms}) = 8.25V_{rms}$.

2. Do $v_i^- \approx 0$ (đất ảo), nên dòng qua điện trở $25-k\Omega$ là

$$i = \frac{v_{in}}{R_1} = \frac{1.5V_{rms}}{25k\Omega} = 60 \mu A_{rms}$$

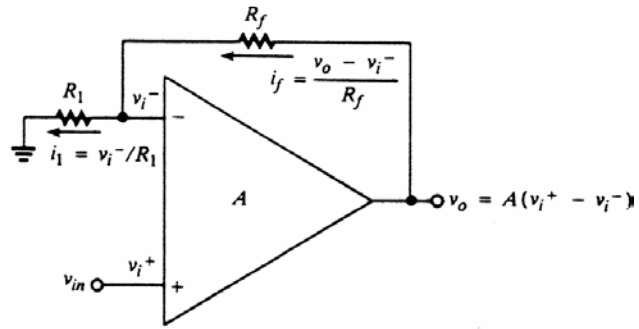
3. $v_o = (-5.5)v_{in} = (-5.5)(-0.6V) = 3.3V$ dc . Chú ý rằng áp ngõ ra dương khi áp ngõ vào dương, và ngược lại.

KHUẾCH ĐẠI KHÔNG ĐẢO

Hình 8-5 cho thấy 1 ứng dụng khác của bộ khuếch đại thuật toán, gọi là mạch khuếch đại không đảo. Chú ý rằng tín hiệu ngõ vào v_{in} được nối trực tiếp với ngõ vào không đảo và điện trở R_1 được nối với ngõ vào đảo với đất. Về lý tưởng, trở kháng ngõ vào là vô cùng lớn, không có dòng chảy qua ngõ vào đảo, vì vậy $i_1 = i_f$. Như thế,

$$v_i^-/R_1 = (v_o - v_i^-)/R_f. \tag{8-10}$$

Hình 8-5: Khuếch đại thuật toán với cấu hình không đảo



Như ở trên hình,

$$v_o = A(v_i^+ - v_i^-) \quad (8 - 11)$$

Suy ra,

$$v_i^- = v_i^+ - v_o / A \quad (8 - 12)$$

Cho $A = \infty$, v_o/A tiến về 0, ta có:

$$v_i^- = v_i^+ \quad (8 - 13)$$

Trừ v_i^+ cho v_i^- trong (8-13) cho ta:

$$\frac{v_i^+}{R_1} = \frac{v_o - v_i^+}{R_f} \quad (8 - 14)$$

Do $v_i^+ = v_{in}$, ta có:

$$\frac{v_o}{v_{in}} = 1 + \frac{R_f}{R_1} = \frac{R_1 + R_f}{R_1} \quad (8 - 15)$$

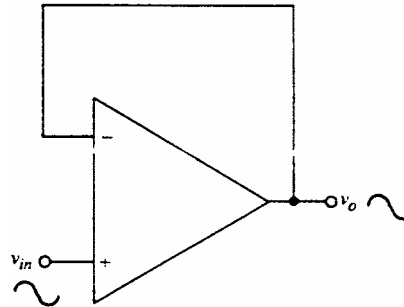
Ở phương trình (8 – 8), đối với bộ khuếch đại thuật toán không đảo, khi $v_i^+ = 0$, giả sử $|A| = \infty$, cho $v_i^- = 0$ (đất ảo), $v_i^- = v_i^+$. Cũng vậy, trong cấu hình không đảo, giả sử tương tự cũng cho kết quả giống nhau: $v_i^- = v_i^+$ (biểu thức 8-3). Như thế, chúng ta đi đến kết luận quan trọng chung đó là hồi tiếp cùng với hệ số khuếch đại điện áp rất lớn, gây nên điện áp ở ngõ vào đảo và ngõ vào không đảo xấp xỉ bằng nhau.

Biểu thức 8-15 cho thấy là độ lợi vòng kín của mạch đại không đảo, cũng như của mạch đại đảo, chỉ phụ thuộc vào giá trị của điện trở bên ngoài. Một ưu điểm nữa của bộ khuếch đại không đảo là trở kháng ngõ vào được nhìn bởi v_{in} là vô cùng lớn, hoặc ở rất lớn đối với một bộ khuếch đại thực tế. Bộ khuếch đại đảo và không đảo được sử dụng trong ứng dụng nhân điện áp, với điện áp được nhân lên bởi một hằng số cố định, hoặc hệ số tỉ lệ. Hằng số nhân lên trong bộ khuếch đại đảo là R_f/R_1 (có thể nhỏ hơn 1), và nó là $1 + R_f/R_1$ (luôn luôn lớn hơn 1) trong bộ khuếch đại không đảo. Phạm vi rộng của các hằng số có thể được thực hiện cách chọn R_f và R_1 cho thuận tiện khi tỷ số hệ số

khuếch đại là R_f/R_1 , và ít thuận tiện hơn trong trường hợp tỉ lệ hệ số khuếch đại là $1 + R_f/R_1$. Vì lý do đó, bộ khuếch đại đảo được sử dụng nhiều trong những ứng dụng nhân điện áp chính xác.

Người đọc có thể tự hỏi tại sao lại cần thiết sử dụng một bộ khuếch đại để nhân điện áp lên bằng một số nhỏ hơn 1, bởi vì điều này có thể được thực hiện đơn giản bằng 1 bộ chia áp?. Câu trả lời này là bộ khuếch đại đó cung cấp một hệ số khuếch đại công suất để lái 1 tải. Cũng vậy, bộ khuếch đại lý tưởng có trở kháng ngõ ra là 0 vì vậy điện áp ngõ ra không bị ảnh hưởng bởi sự thay đổi trở kháng của tải.

Hình 8 – 6: Bộ đệm áp



Hình 8-6 trình bày 1 trường hợp đặc biệt của bộ khuếch đại không đảo, được sử dụng ở các ứng dụng khuếch đại công suất và cách ly trở kháng ở phân sơ cấp. Chú ý rằng $R_f = 0$ và $R_1 = \infty$, vì vậy, với công thức 8-15, độ lợi vòng kín là $v_o/v_{in} = 1 + R_f/R_1 = 1$. Cấu hình này được gọi là **bộ theo điện áp** bởi vì v_o có độ lớn và pha tương tự như v_{in} . Như một BJT theo cực E, nó có trở kháng vào lớn và trở kháng ngõ ra nhỏ, và được sử dụng như một bộ khuếch đại đệm giữa nguồn trở kháng cao và một tải trở kháng thấp.

8.2 MẠCH CỘNG, MẠCH TRỪ VÀ MẠCH NHÂN

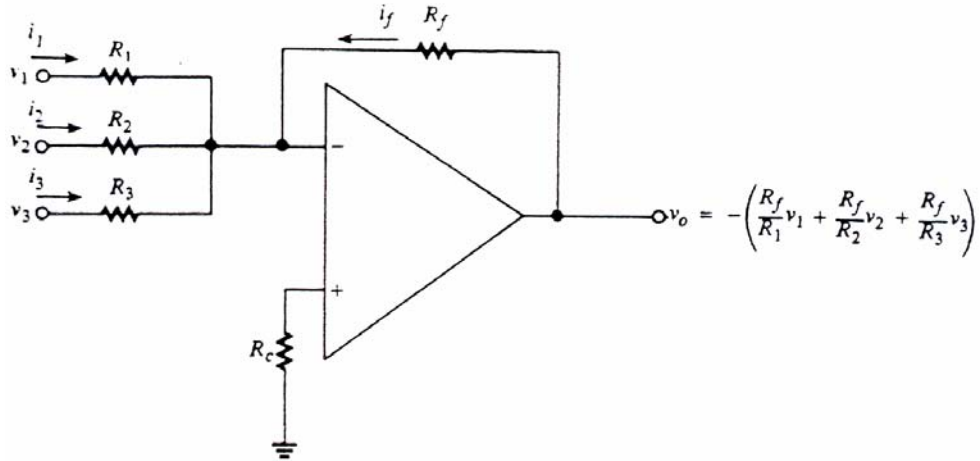
Mạch cộng điện áp

Như phần trên, chúng ta có thể khuếch đại tỉ lệ tín hiệu điện áp, tức là nhân nó với 1 hằng số thông qua việc lựa chọn các điện trở bên ngoài, các điện trở này quyết định độ lợi vòng kín của 1 mạch khuếch đại. Điều này đều có thể được thực hiện trên mạch khuếch đại đảo và không đảo. Ta cũng có thể cộng các tín hiệu điện áp trên 1 opamp cùng 1 lúc với hệ số tỉ lệ khác nhau. Ví dụ, với tín hiệu ngõ vào v_1 , v_2 , và v_3 , ta có thể tạo biểu thức ngõ ra như sau: $2v_1 + 0.5v_2 + 4v_3$, gọi là **tổ hợp tuyến tính** của v_1 , v_2 , và v_3 , và mạch này được gọi là **mạch tổ hợp tuyến tính**.

Hình 8 – 7 trình bày 1 mạch khuếch đại đảo có thể được sử dụng để cộng tỉ lệ 3 tín hiệu ngõ vào. Chú ý rằng 3 tín hiệu ngõ vào v_1 , v_2 , và v_3 được cung cấp qua 3 điện trở R_1 , R_2 , và R_3 vào mạch khuếch đại với R_f là điện trở hồi tiếp (R_c là điện trở bù offset).

Ta có phương trình dòng điện tại 3 ngõ vào bộ khuếch đại :

$$i_1 + i_2 + i_3 = i_f \tag{8 – 16}$$



Hình 8 – 7: Mạch khuếch đại opamp cho ngõ ra là tổng (đảo) của các tỉ lệ tín hiệu vào

Điện áp tại ngõ vào (-) opamp bằng 0, kết hợp với phương trình 8 – 16 , ta có:

$$\frac{v_1}{R_1} + \frac{v_2}{R_2} + \frac{v_3}{R_3} = \frac{-v_o}{R_f} \quad (8 - 17)$$

Ta tính được v_o :

$$v_o = -\left(\frac{R_f}{R_1} v_1 + \frac{R_f}{R_2} v_2 + \frac{R_f}{R_3} v_3 \right) \quad (8 - 18)$$

Phương trình 8 – 18 cho thấy ngõ ra là tổng đảo của các ngõ vào đã được tỉ lệ khác nhau, gọi là *tổng có trọng số*, hoặc là tổ hợp tuyến tính các ngõ vào. Bằng cách chọn các giá trị hợp lý cho R_1 , R_2 và R_3 , ta có thể tạo ra các hệ số tỉ lệ cần thiết và phù hợp thực tế. Nếu chọn $R_1 = R_2 = R_3 = R$, ta có:

$$v_o = \frac{-R_f}{R} (v_1 + v_2 + v_3) \quad (8 - 19)$$

và nếu $R_f = R$,

$$v_o = -(v_1 + v_2 + v_3) \quad (8 - 20)$$

Theo lý thuyết, có thể mở rộng thành 2, 3 hay bao nhiêu ngõ vào cũng được. Tỉ lệ hồi tiếp của mạch là:

$$\beta = \frac{R_p}{R_p + R_f} \quad (8 - 21)$$

với $R_p = R_1 \parallel R_2 \parallel R_3$. Với giá trị β này, ta có thể áp dụng phần lý thuyết ở chương trước để xác định tất cả các đặc tính phụ thuộc vào β , bao gồm băng thông vòng kín và offset ngõ ra $V_{OS}(V_{io})$. Giá trị tốt nhất của điện trở bù dòng phân cực là:

$$R_c = R_f \parallel R_p = R_f \parallel R_1 \parallel R_2 \parallel R_3 \quad (8 - 22)$$

Ví dụ 8 – 2:

1. Thiết kế một mạch khuếch đại opamp cho phương trình sóng ngõ ra là $-(4v_1 + v_2 + 0.1v_3)$.
2. Viết biểu thức và vẽ dạng sóng ngõ ra khi $v_1 = 2\sin \omega t$, $v_2 = +5V$ dc, và $v_3 = -100V$ dc.

Giải:

1. Chúng ta chọn tùy ý $R_f = 60\text{ k}\Omega$

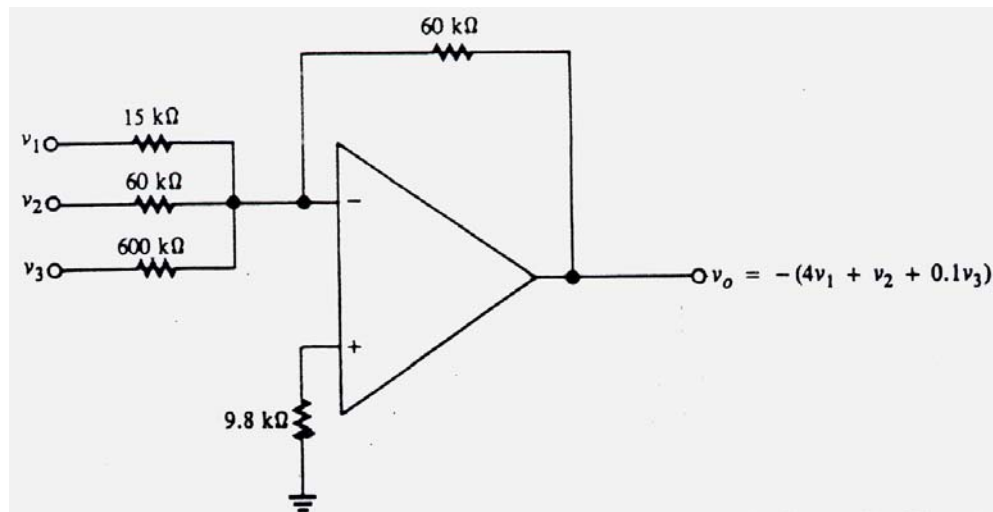
$$\frac{R_f}{R_1} = 4 \Rightarrow R_1 = \frac{60\text{k}\Omega}{4} = 15\text{k}\Omega$$

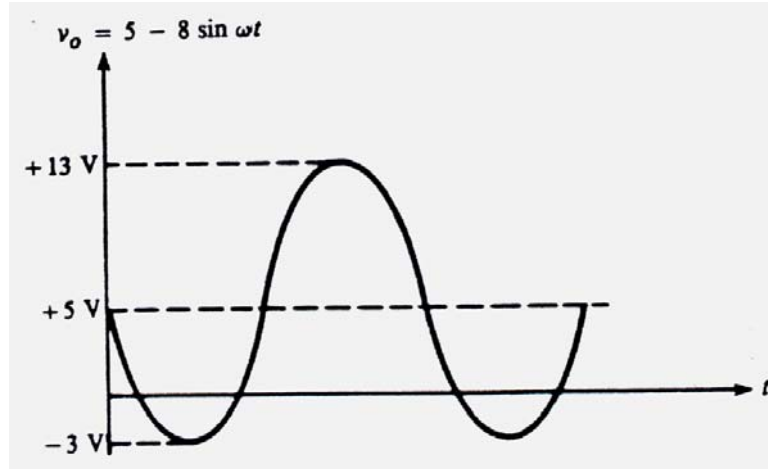
$$\frac{R_f}{R_2} = 1 \Rightarrow R_2 = \frac{60\text{k}\Omega}{1} = 60\text{k}\Omega$$

$$\frac{R_f}{R_3} = 0.1 \Rightarrow R_3 = \frac{60\text{k}\Omega}{0.1} = 600\text{k}\Omega$$

Với phương trình 8 – 22, giá trị tốt nhất cho điện trở bù là $R_c = R_f \parallel R_1 \parallel R_2 \parallel R_3 = (60\text{k}\Omega) \parallel (15\text{k}\Omega) \parallel (60\text{k}\Omega) \parallel (600\text{k}\Omega) = 9.8\text{ k}\Omega$. Sơ đồ mạch như hình 8 – 8:

Hình 8 – 8 (Thí dụ 8 – 2)





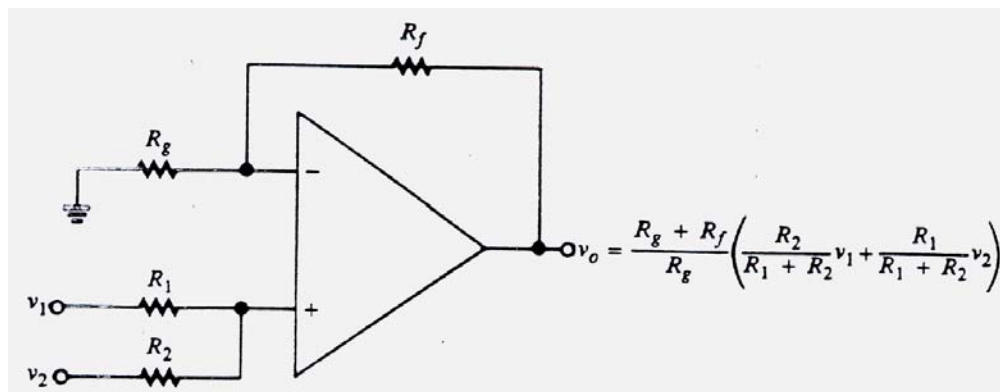
Hình 8 – 9: (Thí dụ 8 – 2)

2. $v_o = -[4(2 \sin \omega t) + 1(5) + 0.1(-100)] = -8 \sin \omega t - 5 + 10 = 5 - 8 \sin \omega t.$

Ngõ ra có dạng sin với offset là -5V và thay đổi giữa 5- 8 = -3V và 5 + 8 = 13V. Dạng sóng như hình 8 – 9.

Hình 8 – 10 là mạch tổ hợp tuyến tính không đảo dùng opamp. Ở ví dụ này, chỉ có hai ngõ vào với áo ngõ ra là:

$$v_o = \frac{R_g + R_f}{R_g} \left(\frac{R_2}{R_1 + R_2} v_1 + \frac{R_1}{R_1 + R_2} v_2 \right) \quad (8 - 22)$$



Hình 8 – 10 : Mạch tổ hợp tuyến tính không đảo

Mặc dù mạch này không đảo tổng các tỉ lệ ngõ vào, nhưng nó lại phiền hà hơn mạch đảo, chẳng hạn như việc chọn giá trị các điện trở để cho các hệ số tỉ lệ chính xác. Cũng như

vậy, dạng sóng ngõ ra bị giới hạn bởi phương trình $K[av_1 + (1 - a)v_2]$ với K và a các hằng số dương. Việc đảo pha thường không quan trọng, ngoại trừ trong 1 số ứng dụng đòi hỏi tổng không đảo, khi đó ta chỉ cần sử dụng 1 mạch cộng đảo nối với 1 mạch đảo với độ lợi đơn vị (bằng 1).

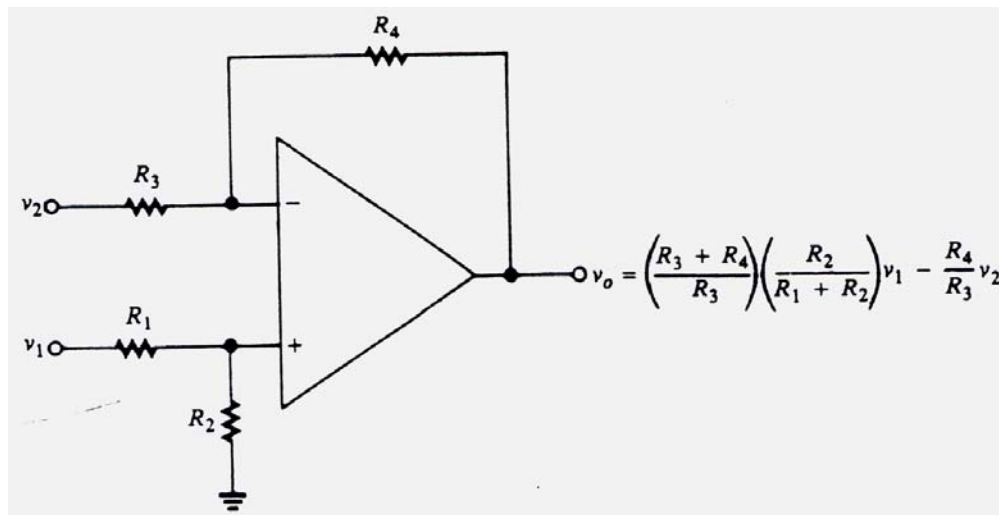
Mạch trừ

Giả sử, chúng ta tạo một dạng sóng ngõ ra bằng độ chênh lệch 2 tín hiệu ngõ vào, điều này có thể được thực hiện bằng cách sử dụng mạch khuếch đại ở chế độ *vi sai*, với các tín hiệu được đưa qua các điện trở nối với ngõ vào đảo và không đảo như hình 8 – 11. Ta sử dụng phương pháp chồng chất để xác định điện áp ngõ ra. Đầu tiên, giả sử rằng v_2 được nối đất, ta có:

$$v^+ = \frac{R_2}{R_1 + R_2} v_1 \tag{8 - 23}$$

nên:

$$v_{o1} = \frac{R_3 + R_4}{R_3} v^+ = \left(\frac{R_3 + R_4}{R_3} \right) \left(\frac{R_2}{R_1 + R_2} \right) v_1 \tag{8 - 24}$$



Hình 8 – 11: Sử dụng bộ khuếch đại ở chế độ *vi sai* để tạo tín hiệu ngõ ra tỷ lệ với sai biệt 2 tín hiệu ngõ vào

Bây giờ, giả sử v_1 nối đất, ta có:

$$v_{o2} = \frac{-R_4}{R_3} v_2 \tag{8 - 25}$$

Vi vậy, ngõ ra là:

$$v_o = v_{o1} + v_{o2} = \left(\frac{R_3 + R_4}{R_3} \right) \left(\frac{R_2}{R_1 + R_2} \right) v_1 - \left(\frac{R_4}{R_3} \right) v_2 \quad (8-26)$$

Phương trình 8 – 26 cho thấy ngõ ra tỉ lệ với sai biệt của 2 tín hiệu ngõ vào đã được nhân hệ số. Để ngõ ra có dạng:

$$v_o = A(v_1 - v_2) \quad (8-27)$$

với A là hằng số, ta phải chọn các giá trị điện trở như sau:

$$R_1 = R_3 = R \text{ và } R_2 = R_4 = AR \quad (8-28)$$

Thay thế vào phương trình (8 – 26), ta được:

$$\left(\frac{R + AR}{R} \right) \left(\frac{AR}{R + AR} \right) v_1 - \frac{AR}{R} v_2 = \frac{AR}{R} v_1 - \frac{AR}{R} v_2 = A(v_1 - v_2)$$

Khi đó, điện trở bù phân cực ($R_1 \parallel R_2$) chính là ($R_3 \parallel R_4$), bằng $R \parallel AR$.

Giả sử dạng sóng ngõ ra hình 8 – 11 có dạng:

$$v_o = a_1 v_1 - a_2 v_2 \quad (8-29)$$

với a_1 và a_2 là hằng số dương. Theo phương trình 8 – 26, ta có:

$$a_1 = \left(1 + \frac{R_4}{R_3} \right) \left(\frac{R_2}{R_1 + R_2} \right) \quad (8-30)$$

và

$$a_2 = \frac{R_4}{R_3} \quad (8-31)$$

Thay thế phương trình (8 – 31) vào phương trình (8 – 30) cho ta:

$$a_1 = (1 + a_2) \frac{R_2}{R_1 + R_2} \quad (8-32)$$

Nhưng $R_2/(R_1+R_2)$ luôn nhỏ hơn 1. Vì vậy, nếu sử dụng sơ đồ mạch hình 8 – 11 để tạo sóng ngõ ra có dạng $v_o = a_1 v_1 - a_2 v_2$, thì phải có điều kiện:

$$(1 + a_2) > a_1 \quad (8-33)$$

Ví dụ 8 – 3 14 – 2

Thiết kế mạch khuếch đại dùng opamp tạo sóng ngõ ra $v_o = 0.5v_1 - 2v_2$.

Giải

Chú ý rằng $a_1 = 0.5$ và $a_2 = 2$, vì vậy $(1 + a_2) > a_1$, nên ta có thể thiết kế mạch như hình 14 – 5.

So sánh v_o với phương trình 8 – 30, ta phải có:

$$\left(1 + \frac{R_4}{R_3}\right) \left(\frac{R_2}{R_1 + R_2}\right) = 0.5$$

và

$$\frac{R_4}{R_3} = 2$$

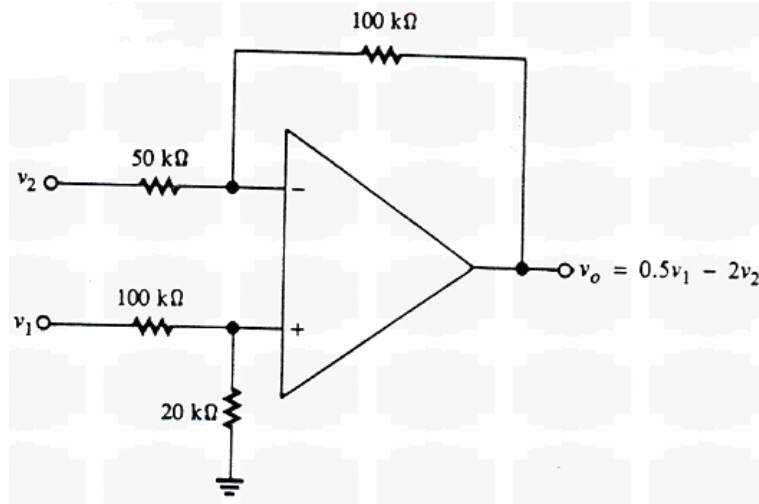
Ta sẽ chọn tùy ý $R_4 = 100 \text{ k}\Omega$ suy ra , $R_3 = R_4/2 = 50 \text{ k}\Omega$. Vì vậy

$$\left(1 + \frac{R_4}{R_3}\right) \left(\frac{R_2}{R_1 + R_2}\right) = \frac{3R_2}{R_1 + R_2} = 0.5$$

Chọn tùy ý $R_2 = 20 \text{ k}\Omega$, ta có:

$$\begin{aligned} \frac{3(20\text{k}\Omega)}{R_1 + (20\text{k}\Omega)} &= 0.5 \\ 60\text{k}\Omega &= 0.5R_1 + (10\text{k}\Omega) \\ R_1 &= 100\text{k}\Omega \end{aligned}$$

Sơ đồ mạch như hình vẽ 8 – 12.



Hình 8 – 12 (Thí dụ 8 – 3)

Trong ví dụ, ta chú ý rằng điện trở bù ($R_1 \parallel R_2 = (100\text{k}\Omega) \parallel (20\text{k}\Omega) = 16.67 \text{ k}\Omega$) không phải là giá trị tối ưu ($R_3 \parallel R_4 = (50\text{k}\Omega) \parallel (100\text{k}\Omega) = 33.3 \text{ k}\Omega$). Bằng phép toán khá phức tạp, ta có thể ép đặt thêm điều kiện $R_1 \parallel R_2 = R_3 \parallel R_4$ và vì vậy, giá trị điện trở

bù đạt được tối ưu. Với $v_o = a_1v_1 - a_2v_2$, có thể chứng minh rằng điện trở bù ($R_1 \parallel R_2$) đạt được tối ưu khi ta chọn các điện trở như sau:

$$R_4 = a_1R_1 = a_2R_3 = R_2(1 + a_2 - a_1) \quad (8 - 34)$$

Theo tiêu chuẩn thiết kế, người ta chọn R_4 và tìm R_1 , R_2 và R_3 . Trong ví dụ 8 - 3, $a_1 = 0.5$ và $a_2 = 2$. Nếu ta chọn $R_4 = 100k\Omega$, thì $R_1 = (100k\Omega)/0.5 = 200k\Omega$, $R_2 = (100k\Omega)/2.5 = 40k\Omega$, và $R_3 = (100k\Omega)/2 = 50k\Omega$. Việc chọn các giá trị điện trở này cho ta: $R_1 \parallel R_2 = 33.3k\Omega = R_3 \parallel R_4$, thỏa yêu cầu.

Mặc dù sơ đồ mạch hình 8 - 11 rất hữu ích và tiết kiệm để lấy sai phân tín hiệu điện áp theo dạng $A(v_1 - v_2)$, nhưng nó lại phức tạp và có những hạn chế khi ta muốn có dạng sóng ngõ ra $v_o = a_1v_1 - a_2v_2$. Để thực hiện điều này (sai phân của tỉ lệ khác nhau 2 tín hiệu vào), ta sử dụng 2 bộ khuếch đại đảo như hình 8 - 13. Ngõ ra của bộ khuếch đại thứ nhất là:

$$v_{o1} = \frac{-R_2}{R_1} v_1 \quad (8 - 35)$$

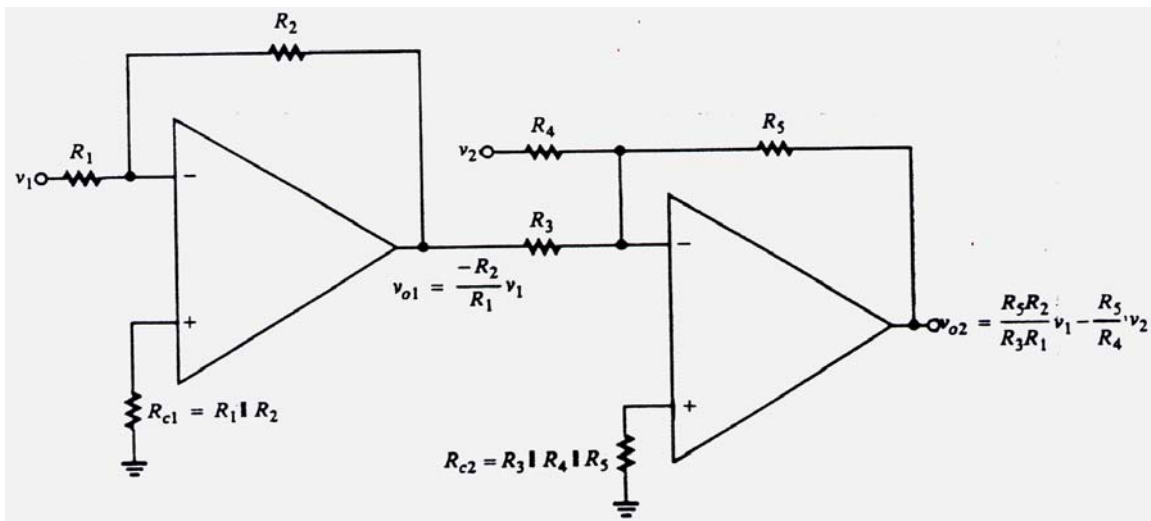
và ngõ ra bộ khuếch đại thứ hai là:

$$v_{o2} = -\left(\frac{R_5}{R_3} v_{o1} + \frac{R_5}{R_4} v_2\right) = \frac{R_5 R_2}{R_3 R_1} v_1 - \frac{R_5}{R_4} v_2 \quad (8 - 36)$$

Phương trình này cho thấy ta có thể uyển chuyển lựa chọn các giá trị điện trở khác nhau để có được dạng sóng $v_o = a_1v_1 - a_2v_2$, bởi vì có rất nhiều cách kết hợp để thỏa:

$$\frac{R_5 R_2}{R_3 R_1} = a_1 \quad \text{và} \quad \frac{R_5}{R_4} = a_2 \quad (8 - 37)$$

Hơn nữa, ở đây không có giới hạn trong việc chọn a_1 cũng như a_2 , và không còn rắc rối trong việc thiết lập giá trị tối ưu cho R_c .



Hình 8 - 13

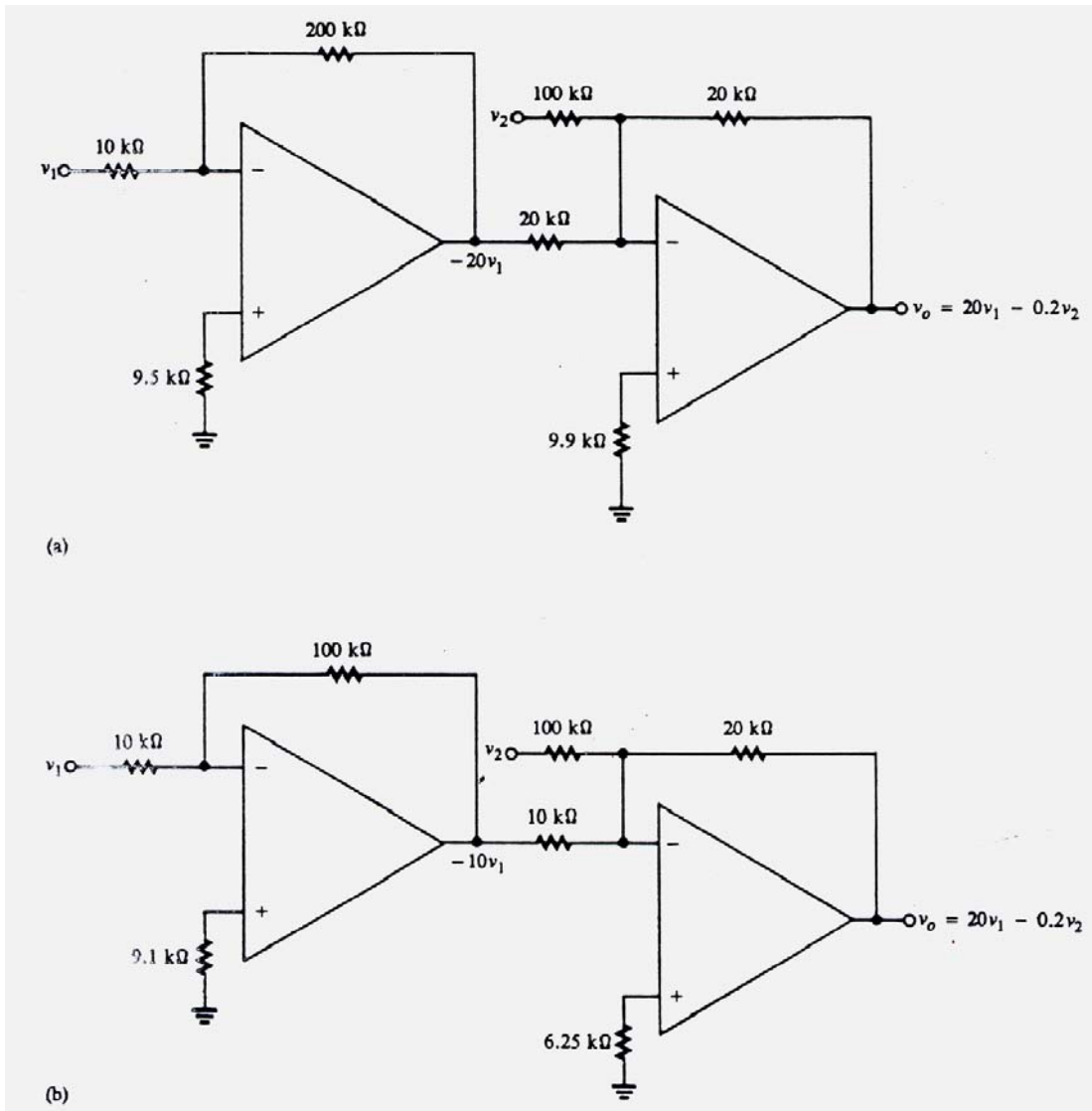
Sử dụng 2 bộ khuếch đại đảo để tạo sóng ngõ ra $v_o = a_1v_1 - a_2v_2$

Thí dụ 8 – 4

Thiết kế mạch khuếch đại dùng op amp sử dụng cấu hình có 2 bộ đảo với sóng ngõ ra $v_o = 10v_1 - 0.2v_2$. (Chú ý $1 + a_2 = 1.2 < 20 = a_1$, vì vậy không thể sử dụng mạch sai phân như hình 8 – 11.)

Giải

Có rất nhiều cách lựa chọn các điện trở đến nỗi ta có thể chọn trực tiếp, mà không cần phải sử dụng phương trình số học như (8 – 34).



Hình 8 – 14 (Thí dụ 8 – 4)

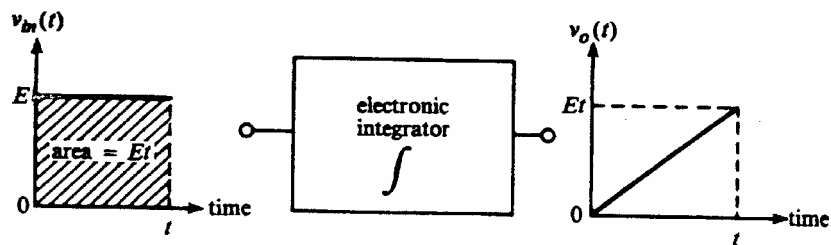
Chẳng hạn như chúng ta có thể bắt đầu bằng việc thiết kế bộ khuếch đại đầu tiên để tạo $-20v_1$. Chọn $R_1 = 10 \text{ k}\Omega$ và $R_2 = 200 \text{ k}\Omega$. Kế tiếp, bộ khuếch đại thứ hai cần phải đảo $-20v_1$, và tạo ra $0.2v_2$. Chọn $R_5 = 20 \text{ k}\Omega$. Do $R_5/R_3 = 1 \Rightarrow R_3 = 20 \text{ k}\Omega$ và $R_5/R_4 = 0.2 \Rightarrow R_4 = 100 R_5/R_3$.

Toàn bộ việc thiết kế được trình bày ở hình 8 – 14(a). Hình 8 – 14(b) là một đáp án khác, với tầng khuếch đại thứ nhất tạo $-10v_1$, và tầng khuếch đại thứ hai thực hiện mạch nhân với hằng số -2 . Các giá trị điện trở được tính toán như trên hình vẽ.

8.3 MẠCH TÍCH PHÂN VÀ VI PHÂN

Mạch tích phân

Mạch tích phân là mạch mà dạng sóng ngõ ra tại một thời điểm bất kỳ có giá trị bằng với tổng diện tích phía dưới dạng sóng tín hiệu vào tính tới thời điểm đang xét (trong phép tính tích phân, phương pháp tính này là một hàm biến đổi theo thời gian $\int_0^t v_{in}(t)dt$.) Để mô tả khái niệm này, giả sử ngõ vào mạch tích phân là tín hiệu DC mức E volt được đưa vào mạch tích phân tại thời điểm $t=0$. Xem hình 8-17. Đồ thị dạng sóng DC theo thời gian là một đường nằm ngang song song với trục hoành tại mức E volt, vì mức điện áp dc là hằng số. Thời gian tín hiệu qua mạch càng lâu thì diện tích phía dưới đường tín hiệu DC càng cao. Tại thời điểm t bất kỳ, tổng diện tích bên dưới đường tín hiệu dc giữa thời điểm 0 và thời điểm t là Et . Ví dụ, nếu $E=5V$ dc, thì ngõ ra sẽ là $5V$ tại thời điểm $t=1s$, $10V$ tại $t=2s$...ta thấy rằng điện áp ra là một đoạn dốc $v_o(t)=Et$



Hình 8-17: Ngõ ra mạch tích phân tại t giây, Et , với sóng ngõ vào

Khi tín hiệu vào mạch tích phân thực tế là tín hiệu DC thì tín hiệu ra sẽ tăng tuyến tính theo thời gian như trong hình 8-17 và sẽ đạt đến mức điện áp ngõ ra lớn nhất có thể có của mạch đại và quá trình tích phân sẽ dừng ở đó. Nếu điện áp vào xuống mức âm trong một khoảng thời gian nhất định thì diện tích dương đã tích lũy trước đó trừ đi diện tích trong khoảng thời gian xuống mức âm sẽ làm giảm điện áp ra. Do đó, ngõ vào phải có mức dương và âm theo chu kỳ để tránh cho ngõ ra của mạch tích phân đạt đến mức giới hạn âm hoặc dương. Ta sẽ tìm hiểu quá trình này kỹ hơn ở phần dạng sóng. Hình 8-18 là một mạch tích phân dùng đại thuật toán. Mạch đại có tụ C hồi tiếp về nên là mạch đại đảo. Bên cạnh những giả thiết của một mạch đại lý tưởng thông thường, ta giả thiết ngõ vào offset là 0, thì tín hiệu DC bất kỳ ở ngõ vào sẽ được lấy tích phân như hình 8-17 và cuối cùng sẽ làm cho mạch đại bão hoà. Dùng ký hiệu chuẩn $\int_0^t v dt$ để biểu diễn tích phân điện áp v giữa thời điểm 0 và thời

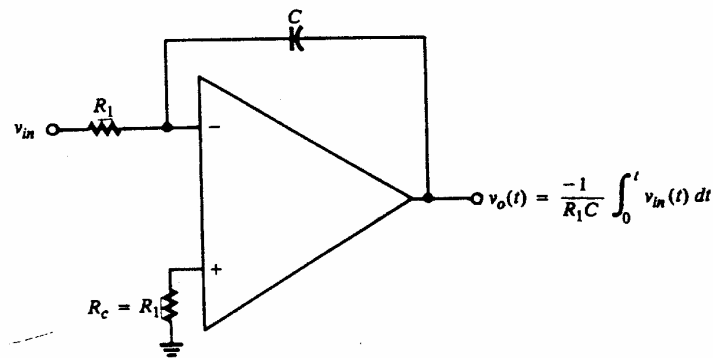
điểm t, ngõ ra của mạch là:

$$v_{o(t)} = \frac{-1}{R_1 C} \int_0^t v_{in} dt \quad (8-40)$$

Từ phương trình 8-40, ngõ ra là tích phân (đảo) của ngõ vào, nhân với hằng số $1/R_1 C$. Nếu mạch này dùng để tích hợp dạng sóng DC như trong hình 8-17 thì ngõ ra sẽ là một đoạn dốc xuống theo chiều âm ($v_o = -E_t / R_1 C$).

Ta sẽ chứng minh tại sao mạch trong hình 8-18 là mạch tích phân. Khi dòng vào mạch là 0, theo định luật Kirchhoff về dòng điện ta có:

$$i_1 + i_c = 0 \quad (8-41)$$



Hình 8-18: Mạch tích phân lý tưởng

Trong đó i_1 là dòng từ ngõ vào qua R_1 và i_c là dòng hồi tiếp qua tụ. Khi $v_- = 0$, dòng qua tụ là:

$$i_c = C \frac{dv_o}{dt} \quad (8-42)$$

vì vậy:

$$\frac{v_{in}}{R_1} + C \frac{dv_o}{dt} = 0 \quad (8-43)$$

hoặc:

$$\frac{dv_o}{dt} = \frac{-1}{R_1 C} v_{in} \quad (8-44)$$

Lấy tích phân hai vế theo t ta có:

$$v_o = \frac{-1}{R_1 C} \int_0^t v_{in} dt \quad (8-45)$$

Phép tính tích phân của sóng sine $A\sin\omega t$ là:

$$\int (A \sin \omega t) dt = \frac{-A}{\omega} (\sin(\omega t + 90^\circ)) = \frac{-A}{\omega} \cos(\omega t)$$

Khi tín hiệu vào mạch tích phân đảo trong hình 8-18 là $v_{in} = A\sin\omega t$ thì ngõ ra là:

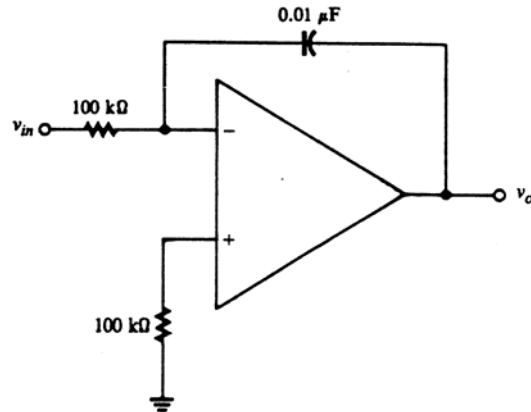
$$v_o = \frac{-1}{R_1 C} \int (A \sin \omega t) dt = \frac{-A}{\omega R_1 C} (-\cos \omega t) = \frac{A}{\omega R_1 C} \cos \omega t \quad (8-46)$$

Từ phương trình 8-46 ngõ ra của mạch tích phân có ngõ vào dạng sine là một tín hiệu sine có biên độ dao động tỷ lệ nghịch với tần số của nó. Ví dụ, nếu tín hiệu vào dạng sine tần số 100Hz cho ngõ ra có biên độ đỉnh là 10V thì với cùng điều kiện như vậy, một sóng sine tần số 200Hz sẽ cho ngõ ra có biên độ đỉnh là 5V. Chú ý là ngõ ra sớm pha so với ngõ vào 90° ở bất kể tần số nào vì $\cos\omega t = \sin(\omega t + 90^\circ)$

Ví dụ 8-8:

1. Tìm giá trị đỉnh của tín hiệu ngõ ra mạch tích phân trong hình 8-19 với ngõ vào là: $v_{in}=0.5 \sin(100t)$ V
2. Làm lại khi $v_{in}=0.5 \sin(10^3t)$ V

Hình 8-19: (Thí dụ 8 – 8)



Giải:

1. Từ phương trình 8-46:

$$v_o = \frac{A}{\omega R_1 C} \cos(\omega t) = \frac{0.5}{100(10^5)(10^{-8})} \cos(100t) = 5 \cos(100t)V$$

giá trị đỉnh là 5 V

2. Từ phương trình 8-46:

$$v_o = \frac{0.5}{1000(10^5)(10^{-8})} \cos(1000t) = 0.5 \cos(1000t)V$$

giá trị đỉnh là 0.5 V

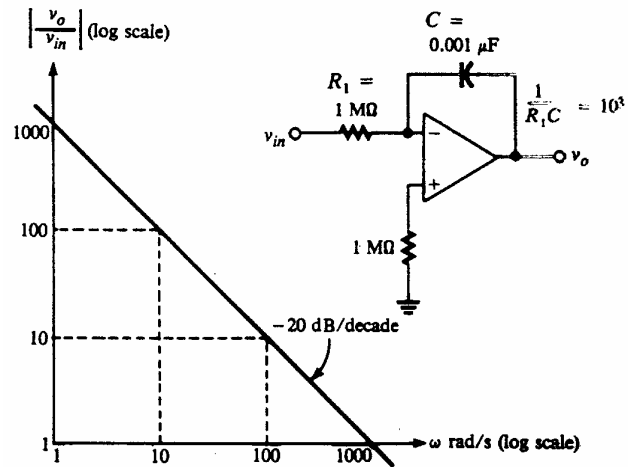
Ví dụ 8-8 cho thấy khi tần số tăng lên 10 lần sẽ làm cho biên độ ngõ ra giảm xuống 10 lần. Tương tự đối với giản đồ Bode, độ lợi của mạch tích phân lý tưởng sẽ có độ dốc -20dB/decade hay -6dB/octave. Độ lớn (giá trị tuyệt đối) của độ lợi là tỷ số giữa giá trị đỉnh của ngõ ra và giá trị đỉnh của ngõ vào.

$$\left| \frac{v_o}{v_{in}} \right| = \left(\frac{\frac{A}{\omega R_1 C}}{A} \right) = \frac{1}{\omega R_1 C} \quad (8-47)$$

phương trình này cho thấy độ lợi tỷ lệ nghịch với tần số. Giản đồ Bode trong trường hợp $R_1 C = 0.001$ trong hình 8-20.

Vì biên độ ngõ ra mạch tích phân giảm theo tần số nên nó là một dạng của mạch lọc thông thấp. Mạch này đôi khi còn được gọi là mạch xén vì biên độ của thành phần cao tần có dạng sóng phức tạp sẽ bị giảm xuống, như thế sẽ xén đi gai điện áp xuất hiện trong dạng sóng. Đặc điểm này thường được sử dụng để giảm nhiễu cao tần trong tín hiệu. Mạch tích phân cũng được sử dụng trong các máy tính tương tự để tìm thời gian thực cho các phương trình vi phân.

Hình 8-20: Biểu đồ Bode mạch tích phân lý tưởng, với $R_1 C = 0.001$



Mạch tích phân thực tế

Mặc dù có chất lượng cao, các mạch tích phân chính xác như trong hình 8-18 dùng trong các ứng dụng tần số thấp như máy tính tương tự, nhưng các ứng dụng này đòi hỏi mạch đại chất lượng cao với điện áp offset rất nhỏ hoặc thiết bị ngắt ổn định. Như đã đề cập, bất kỳ *offset* nào đều tạo tín hiệu tích phân ngõ ra, vì nó được xem như 1 tín hiệu DC, thậm chí nó còn *gây ra bão hòa* mạch khuếch đại. Để tránh vấn đề này, mạch tích phân thực tế sử dụng một điện trở mắc song song với tụ hồi tiếp như trong hình 8-21. Khi tụ làm hồ mạch ở DC, mạch tích phân chỉ đáp ứng với tín hiệu DC khi và chỉ khi nó là mạch đại đảo. Nói cách khác, độ lợi vòng mạch kín ở DC của mạch tích phân là $-R_f/R_1$. Ở tần số cao, trở kháng của tụ điện nhỏ hơn rất nhiều so với R_f nên nhánh song song C và R_f xem như chỉ có C và tín hiệu được tích phân như bình thường.

Trong khi điện trở hồi tiếp ở hình 8-21 ngăn sự hợp lại của các ngõ vào DC, nó cũng làm giảm sự hợp lại của các tín hiệu tần số thấp. Tại các tần số mà dung kháng của tụ C có thể so sánh được với R_f , trở kháng hồi tiếp không lớn hơn nhiều so với dung kháng thì tích hợp không xảy ra. Tích hợp chỉ xảy ra tại tần số lớn hơn nhiều so với tần số mà tại đó $X_C=R_f$. Để tích phân xảy ra ta cần có:

$$X_C \ll R_f$$

$$\frac{1}{2\pi f C} \ll R_f$$

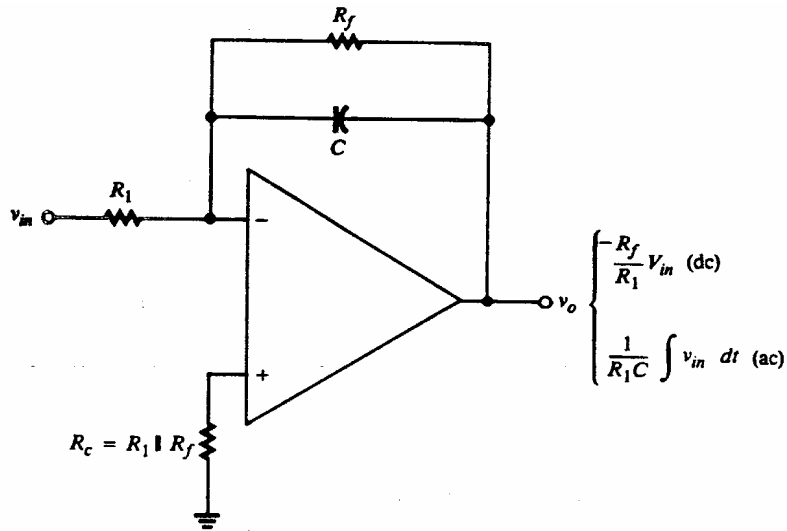
hoặc

$$f \gg \frac{1}{2\pi R_f C} \tag{8-48}$$

Tần số f_c tại đó $X_C=R_f$ là:

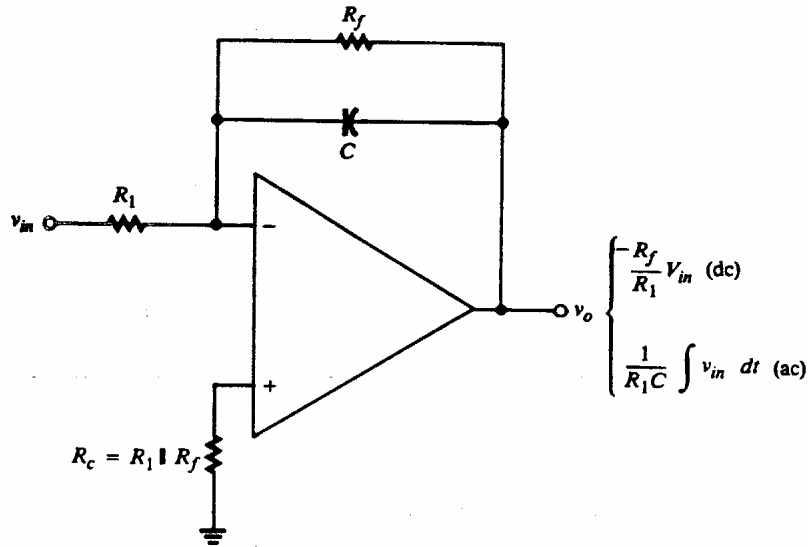
$$f_c = \frac{1}{2\pi R_f C} \tag{8-48a}$$

xác định tần số gây trên giản đồ Bode của mạch tích phân thực tế. Như trong hình 8-22, tại tần số ở phía trên f_c , độ lợi giảm xuống theo tỷ lệ -20dB/decade, giống với mạch tích phân lý tưởng, và tại tần số ở phía dưới f_c độ lợi đạt tới giá trị DC của nó là R_f/R_1



Hình 8-21:

Điện trở R_1 được mắc song song với C làm cho mạch tích phân thực tế giống như mạch đảo với các ngõ vào dc và giống như mạch tích phân với các ngõ vào tần số cao.



Hình 8-22:

Biểu đồ Bode của mạch tích phân thực tế, cho thấy tính tích phân xuất hiện tại các tần số trên $1/(2\pi R_f C)$ Hz

Ví dụ 8-9:

Thiết kế mạch tích phân thực tế:

1. tích phân những tín hiệu có tần số thấp hơn 100Hz
2. Cung cấp biên độ đỉnh ngõ ra là 0.1V khi biên độ đỉnh ngõ vào là 10V, sóng sine tần số 10kHz.

Tìm thành phần dc ở ngõ ra khi ngõ vào là 50mV DC.

Giải:

Để tích phân tín hiệu có tần số nhỏ hơn 100Hz, $f_c \ll 100$ Hz. Ta chọn f_c nhỏ hơn 100Hz : $f_c = 10$ Hz. từ phương trình 8-48a:

$$f_c = 10 = \frac{1}{2\pi R_f C}$$

chọn $C = 0.01 \mu F$ khi đó:

$$10 = \frac{1}{2\pi R_f (10^{-8})}$$

hay

$$R_f = \frac{1}{2\pi(10)(10^{-8})} = 1.59 M\Omega$$

Để thỏa yêu cầu 2 ta phải chọn R_1 sao cho độ lợi tại tần số 10kHz là:

$$\left| \frac{v_o}{v_{in}} \right| = \frac{0.1V}{10V} = 0.01$$

Giả sử ta bỏ qua R_f tại tần số này, độ lợi sẽ bằng với độ lợi trong mạch tích phân lý tưởng cho bởi phương trình 8-47:

$$\left| \frac{v_o}{v_{in}} \right| = \frac{1}{\omega R_1 C} = 0.01$$

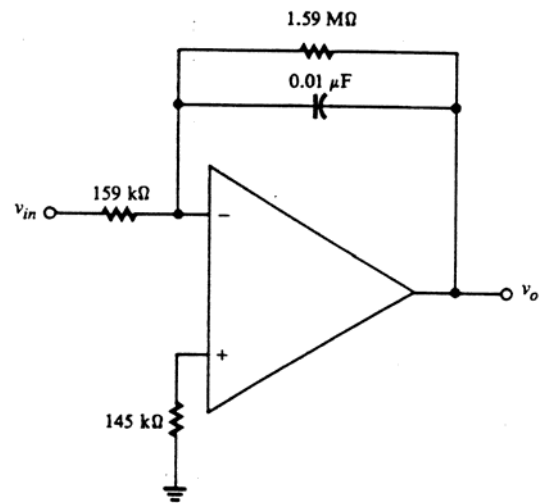
do đó:

$$\frac{1}{2\pi \times 10^4 R_1 (10^{-8})} = 0.01$$

hay

$$R_f = \frac{1}{2\pi \times 10^4 \times (0.01 \times 10^{-8})} = 1.59 k\Omega$$

mạch theo yêu cầu như trong hình 8-23, với $R_c = (1.59M)/(159K) = 145K$



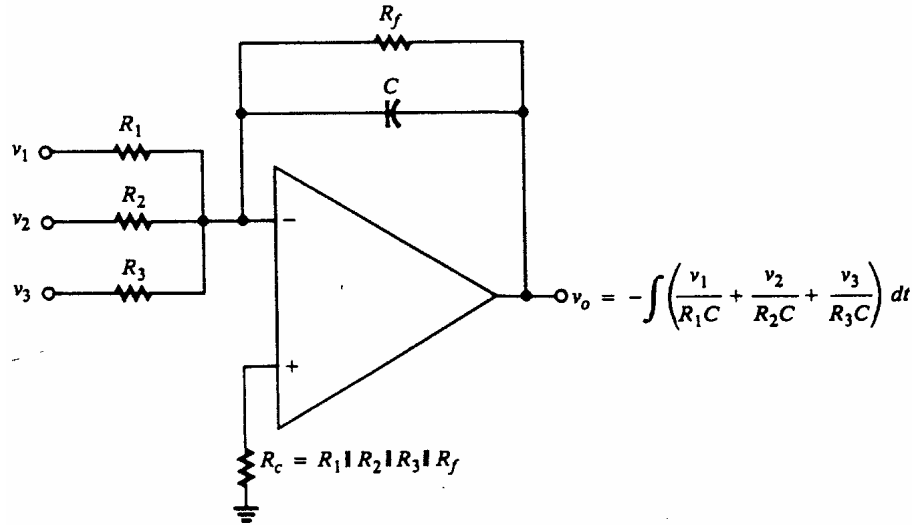
Hình 8-23: (Thí dụ 8 – 9)

Khi ngõ vào là 50mV dc, ngõ ra là 50mV nhân với độ lợi vòng mạch kín DC:

$$v_o = \frac{-R_f}{R_1} (50mV) = \frac{-1.59M\Omega}{159k\Omega} (50mV) = -0.5V$$

Để tích phân nhiều tín hiệu vào cùng một lúc, dùng cách sắp xếp tương tự với kết nối mạch tuyến tính đã học. Hình 8-24 là một ví dụ, mạch tích hợp 3 ngõ vào có thuật toán tại tần số trên f_c như sau:

$$v_o = -\int \left(\frac{1}{R_1 C} v_1 + \frac{1}{R_2 C} v_2 + \frac{1}{R_3 C} v_3 \right) dt \quad (8-49)$$



Hình 8-24: Mạch tích phân 2 ngõ vào

phương trình 8-49 tương đương với:

$$v_o = \frac{-1}{R_1 C} \int v_1 dt - \frac{-1}{R_2 C} \int v_2 dt - \frac{-1}{R_3 C} \int v_3 dt \quad (8-50)$$

Nếu $R_1=R_2=R_3=R$ thì:

$$v_o = \frac{-1}{R C} \int (v_1 + v_2 + v_3) dt \quad (8-51)$$

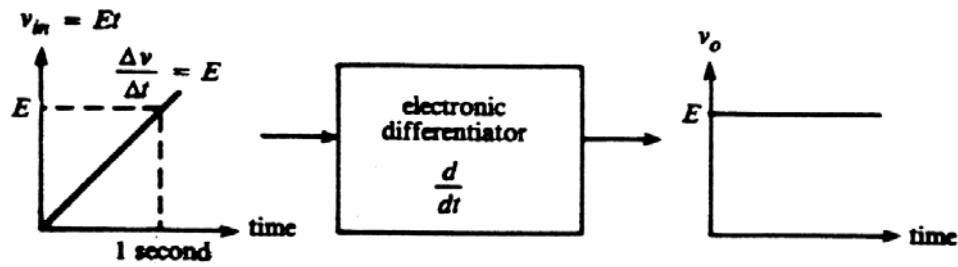
Mạch vi phân

Mạch vi phân cho dạng sóng ngõ ra có giá trị tại thời điểm bất kỳ bằng với *tỷ lệ thay đổi* của ngõ vào tại thời điểm đó. Vi phân là thuật toán ngược, đảo so với tích phân. Nếu ta cho tín hiệu đi qua một mạch tích phân lý tưởng ghép cascade với mạch vi phân lý tưởng, tín hiệu ngõ ra chính là tín hiệu vào.

Hình 8-25 mô tả hoạt động của một mạch vi phân lý tưởng. Trong ví dụ này, ngõ vào là đoạn dốc điện áp $v_{in}=Et$. Tỷ lệ thay đổi hay độ dốc của đoạn dốc này là hằng số E volt/second (sau mỗi giây, tín hiệu sẽ tăng lên một giá trị là E Volts). Vì tỷ lệ thay đổi của ngõ vào là hằng số nên ngõ ra của mạch vi phân là mức dc E volt không đổi.

Ký hiệu chuẩn được sử dụng cho phép vi phân điện áp là dv/dt . Trong ví dụ ở hình 8-25, ta phải viết là:

$$\frac{dv_{in}}{dt} = \frac{d(Et)}{dt} = E$$



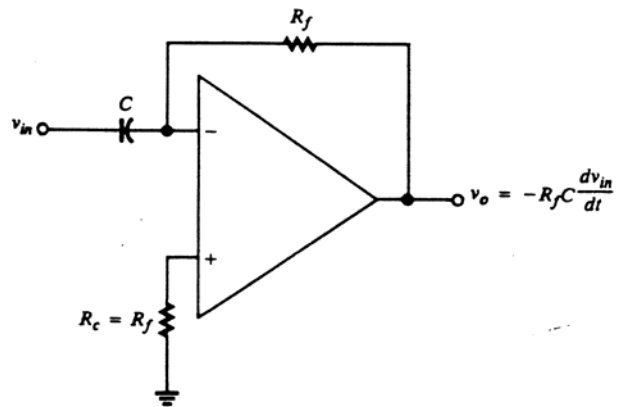
Hình 8-25: Mạch vi phân lý tưởng cho 2 ngõ ra bằng tốc độ biến thiên của ngõ vào. Do độ dốc của hàm dốc là hằng số, nên ngõ ra trong ví dụ này là mức dc.

Đạo hàm của hằng số là 0 vì hằng số không đổi theo thời gian nên có tỷ lệ thay đổi theo thời gian là 0.

Hình 8-26 là cấu trúc mạch vi phân lý tưởng dùng đại thuật toán. Chú ý là điện dung ngõ vào và điện trở hồi tiếp cũng ngược với mạch tích phân. Ngõ ra của mạch vi phân là:

$$v_o = -R_f C \frac{dv_{in}}{dt} \quad (8-52)$$

Điện áp ra là đạo hàm của ngõ vào nhân với hằng số $R_f C$. Nếu đoạn dốc điện áp trong hình 8-25 được cung cấp cho ngõ vào của mạch vi phân này thì ngõ ra sẽ là mức dc âm



Hình 8-26: Mạch vi phân lý tưởng

Vì dòng ngõ vào là 0, theo luật Kirchhoff về dòng :

$$i_c + i_f = 0 \quad (8-53)$$

Do $v_- = 0$, $v_C = v_{in}$ nên:

$$i_c = C \frac{dv_{in}}{dt} \quad (8-54)$$

$i_f = v_o / R_f$ nên:

$$C \frac{dv_{in}}{dt} + \frac{v_o}{R_f} = 0$$

hay

$$v_0 = -R_f C \frac{dv_{in}}{dt} \quad (8-55)$$

Ta có:

$$\frac{d(A \sin \omega t)}{dt} = A \omega \cos \omega t \quad (8-56)$$

Khi ngõ vào mạch vi phân ở hình 8-26 là $v_{in}=A \sin \omega t$, thì ngõ ra là:

$$v_0 = -R_f C \frac{d(A \sin \omega t)}{dt} = -A \omega R_f C \cos(\omega t) = A \omega R_f C \sin(\omega t - 90^\circ) \quad (8-57)$$

phương trình 8-57 cho thấy khi ngõ vào là sóng sin, biên độ ngõ ra của mạch vi phân tỷ lệ thuận với tần số. Ngõ ra lệch pha 90° với ngõ vào bất kể tần số. Độ lợi mạch vi phân là:

$$\left| \frac{v_0}{v_{in}} \right| = \frac{A \omega R_f C}{A} = \omega R_f C \quad (8-58)$$

Mạch vi phân thực tế

Khó khăn chủ yếu của mạch vi phân là nó đại tín hiệu vào tỷ lệ thuận với tần số nên nó cũng làm tăng mức nhiễu cao tần của tín hiệu ngõ ra. Khác với mạch tích phân, mạch vi phân không xén tín hiệu bằng cách giảm biên độ của thành phần cao tần mà làm tăng nhiễu cao tần. Do vậy, mạch vi phân ít được sử dụng trong các ứng dụng đòi hỏi tính chính xác cao như các máy tính tương tự.

Trong mạch vi phân thực tế, việc khuếch đại tín hiệu tỷ lệ thuận với tần số không thể tiếp tục khi tần số tăng vì mạch đại có băng thông xác định. Có một vài tần số mà tại đó biên độ ngõ ra phải bắt đầu giảm xuống. Ta thiết kế mạch đại vi phân thực tế sao cho tần số gãy nhỏ hơn cả tần số cắt cao của mạch đại để đặc tính độ lợi của nó chỉ dao động trong khoảng tần số thấp. Để làm điều này, ta mắc một điện trở nối tiếp với tụ điện C ngõ vào như trong hình 8-27. Xét trở kháng của tổ hợp R-C ở tần số thấp và cao:

$$Z_{in} = R_f - j / \omega C \quad (8-59)$$

$$|Z_{in}| = \sqrt{R_1^2 + (1 / \omega C)^2} \quad (8-60)$$

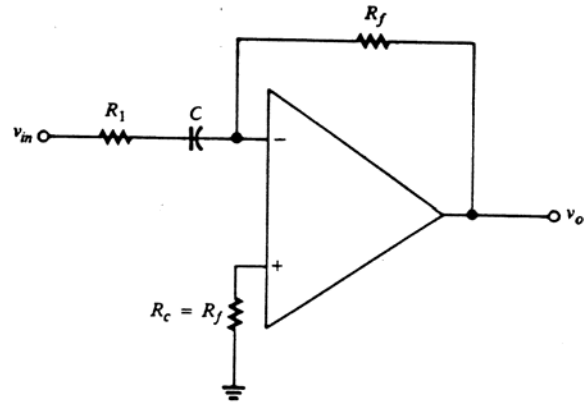
Tại giá trị rất nhỏ, Z_{in} được xác định bởi thành phần dung kháng, do đó xem như chỉ còn có C một mình và tác dụng vi phân vẫn diễn ra. Khi ω rất lớn, $1/\omega C$ xem như bỏ qua, nên Z_{in} chỉ còn R_1 , mạch hoạt động như một mạch đại đảo thông thường có độ lợi R_f/R_1 .

Tần số gãy f_b là tần số mà tại đó không còn xảy ra phép vi phân, khi đó dung kháng của tụ C bằng với điện trở R_1 :

$$\frac{1}{2\pi f_b C} = R_1 \quad (8-61)$$

$$f_b = \frac{1}{2\pi R_1 C} \text{ hertz}$$

Hình 8-27: Mạch vi phân thực tế, xảy ra tại tần số thấp, do điện trở R_1 chặn vi phân tại tần số cao.



Khi thiết kế mạch vi phân thực tế, tần số gãy phải lớn hơn tần số lớn nhất

$$f_b \gg f_h \tag{8-62}$$

trong đó f_h là tần số vi phân cao nhất. Hình 8-28 là giản đồ Bode độ lợi của mạch vi phân lý tưởng và thực tế. Ở vùng tần số thấp, độ lợi tăng theo tần số ở tỷ lệ 20dB/decade. Độ lợi sẽ nằm ngang, không đổi ở tần số lớn hơn f_b và bắt đầu giảm xuống theo tỷ lệ -20dB/decade ở tần số lớn hơn tần số cắt cao. Bằng thông vòng ngắn mạch hay tần số cắt cao cho bởi:

$$f_2 = \beta f_1 \tag{8-63}$$

Trong đó β là $R_1/(R_1+R_f)$

Trong một số ứng dụng có sử dụng mạch đại thuật toán có băng thông rất rộng, đáp ứng tần số phải nhanh hơn đáp ứng tần số của mạch vi phân thực tế trong hình 8-28. Điều này có thể thực hiện được bằng cách mắc tụ C_f song song với điện trở hồi tiếp R_f .

Điều này sẽ làm cho đáp ứng dao động tại -20dB/decade bắt đầu ở tần số gãy

$$f_{b2} = \frac{1}{2\pi R_f C_f} \text{ hertz} \tag{8-64}$$

Rõ ràng là f_{b2} phải được đặt lớn hơn f_b .

Ví dụ 8-10:

1. Thiết kế mạch vi phân thực tế sẽ vi phân tín hiệu có tần số nhỏ hơn 200Hz. Độ lợi tại tần số 10Hz là 0.1
2. Nếu mạch đại thuật toán sử dụng trong thiết kế có tần số độ lợi đơn vị là 1MHz, tần số cắt trên của mạch vi phân là bao nhiêu?

Giải:

1. Chọn R_1 và C sao cho tần số gãy f_b cao hơn $f_h=200\text{Hz}$. Chọn $f_b=10$, $f_h=2\text{k}$, $C=0.1\mu\text{F}$. Từ phương trình 8-61:

$$f_b = 2 \times 10^3 = \frac{1}{2\pi R_1 C}$$

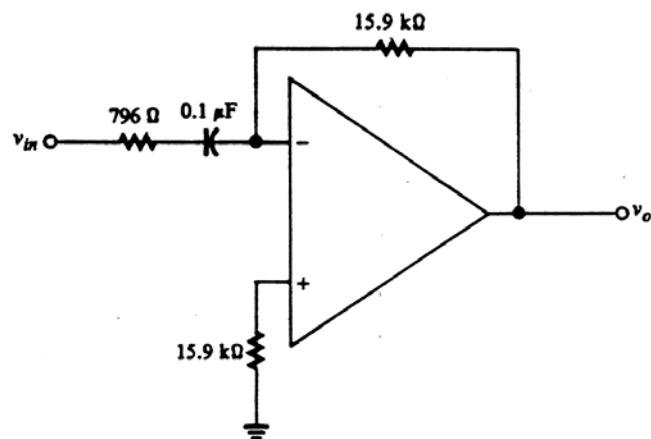
$$R_1 = \frac{1}{2\pi (2 \times 10^3) 10^{-7}} = 796\Omega$$

Để đạt độ lợi là 0.1 tại 10Hz, từ phương trình 8-58:

$$\left| \frac{v_o}{v_{in}} \right| = 0.1 = \omega R_f C = (2\pi \times 10) R_f (10^{-7})$$

$$R_f = \frac{0.1}{2\pi \times 10 \times 10^{-7}} = 15.9\text{k}\Omega$$

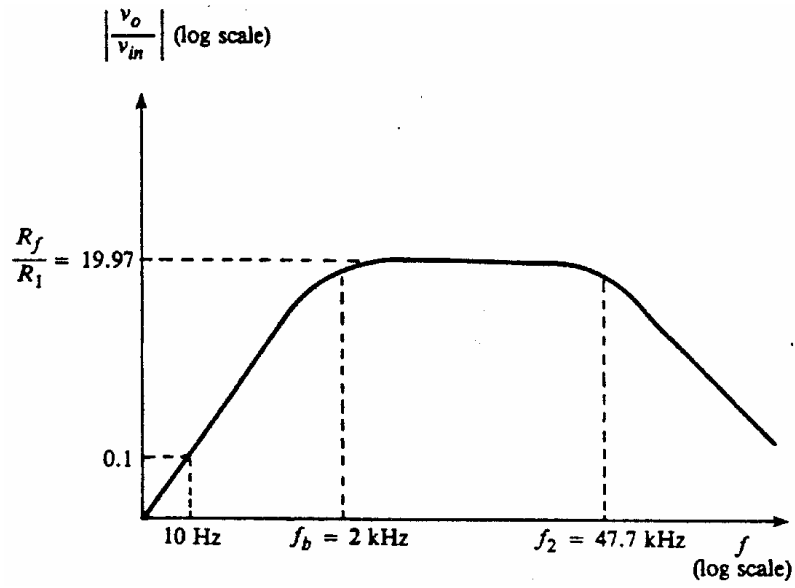
Thiết kế hoàn chỉnh như trong hình 8-29:



Hình 8-29: (thí dụ 8 – 10)

2.
$$\beta = \frac{R_1}{R_1 + R_f} = \frac{796}{796 + 15.9 \times 10^3} = 0.0477$$

Từ phương trình 8-63, $f_2 = \beta f_1 = (0.0477)(1\text{MHz}) = 47.7\text{kHz}$. Giảm đồ Bode như trong hình 8-30.



Hình 8-30: (Thí dụ 8 – 10)

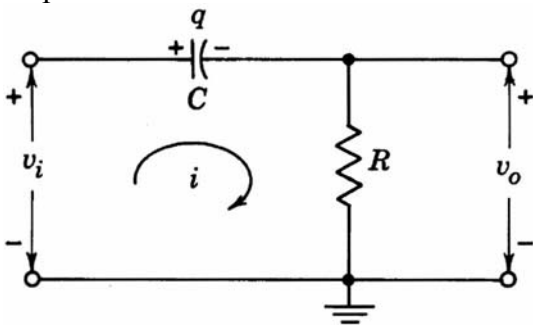
9

Mạch sửa dạng sóng tuyến tính RC

Trong mạch xung, các tín hiệu ngõ vào thường không có dạng sin. Quá trình sửa dạng sóng tuyến tính là quá trình làm cho dạng của tín hiệu vào không sin bị thay đổi khi đi qua một mạch tuyến tính. Quá trình này được thực hiện bằng các mạch sửa dạng sóng tuyến tính RLC, và ở đây chúng ta khảo sát mạch RC.

9-1 Mạch thông cao RC

Mạch trong hình 9-1 là một mạch lọc thông cao. Điện kháng của tụ giảm khi tần số tăng, do đó, các thành phần tần số cao của tín hiệu vào sẽ ít bị suy giảm hơn so với các thành phần tần số thấp.



Hình 9-1
Mạch RC thông cao.

Tại tần số dc, tụ có điện kháng là vô cùng và do đó tụ hở mạch. Thành phần dc của điện áp ngõ vào sẽ bị nghẽn (blocked) và không đến được ngõ ra. Tụ C được gọi là tụ blocking. Mạch hình 9-1 là mạch cơ bản thường được dùng nhất để ngăn dc giữa ngõ vào và ngõ ra. Nếu ngõ vào là tín hiệu sin ta đã biết độ lợi A và độ lệch pha của tín hiệu ra so với tín hiệu vào sẽ là

$$|A| = \frac{1}{[1 + (f_1/f)^2]^{1/2}} \quad \theta = \arctan \frac{f_1}{f} \quad (9-1)$$

trong đó $f_1 = 1/2\pi RC$ là tần số cắt thấp. Tại tần số này, độ lợi bằng 0.707 tương ứng với độ suy giảm là 3-dB.

9-1-1 Ngõ vào là điện áp bước

Điện áp bước (step voltage) có giá trị 0 khi $t < 0$ và có giá trị V khi $t \geq 0$. Hình 9-2 vẽ dạng điện áp bước và đáp ứng của mạch RC thông cao. Đáp ứng của mạch là một hàm lũy thừa với hằng số thời gian, hay còn gọi là thời hằng $RC \equiv \tau$, và điện áp ngõ ra có dạng

$$v_o = B_1 + B_2 e^{-t/\tau} \quad (9-2)$$

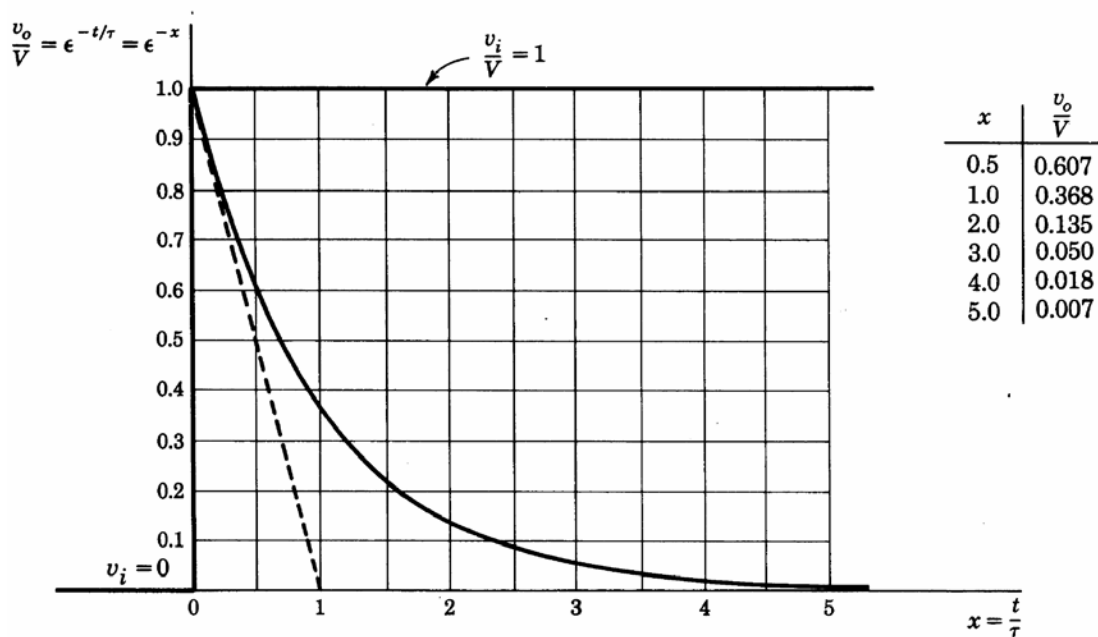
Hằng số B_1 là giá trị xác lập của điện áp ngõ ra vì khi $t \rightarrow \infty, v_o \rightarrow B_1$. Nếu giá trị cuối cùng của điện áp ngõ ra là V_f thì $B_1 = V_f$. Hằng số B_2 được xác định từ điều kiện đầu của điện áp ngõ ra. Giả sử tại thời điểm $t = 0$, điện áp ngõ ra là V_i thì $v_o = V_i = B_1 + B_2$, tức là $B_2 = V_i - V_f$. Dạng tổng quát của điện áp ngõ ra là

$$v_o = V_f + (V_i - V_f) e^{-t/\tau} \quad (9-3)$$

Bây giờ ta sẽ tính các hằng số V_f và V_i cho mạch hình 9-1 với ngõ vào là hàm bước. Ta đã biết là tụ C ngăn thành phần dc của ngõ vào, và đối với hàm bước, ngõ vào là hằng số khi $t > 0$ nên điện áp ngõ ra cuối cùng phải là $V_f = 0$. Nếu dòng tức thời qua tụ là i thì sự thay đổi điện áp trên tụ trong thời gian t_1 là $(1/C) \int_0^{t_1} i dt$. Nếu $t_1 \rightarrow 0$ thì tích phân này cũng sẽ tiến đến 0 vì biên độ của dòng điện luôn có giá trị xác định. Do đó điện áp trên tụ không thể thay đổi tức thời. Từ nguyên tắc này ta có thể kết luận là tại thời điểm $t = 0$, vì điện áp vào thay đổi đột ngột một lượng là V nên điện áp ra cũng phải thay đổi cùng một lượng như điện áp vào để giữ cho áp trên tụ không thay đổi đột ngột. Nếu ban đầu tụ chưa tích điện thì ngõ ra, tại thời điểm $t = 0+$ phải có giá trị là V . Như vậy $V_i = V$ và biểu thức 9-3 trở thành

$$v_o = V e^{-t/\tau} \quad (9-4)$$

Hình 9-2 vẽ dạng điện áp ngõ vào và ngõ ra của mạch RC thông cao khi ngõ vào là điện áp bước. Ngõ ra đạt 0.61 lần giá trị đầu tại thời điểm 0.5τ , 0.37 lần tại thời điểm 1τ và 0.14 lần tại thời điểm 2τ . Ngõ ra sẽ đạt hơn 95% giá trị cuối cùng của nó sau một khoảng thời gian là 3τ và nhiều hơn 99% sau 5τ . Sau khoảng thời gian này, mạch được xem là đạt đến trạng thái xác lập.

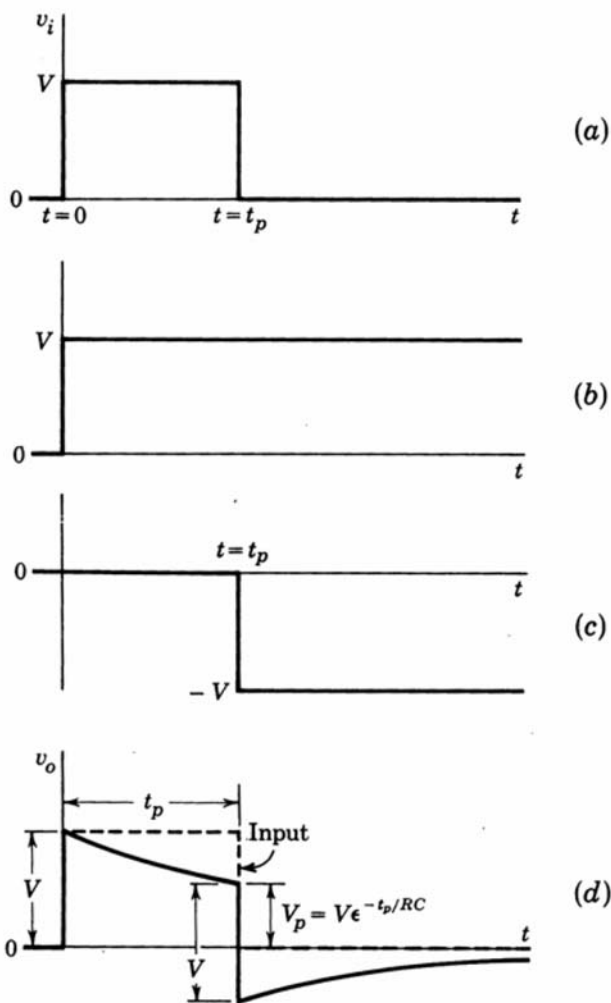


Hình 9-2
 Đáp ứng điện áp bước của mạch RC thông cao.

9-1-2 Ngõ vào là xung vuông

Một xung vuông lý tưởng có dạng như hình 9-3(a). Biên độ của xung là V , độ rộng xung là t_p . Từ hình 9-3(b) và (c) có thể thấy dạng xung vuông là kết quả của việc cộng hai điện áp bước, một có điện áp là $+V$ xuất hiện tại $t = 0$ và một có điện áp $-V$ xuất hiện tại thời điểm $t = t_p$.

Nếu xung vuông của hình 9-3(a) được áp đến ngõ vào của mạch hình 9-1 thì đáp ứng của mạch cho khoảng thời gian nhỏ hơn t_p là giống với trường hợp ngõ vào là điện áp bước. Như vậy, biên độ ngõ ra tại thời điểm $t = t_p -$ sẽ là $v_o = V \exp(-t_p/RC) \equiv V_p$. Tại cuối xung vuông, điện áp ngõ vào đột ngột rơi xuống một lượng là V và vì điện áp trên tụ không thể thay đổi đột ngột nên áp ngõ ra cũng đột ngột rơi xuống một lượng là V . Tại thời điểm $t = t_p +$, $v_o = V_p - V$. Vì $V_p < V$ nên áp ngõ ra bị âm và sẽ suy giảm dần về 0 theo dạng hàm mũ như trong hình 9-3(d).



Hình 9-3

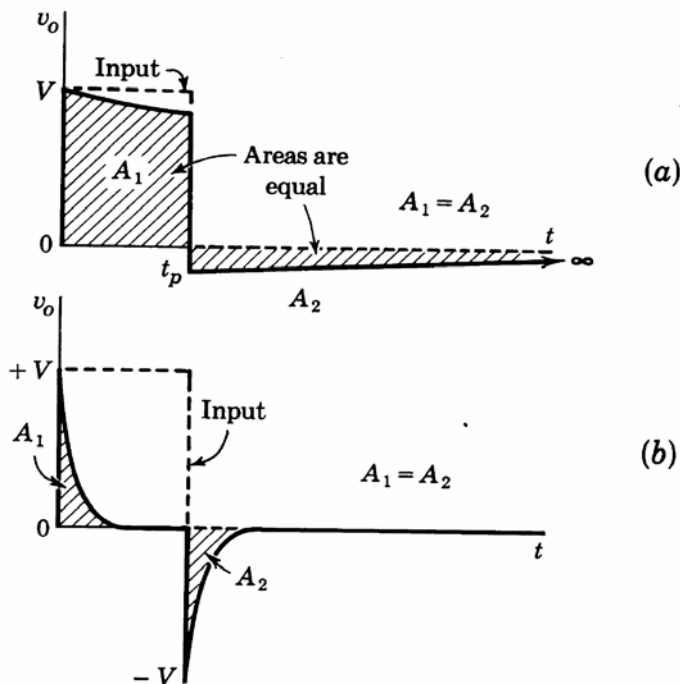
(a) Một xung vuông; (b,c) các điện áp bước tạo nên xung; (d) xung sau khi truyền qua mạch RC thông cao.

Khi $t > t_p$, điện áp ngõ ra có dạng

$$v_o = V \left(e^{-t_p/RC} - 1 \right) e^{-(t-t_p)/RC} \quad (9-5)$$

Xung vuông sẽ bị méo dạng khi đưa qua một mạch RC. Để giảm tối thiểu sự méo dạng này, thời hằng RC phải rất lớn so với t_p . Vì ngõ ra của mạch RC thông cao có thành phần dc, tức là thành phần trung bình, bằng không nên trên dạng sóng ngõ ra, vùng diện tích nằm phía dưới trục hoành phải bằng với vùng diện tích nằm phía trên trục. Nếu hằng số thời gian rất lớn, $RC/t_p \gg 1$, thì độ dốc trong điện áp ngõ ra và độ méo dạng là rất nhỏ. Tuy nhiên, phần điện áp âm sẽ giảm dần về không rất chậm vì diện tích phải bằng với phần dương. Nếu hằng số thời gian rất nhỏ, $RC/t_p \ll 1$, ngõ ra sẽ xuất hiện một gai xung dương với biên độ V tại thời điểm bắt đầu xung và

một gai xung âm với cùng biên độ tại thời điểm kết thúc xung ngõ vào. Hình 9-4 cho thấy đáp ứng ngõ ra trong hai trường hợp này.



Hình 9-4

(a) Đáp ứng của mạch thông cao với xung vuông nếu

$RC/t_p \gg 1$; (b) nếu $RC/t_p \ll 1$

9-1-3 Ngõ vào là sóng vuông

Sóng vuông là dạng sóng trong đó nó có biên độ V' trong khoảng thời gian T_1 , biên độ V'' trong khoảng thời gian T_2 , dạng sóng này được lặp lại liên tục với chu kỳ $T = T_1 + T_2$ như trong hình 9-5(a). Ở đây ta quan tâm đến trạng thái xác lập của ngõ ra khi sóng vuông là ngõ vào của mạch trong hình 9-1.

Ta có

$$v_i = \frac{q}{C} + v_o \quad (9-6)$$

với q = điện tích của hai bản tụ. Lấy đạo hàm

$$\frac{dv_i}{dt} = \frac{i}{C} + \frac{dv_o}{dt} \quad (9-7)$$

với $i = dq/dt$ là dòng qua tụ. Vì $v_o = iR$ nên

$$\frac{dv_i}{dt} = \frac{v_o}{RC} + \frac{dv_o}{dt} \quad (9-8)$$

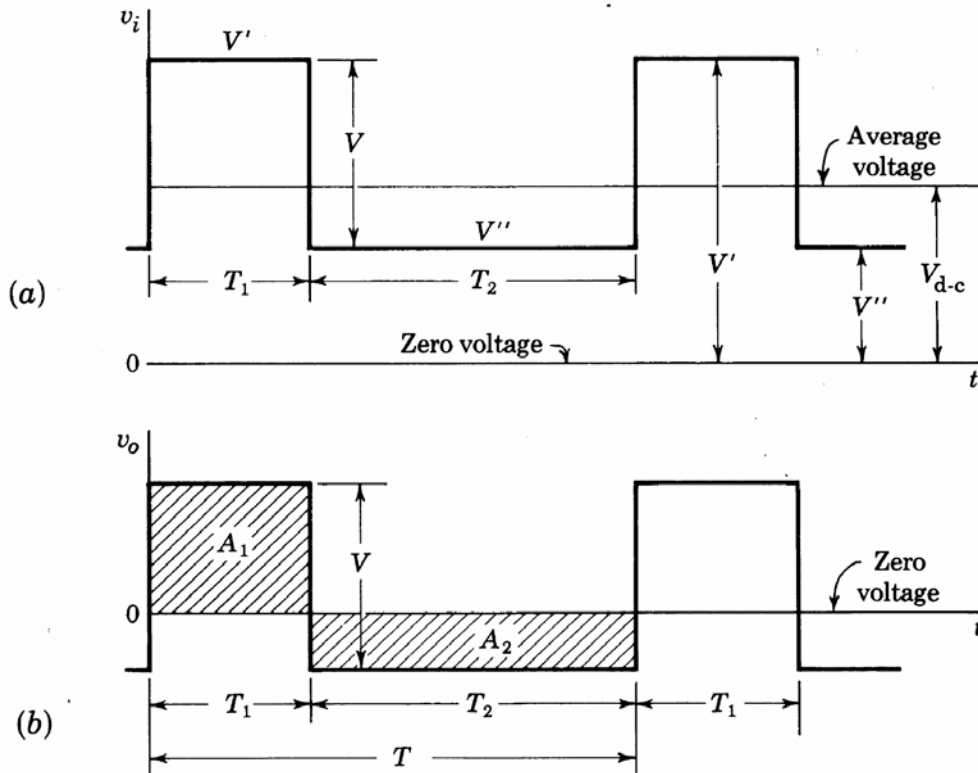
Nhân dt và lấy tích phân trong một chu kỳ T ta có

$$\int_{t=0}^{t=T} dv_i = v_i(T) - v_i(0) = \frac{1}{RC} \int_0^T v_o dt + v_o(T) - v_o(0) \quad (9-9)$$

Vì tín hiệu là tuần hoàn nên $\int_0^T v_o dt = 0$. Ta đã biết là một tín hiệu tuần hoàn bất kỳ luôn bao gồm một thành phần dc (thành phần trung bình) và một số vô hạn các thành phần sin với tần số là bội số của $f = 1/T$. Vì tụ blocking trong mạch RC thông cao đã ngăn thành phần dc nên dạng sóng ngõ ra sẽ là một tín hiệu tuần hoàn với chu kỳ T nhưng có dc là không.

Như vậy, ta có ba nhận xét quan trọng trên tín hiệu ngõ ra của mạch RC thông cao trong hình 9-1. Thứ nhất, mức dc của tín hiệu ra luôn luôn bằng không bất chấp mức dc của tín hiệu vào. Ngõ

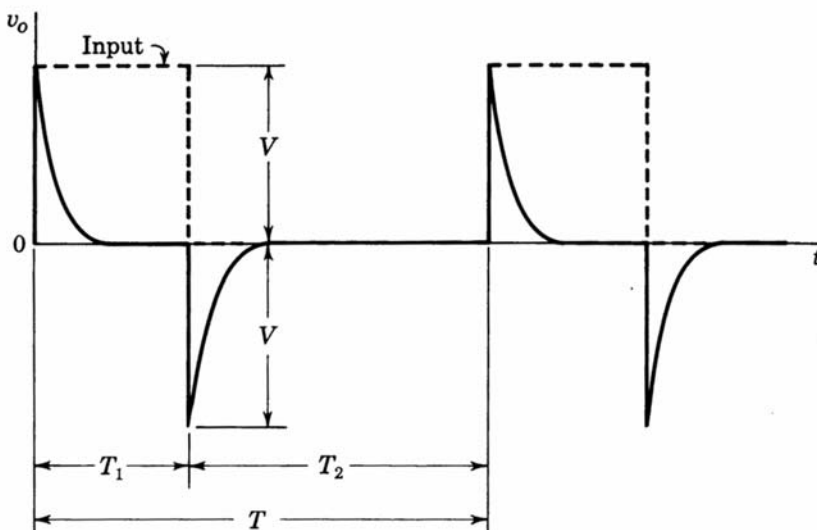
ra luôn bao gồm phần dương và phần âm, hai phần này phải có diện tích bằng nhau. Thứ hai, khi ngõ vào thay đổi một cách đột ngột một lượng là V , ngõ ra cũng sẽ thay đổi đột ngột cùng một lượng và theo cùng một hướng như tín hiệu vào. Thứ ba, trong suốt một khoảng thời gian xác định bất kỳ, nếu ngõ vào là hằng số, ngõ ra sẽ luôn suy giảm về không theo hàm mũ. Trong trường hợp giới hạn khi RC/T_1 và RC/T_2 rất lớn hơn 1, dạng sóng ngõ ra sẽ có dạng tương ứng như ngõ vào với dc là không. Hình 9-5 trình bày dạng sóng ngõ vào và ra cho trường hợp giới hạn này.



Hình 9-5

(a) Ngõ vào sóng vuông; (b) Điện áp ngõ ra nếu thời hằng rất lớn (so với T).
Thành phần dc của ngõ ra luôn bằng không. Diện tích A_1 bằng diện tích A_2 .

Ngược lại, nếu RC/T_1 và RC/T_2 rất nhỏ hơn 1, ngõ ra sẽ là các gai dương và âm liên tiếp như hình 9-6. Gai dương sẽ xuất hiện tại cạnh lên và gai âm sẽ xuất hiện tại cạnh xuống của xung.



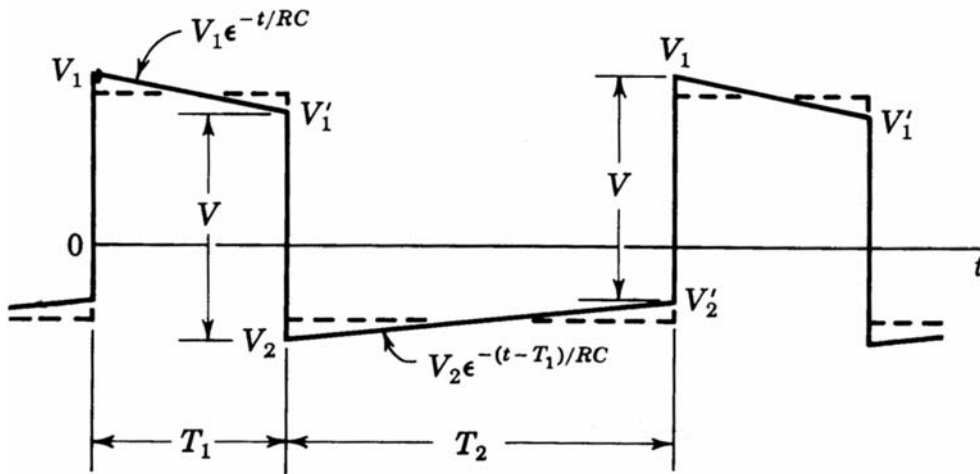
Hình 9-6

Dạng sóng ngõ ra khi thời hằng nhỏ so với T .

Một cách tổng quát, dạng sóng ngõ ra được trình bày trong hình 9-7. Các biểu thức tương ứng với hình này là

$$V_1' = V_1 e^{-T_1/RC} \quad V_1' - V_2 = V \quad (9-10a)$$

$$V_2' = V_2 e^{-T_2/RC} \quad V_1 - V_2' = V \quad (9-10b)$$



Hình 9-7
Đáp ứng sóng vuông của mạch RC thông cao.

Đối với sóng vuông đối xứng thì $T_1 = T_2 = T$, $V_1 = -V_2$ và $V_1' = -V_2'$. Biểu thức 9-10(a) và 9-10(b) là tương ứng với nhau, khi đó ta có

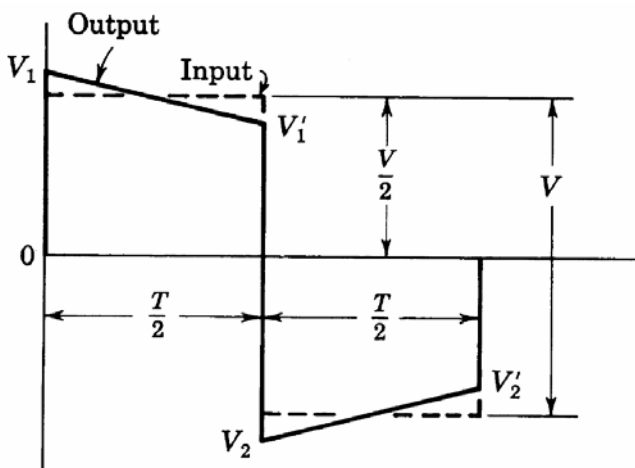
$$V_1 = \frac{V}{1 + e^{-T/2RC}} \quad V_1' = \frac{V}{1 + e^{+T/2RC}} \quad (9-11)$$

Khi $T/2RC \ll 1$ thì

$$V_1 \approx \frac{V}{2} \left(1 + \frac{T}{4RC} \right) \quad V_1' \approx \frac{V}{2} \left(1 - \frac{T}{4RC} \right) \quad (9-12)$$

Phần lữ thừa được xấp xỉ tuyến tính như trong hình 9-8. Mạch RC thông cao đã tạo ra độ dốc trên dạng sóng. Phần trăm độ dốc P được định nghĩa như sau

$$P \equiv \frac{V_1 - V_1'}{V/2} \times 100 \approx \frac{T}{2RC} \times 100\% \quad (9-13)$$



Hình 9-8
Giảm tuyến tính của đáp ứng sóng vuông $RC/T \gg 1$.

Vì điểm 3-dB tần số thấp là $f_1 = 1/2\pi RC$ ta có

$$P \approx \pi \frac{f_1}{f} \times 100\% \quad (9-14)$$

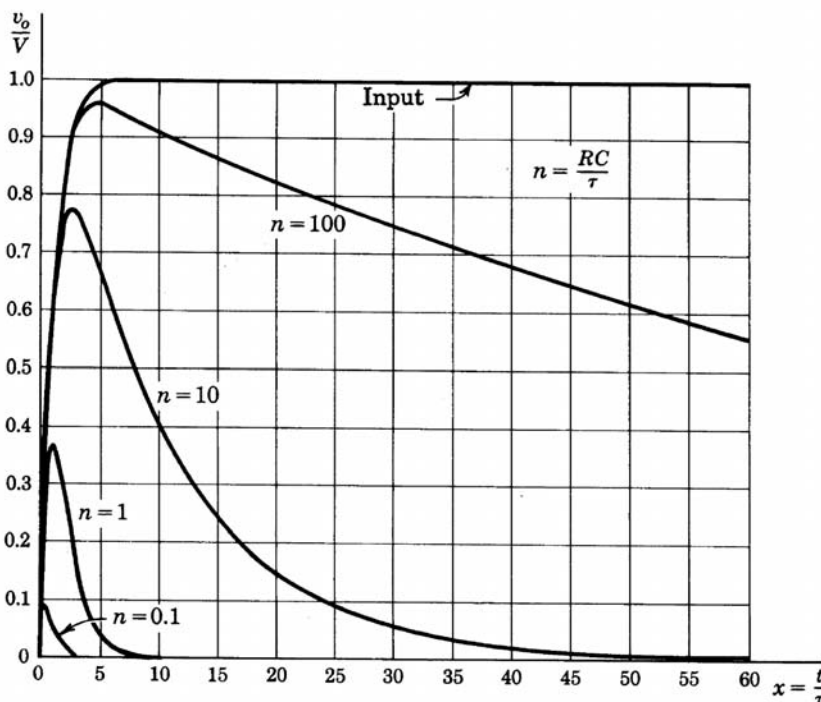
với $f = 1/T =$ tần số của sóng vuông ngõ vào.

9-1-4 Ngõ vào là hàm mũ

Ở phần trên ta đã biết là nếu thời hằng của mạch giảm, các gai xung ngõ ra sẽ hẹp hơn nhưng biên độ của đỉnh vẫn bằng với độ lớn của sự không liên tục của tín hiệu vào, V . Điều này là đúng nếu ngõ vào có các cạnh xung thẳng đứng như trong các trường hợp trước. Trong thực tế, dạng sóng này là không thể có. Nếu RC rất nhỏ, thời gian cạnh lên của xung phải được xem xét.

Xét trường hợp trong đó tụ không có điện tích đầu và điện áp ngõ vào thay đổi một cách nhanh chóng, nhưng vẫn liên tục, từ mức 0 đến mức V như trong hình 9-9. Vì điện áp trên tụ là không và tín hiệu vào là không tại thời điểm $t = 0$ nên $v_o(0) = 0$. Ta có

$$\left(\frac{dv_i}{dt}\right)_{initial} = \left(\frac{dv_o}{dt}\right)_{initial} \quad (9-15)$$



Hình 9-9

Đáp ứng của mạch RC thông cao với ngõ vào hàm mũ.

Vì tốc độ thay đổi điện áp của ngõ vào và ngõ ra là bằng nhau ở thời điểm đầu nên trong lân cận của thời điểm $t = 0$, ngõ ra sẽ bám sát với ngõ vào. Mặt khác, trừ khi thời hằng RC rất lớn so với thời gian cạnh lên của v_i , tụ sẽ nạp điện tích trong khoảng thời gian này. Do đó điện áp ra v_o sẽ suy giảm dần về không theo hàm mũ.

Thật vậy, với tín hiệu vào có dạng

$$v_i = V(1 - e^{-t/\tau}) \quad (9-16)$$

trong đó $\tau =$ thời hằng của tín hiệu vào thì từ 9-8 ta có

$$\frac{V}{\tau} e^{-t/\tau} = \frac{v_o}{RC} + \frac{dv_o}{dt} \quad (9-17)$$

Đặt

$$x \equiv \frac{t}{\tau} \quad n \equiv \frac{RC}{\tau} \quad (9-18)$$

Giải biểu thức 9-17 với điều kiện đầu là không thì kết quả là

$$v_o = \frac{Vn}{n-1} (e^{-x/n} - e^{-x}), n \neq 1 \quad (9-19)$$

$$v_o = Vxe^{-x}, n = 1 \quad (9-20)$$

Các biểu thức này được vẽ trên hình 9-9. Nếu RC rất lớn hơn τ ($n \gg 1$) thì số hạng thứ hai của biểu thức 9-19 có thể bỏ qua ngoại trừ đối với các giá trị rất nhỏ của t . Khi đó

$$v_o \approx \frac{Vn}{n-1} e^{-x/n} \approx Ve^{-t/RC} \quad (9-21)$$

Biểu thức trên xác nhận lại hoạt động của mạch khi ngõ vào là điện áp bước lý tưởng. Từ hình 9-9 ta có thể nhận thấy là ngõ ra xấp xỉ ngõ vào tại những thời điểm gần gốc tọa độ. Nếu hằng số thời gian càng nhỏ thì xung ngõ ra có đỉnh càng nhỏ. Ví dụ, nếu $n = 1$, ngõ ra sẽ có đỉnh là 37% của đỉnh ngõ vào.

9-1-5 Ngõ vào là điện áp dốc (ramp)

Điện áp dốc có giá trị là không khi $t < 0$ và tăng dần một cách tuyến tính khi $t > 0$, $v = \alpha t$. Dạng sóng này được vẽ trên hình 9-10(a). Nếu dạng sóng này được đặt vào ngõ vào của mạch hình 9-1, ngõ ra của mạch có thể được xác định nhờ biểu thức 9-8

$$\alpha = \frac{v_o}{RC} + \frac{dv_o}{dt}$$

Giải phương trình này với điều kiện $v_o = 0$ tại $t = 0$ ta có

$$v_o = \alpha RC(1 - e^{-t/RC}) \quad (9-22)$$

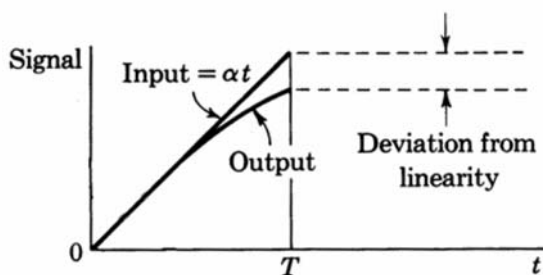
Khi t rất nhỏ so với RC , ta có thể viết lại 9-22

$$v_o = \alpha t \left(1 - \frac{t}{2RC} + \dots \right) \quad (9-23)$$

Ta thấy ngõ ra bị suy giảm một chút so với tín hiệu vào như trong hình 9-10(a). Độ sai số giữa ngõ vào và ngõ ra được đánh giá bằng e_t

$$e_t \equiv \frac{v_i - v_o}{v_i} \approx \frac{T}{2RC} = \pi f_1 T \quad (9-24)$$

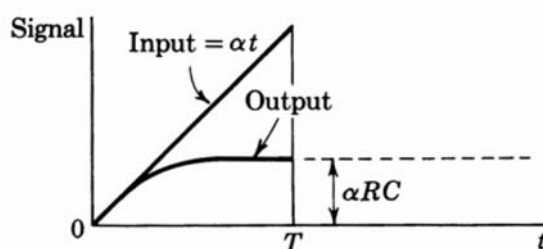
trong đó $f_1 = 1/2\pi RC$ là tần số cắt thấp 3-dB. Ví dụ, nếu ta muốn đưa một tín hiệu vào với thời gian quét là 2 ms qua mạch với độ sai số nhỏ hơn 0.1%, ta cần có $f_1 < 0.16$ Hz tức là $RC > 1$ s. Nếu t là lớn khi so sánh với RC , ngõ ra sẽ xấp xỉ hằng số αRC như trong hình 9-10(b) và biểu thức 9-22.



(a)

Hình 9-10

(a) Đáp ứng của mạch RC thông cao với ngõ vào hàm dốc khi $RC/T \gg 1$; (b) khi $RC/T \ll 1$.



(b)

9-1-6 Mạch thông cao RC như là mạch vi phân

Nếu như trong hình 9-1, thời hằng của mạch rất nhỏ khi so sánh với thời gian cần có để ngõ vào thay đổi đáng kể thì mạch được xem như là mạch vi phân. Lúc này, điện áp rơi trên điện trở R sẽ rất nhỏ khi so sánh với điện áp rơi trên tụ C . Do đó, gần như toàn bộ áp ngõ vào v_i được đặt lên tụ C và dòng điện sẽ được xác định bằng điện dung của tụ $i = C dv_i/dt$. Ngõ ra là áp trên điện trở sẽ là $v_o = RC \frac{dv_i}{dt}$. Như vậy, ngõ ra tỉ lệ với đạo hàm của tín hiệu ngõ vào.

Đạo hàm của sóng vuông là bằng không ngoại trừ các điểm có sự không liên tục, tức là cạnh lên và cạnh xuống của xung. Tại các điểm này, mạch vi phân sẽ tạo ra các gai có biên độ không xác định, độ rộng là không và cực tính tùy theo hướng của cạnh. Trong hình 9-6 ta có thể thấy các gai ngõ ra này trừ một điểm là biên độ của gai là V chứ không phải là vô cùng. Điều này là đúng vì tại các cạnh xung, giá trị điện áp trên điện trở là không thể bỏ qua khi so sánh với áp trên tụ.

Đối với hàm dốc $v_i = \alpha t$, giá trị của $RC dv_i/dt$ là αRC . Kết quả này có thể thấy trên hình 9-10(b) ngoại trừ vùng gần gốc tọa độ vì trong vùng này điện áp trên điện trở là không thể bỏ qua. Nếu ta giả sử cạnh lên của một xung có thể xấp xỉ bằng một hàm dốc thì ta có thể đo tốc độ cạnh lên α của xung bằng một mạch vi phân.

Nếu một sóng sin được đặt vào ngõ vào của mạch hình 9-1, ngõ ra sẽ là một sóng sin bị dịch pha sớm một góc θ với

$$\tan \theta = \frac{X_C}{R} = \frac{1}{\omega RC} \tag{9-25}$$

và ngõ ra sẽ tỉ lệ với $\sin(\omega t + \theta)$. Để có một mạch vi phân chính xác ta phải có θ là 90° . Điều này xảy ra khi $R = 0$ hoặc $C = 0$. Tuy nhiên, nếu $\omega RC = 0.01$ thì $1/\omega RC = 100$ và $\theta = 89.4^\circ$ xấp xỉ 90° . Nếu $\omega RC = 0.1$ thì $\theta = 84.3^\circ$.

Nếu giá trị đỉnh của sóng sin ngõ vào là V_m thì ngõ ra là $\frac{V_m R}{\sqrt{R^2 + 1/\omega^2 C^2}} \sin(\omega t + \theta)$, và nếu $\omega RC \ll 1$ thì ngõ ra xấp xỉ $V_m \omega RC \cos \omega t$. Kết quả này chính là $RC dv_i/dt$. Nếu $\omega RC = 0.01$ thì biên độ ngõ ra là 0.01 lần biên độ ngõ vào.

Trong trường hợp mạch vi phân được thiết kế với khuếch đại thuật toán (opamp), mạch tương đương cho mạch vi phân sẽ là một tụ C mắc nối tiếp với điện trở $R/(1-A)$, với A là độ lợi của opamp. Góc dịch pha sẽ là

$$\tan \theta = \frac{1-A}{\omega RC} \tag{9-26}$$

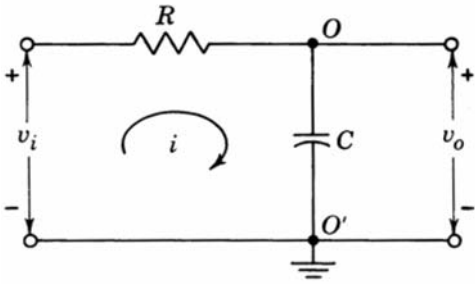
9-2 Mạch thông thấp RC

Mạch RC trong hình 9-11 sẽ cho qua các tín hiệu tần số thấp và suy giảm các tín hiệu tần số cao vì điện kháng của tụ giảm khi tần số tăng. Mạch này thường được dùng như mô hình tương đương Thevenin của một nguồn tín hiệu. Mạch trong hình 9-11 tương tự như mạch trong hình 9-1 ngoài việc ngõ ra bây giờ được lấy ra trên tụ chứ không phải trên điện trở.

Nếu điện áp ngõ vào là tín hiệu sin, biên độ ở trạng thái xác lập A và góc dịch pha θ của ngõ ra được xác định như sau

$$|A| = \frac{1}{[1+(f/f_2)^2]^{1/2}} \quad \theta = -\arctan \frac{f}{f_2} \tag{9-27}$$

với $f_2 = 1/2\pi RC$. Độ lợi là 0.707 tức là điểm 3-dB tại tần số cắt cao f_2 .

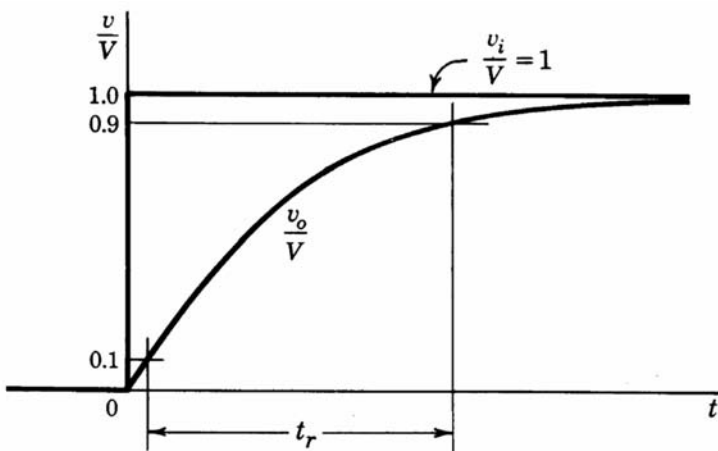


Hình 9-11
 Mạch RC thông thấp.

9-2-1 Ngõ vào là điện áp bước

Đáp ứng của mạch hình 9-11 khi ngõ vào là điện áp bước sẽ có dạng hàm mũ với thời hằng RC . Vì điện áp trên tụ không thể thay đổi tức thời nên ngõ ra sẽ bắt đầu từ 0 và nâng dần lên đến giá trị xác lập V như hình 9-12. Ngõ ra được cho bởi biểu thức

$$v_o = V(1 - e^{-t/RC}) \tag{9-28}$$



Hình 9-12
 Đáp ứng bước của mạch RC thông thấp. Thời gian lên là t_r .

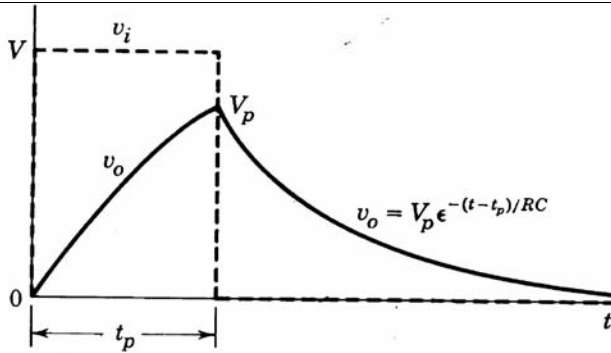
Thời gian lên t_r được định nghĩa là thời gian để điện áp nâng từ 0.1 đến 0.9 lần giá trị cuối cùng của nó. t_r cho thấy tốc độ mà mạch có thể đáp ứng với sự thay đổi đột ngột của điện áp ngõ vào. Thời gian cần có để v_o đạt đến 0.1 lần giá trị cuối cùng là $0.1RC$ và thời gian để nó đạt đến 0.9 lần giá trị cuối cùng là $2.3RC$. Như vậy

$$t_r = 2.2\tau = 2.2RC = \frac{2.2}{2\pi f_2} = \frac{0.35}{f_2} \tag{9-29}$$

Thời gian lên t_r tỉ lệ thuận với thời hằng τ và tỉ lệ nghịch với tần số cắt cao f_2 .

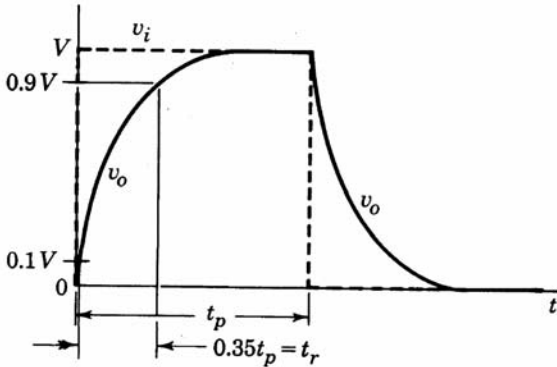
9-2-2 Ngõ vào là xung vuông

Đáp ứng của mạch khi ngõ vào là xung vuông tại các thời điểm nhỏ hơn độ rộng xung t_p tương tự như đối với trường hợp ngõ vào là điện áp bước. Tại cuối xung, điện áp ngõ ra là V_p và phải bị suy giảm dần về không với thời hằng RC như trong hình 9-13. Dạng sóng ra bị méo dạng là do xung được đưa qua mạch lọc thông thấp RC .



Hình 9-13
 Đáp ứng xung của mạch RC thông thấp.

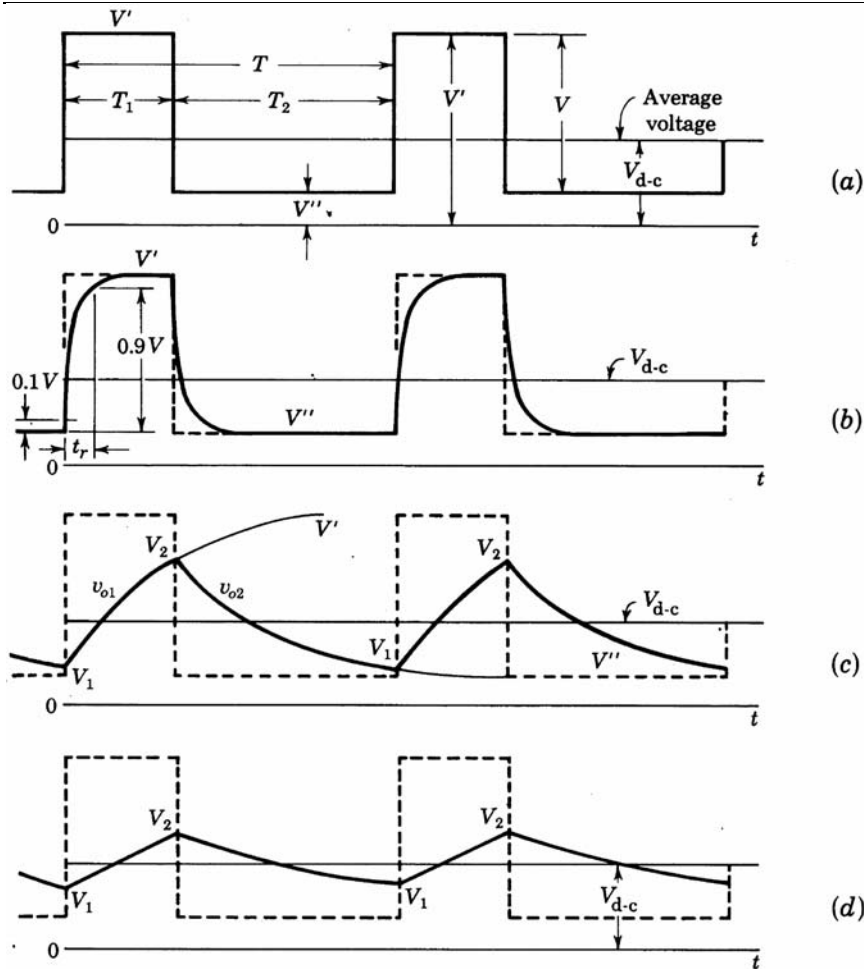
Nếu ta muốn giảm tối thiểu sự méo dạng thì thời gian lên phải đủ nhỏ khi so sánh với độ rộng xung. Nếu f_2 được chọn bằng $1/t_p$ thì $t_r = 0.35t_p$. Ngõ ra cho trường hợp này được vẽ trong hình 9-14. Ta có thể thấy là ngõ ra lúc này có thể được xem như xấp xỉ xung ngõ vào. Trong thực tế, ta thường dùng qui tắc là xung ngõ ra sẽ giữ nguyên dạng nếu tần số 3-dB được chọn xấp xỉ với nghịch đảo của độ rộng xung. Do đó, để một xung có độ rộng $0.5 \mu s$ đi qua mạch thông thấp RC thì mạch cần có tần số 3-dB là khoảng 2 MHz.



Hình 9-14
 Đáp ứng xung cho trường hợp $f_2 = 1/t_p$.

9-2-3 Ngõ vào là sóng vuông

Nếu dạng sóng ngõ vào là chuỗi xung tuần hoàn có giá trị V' trong khoảng thời gian T_1 và có giá trị V'' trong khoảng thời gian T_2 như hình 9-15(a) thì đáp ứng ngõ ra xác lập của mạch sẽ có dạng như hình 9-15(b) khi thời gian lên t_r so sánh được với độ rộng xung t_p . Nếu thời hằng RC có thể so sánh với chu kỳ của sóng vuông ngõ vào thì ngõ ra sẽ có dạng như hình 9-15(c).



(a)

(b)

(c)

(d)

Hình 9-15

(a) Ngõ vào sóng vuông; (b-d) Ngõ ra của mạch RC thông thấp; Thời hằng nhỏ nhất là (b) và lớn nhất là (d).

Biểu thức của đoạn đi lên là hàm mũ với thời hằng RC và giá trị cuối sẽ là V' . Nếu V_1 là giá trị đầu của ngõ ra thì từ biểu thức 9-3 ta có

$$v_{o1} = V' + (V_1 - V')e^{-t/RC} \quad (9-30)$$

Tương tự, biểu thức của đoạn đi xuống là

$$v_{o2} = V'' + (V_2 - V'')e^{-(t-T_1)/RC} \quad (9-31)$$

Nếu ta đặt $v_{o1} = V_2$ tại $t = T_1$ và $v_{o2} = V_1$ tại $t = T_1 + T_2$ thì ta sẽ có thể giải được hai phương trình trên cho hai biến V_1 và V_2 .

Nếu thời hằng là rất lớn so với chu kỳ của sóng vuông ngõ vào thì ngõ ra sẽ có dạng là một phần nhỏ của hàm mũ do đó gần như tuyến tính. Hình 9-15(d) vẽ ngõ ra trong trường hợp này.

Vì điện áp trung bình trên R là không nên thành phần dc tại ngõ ra sẽ bằng thành phần dc ở ngõ vào. Giá trị trung bình này được ký hiệu là V_{d-c} trong hình 9-15.

Trong trường hợp dạng sóng vuông là đối xứng với trung bình là không, tức là $T_1 = T_2 = T/2$ và $V' = V'' = V/2$, biểu thức 9-30 và 9-31 chỉ ra rằng $V_1 = -V_2$ và ta có

$$V_2 = \frac{V e^{2x} - 1}{2 e^{2x} + 1} = \frac{V}{2} \tanh x \quad (9-32)$$

với T là chu kỳ của sóng vuông và $x \equiv T/4RC$.

9-2-4 Ngõ vào là hàm mũ

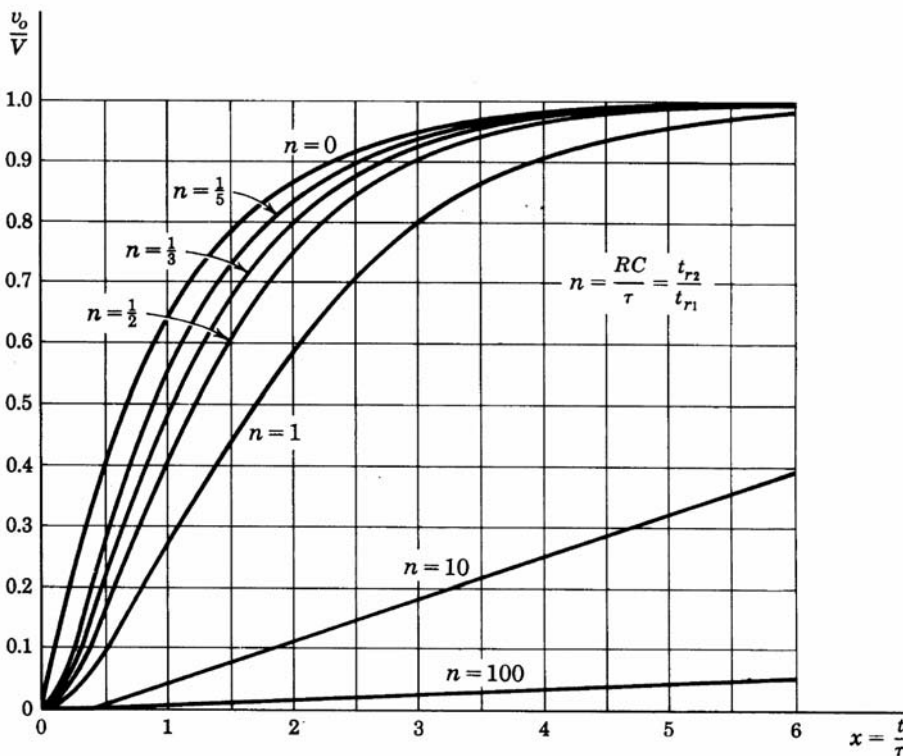
Đối với ngõ vào có dạng như biểu thức 9-16, $v_i = V(1 - e^{-t/\tau})$, điện áp trên điện trở R được xác định bằng biểu thức 9-19 khi $n \neq 1$. Do đó, điện áp ngõ ra trên tụ sẽ là hiệu của biểu thức 9-16 và 9-19. Ta có

$$\frac{v_o}{V} = 1 + \frac{1}{n-1}e^{-x} - \frac{n}{n-1}e^{-x/n} \quad (9-33)$$

Nếu $n = 1$ thì

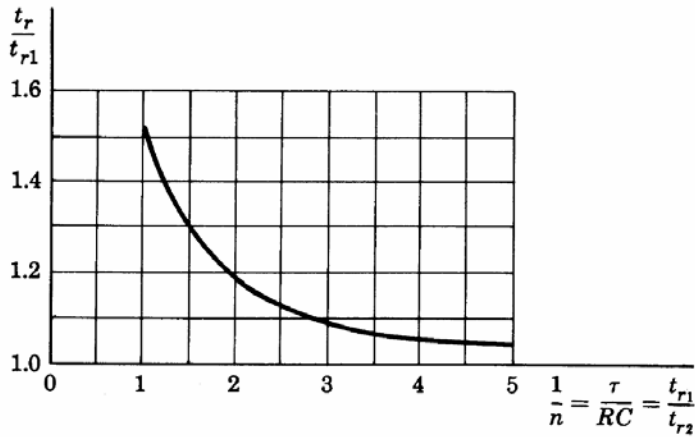
$$\frac{v_o}{V} = 1 - (1+x)e^{-x} \quad (9-34)$$

với $x \equiv t/\tau$, $n \equiv RC/\tau$. Biểu thức 9-33 và 9-34 là đáp ứng ngõ ra khi một hàm mũ với thời gian lên $t_{r1} (= 2.2\tau)$ được đặt tại ngõ vào của mạch thông thấp với thời hằng RC (thời gian lên $t_{r2} = 2.2RC$). Đáp ứng với thời gian lên t_r được vẽ trên hình 9-16 cho các giá trị $n \equiv RC/\tau \equiv t_{r1}/t_{r2}$ khác nhau. Ta thấy khi n tăng thì cần phải có một thời gian lâu hơn để mạch đạt đến 50% giá trị cuối cùng của nó.



Hình 9-16
 Đáp ứng của hai mạch RC thông thấp mắc cascade với ngõ vào điện áp bước.

Nếu mạch gồm hai tầng RC có thời gian lên lần lượt là t_{r1} và t_{r2} ghép cascade với nhau và nếu t_r là thời gian lên tương đương của mạch thì hình 9-17 cho thấy quan hệ của t_r/t_{r1} và $t_{r1}/t_{r2} \equiv 1/n$.



Hình 9-17
 Thời gian lên tương đối của hai mạch RC thông thấp mắc cascade.

Ta có biểu thức xấp xỉ

$$t_r = 1.05\sqrt{t_{r1}^2 + t_{r2}^2} \quad (9-35)$$

hoặc

$$\frac{t_r}{t_{r1}} = 1.05\sqrt{1 + n^2} \quad (9-36)$$

Tỉ số t_r/t_{r1} trong biểu thức 9-36 có sai số so với tỉ số chính xác trong hình 9-17 không quá 5%.

9-2-5 Ngõ vào là hàm dốc

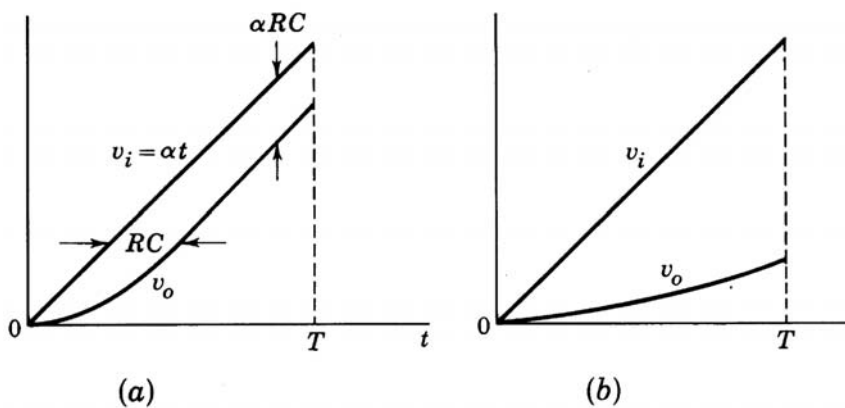
Đối với ngõ vào có dạng $v_i = \alpha t$, điện áp trên điện trở được cho bởi biểu thức 9-22. Điện áp trên tụ là $v_i - v_R$ là

$$v_o = \alpha(t - RC) + \alpha RCe^{-t/RC} \quad (9-37)$$

Nếu ta muốn giảm sự méo dạng ở ngõ ra thì thời hằng của mạch phải nhỏ so với thời gian dốc lên T . Ngõ ra của mạch được vẽ trong hình 9-18. Ta có thể thấy là ngõ ra bám theo ngõ vào nhưng trễ hơn một khoảng bằng với thời hằng RC (ngoại trừ vùng gần gốc tọa độ). Độ sai lệch e_i được định nghĩa như sau, với $RC/T \ll 1$

$$e_i \approx \frac{RC}{T} = \frac{1}{2\pi f_2 T} \quad (9-38)$$

với f_2 là tần số cắt cao 3-dB. Ví dụ, nếu ta muốn đưa một tín hiệu với thời gian quét là 2 ms qua mạch với độ sai lệch nhỏ hơn 0.1% thì $f_2 > 80$ kHz và $RC < 2 \mu s$.



Hình 9-18
 Đáp ứng của mạch RC với ngõ vào là hàm dốc.

Nếu thời hằng lớn khi so sánh với thời gian quét T , $RC/T \gg 1$, ngõ ra sẽ bị méo dạng như trong hình 9-18(b). Từ 9-37 ta có

$$v_o \approx \frac{\alpha t^2}{2RC} \quad (9-39)$$

9-2-6 Mạch thông thấp RC như là mạch tích phân

Nếu trong hình 9-11, thời hằng rất lớn so với thời gian cần để tín hiệu vào thay đổi đáng kể thì mạch được gọi là mạch tích phân. Lúc này điện áp rơi trên tụ C sẽ rất nhỏ khi so với điện áp trên điện trở R , do đó gần như toàn bộ điện áp ngõ vào v_i sẽ đặt lên điện trở. Dòng điện trong mạch là v_i/R và ngõ ra trên tụ là

$$v_o = \frac{1}{C} \int i dt = \frac{1}{RC} \int v_i dt \quad (9-44)$$

Ngõ ra tỉ lệ với tích phân của tín hiệu ngõ vào.

Nếu $v_i = \alpha t$, kết quả sẽ là $\alpha t^2/2RC$ như trong biểu thức 9-39. Khi thời gian tăng, điện áp rơi trên tụ C sẽ không còn có thể bỏ qua so với điện áp trên điện trở R , nên ngõ ra sẽ không còn là tích phân của ngõ vào. Hình 9-18(a) cho ta thấy là khi thời gian tăng thì ngõ ra thay đổi từ hàm bậc hai thành một hàm tuyến tính theo thời gian.

Tích phân của một hàm hằng là một hàm tuyến tính và điều này đúng với đồ thị trong hình 9-15(d), tương ứng với $RC/T \gg 1$. Khi giá trị của RC/T càng giảm thì tính chất tích phân của mạch càng giảm theo như trong hình 9-15(c) và (b).

Các ví dụ này chứng tỏ là bộ tích phân phải được sử dụng một cách hợp lý. Nếu ta định nghĩa là mạch tích phân tương đối sẽ tạo ra độ dịch pha 89.4° (thay vì 90°) với sóng sin ngõ vào như trong phần vi phân đã xét thì ta cần $RC > 15T$ với T là chu kỳ của sóng sin. Vì biên độ ngõ ra là một phần nhỏ của biên độ ngõ vào, thường thường sau mạch tích phân cần có khuếch đại.

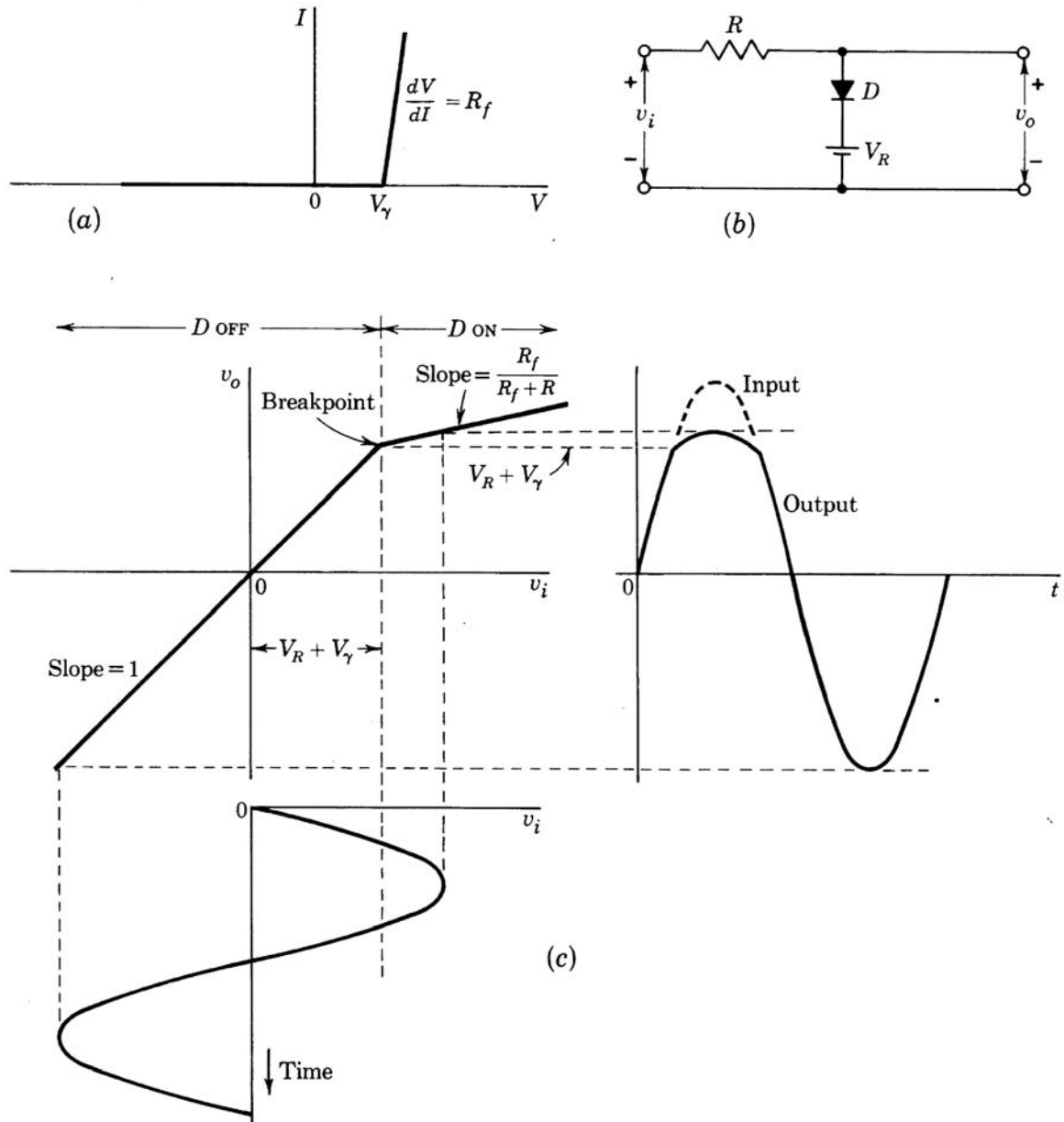
Mạch xén và mạch so sánh

10-1 Mạch xén

Mạch xén được sử dụng để cho phép chỉ một phần của dạng sóng nằm trên hoặc dưới một mức điện áp tham khảo đi qua. Mạch xén thường được tạo nên từ một trong các dạng sau: (1) một mạch nối tiếp gồm một diode, một điện trở, và một nguồn tham khảo; (2) một mạng gồm vài diode, vài điện trở và vài nguồn tham khảo; (3) một bộ khuếch đại vi sai gồm hai transistor ghép emitter. Một số mạch xén thông dụng sẽ được mô tả trong phần sau.

10-2 Mạch xén diode

Trong hình 10-1(a) ta có thể thấy lại đặc tuyến VA xấp xỉ của diode. Đặc tuyến này có một điểm không liên tục trong độ dốc tại điện áp V_γ , điểm này được gọi là điểm gián đoạn. Như ta đã biết, điểm gián đoạn xảy ra tại $V_\gamma \approx 0.2$ V đối với Ge và $V_\gamma \approx 0.6$ V đối với Si. Với đặc tuyến xấp xỉ này ta có thể thấy mạch xén trong hình 10-1(b) sẽ có đặc tuyến truyền đạt như hình 10-1(c). Đặc tuyến truyền đạt vẽ điện áp ngõ ra v_o như một hàm của áp ngõ vào v_i . Điểm gián đoạn của đặc tuyến truyền đạt xảy ra tại điện áp $V_R + V_\gamma$. Phía bên trái điểm gián đoạn (ứng với $v_i < V_R + V_\gamma$) diode bị phân cực ngược (Off). Trong vùng này, tín hiệu v_i có thể truyền trực tiếp đến ngõ ra vì ngõ ra hở mạch nên áp rơi trên điện trở R là không. Phía bên phải điểm gián đoạn, khi ngõ vào tăng một lượng Δv_i , ngõ ra sẽ gia tăng một lượng $\Delta v_o = \Delta v_i R_f / (R_f + R)$, với R_f là điện trở phân cực thuận của diode.

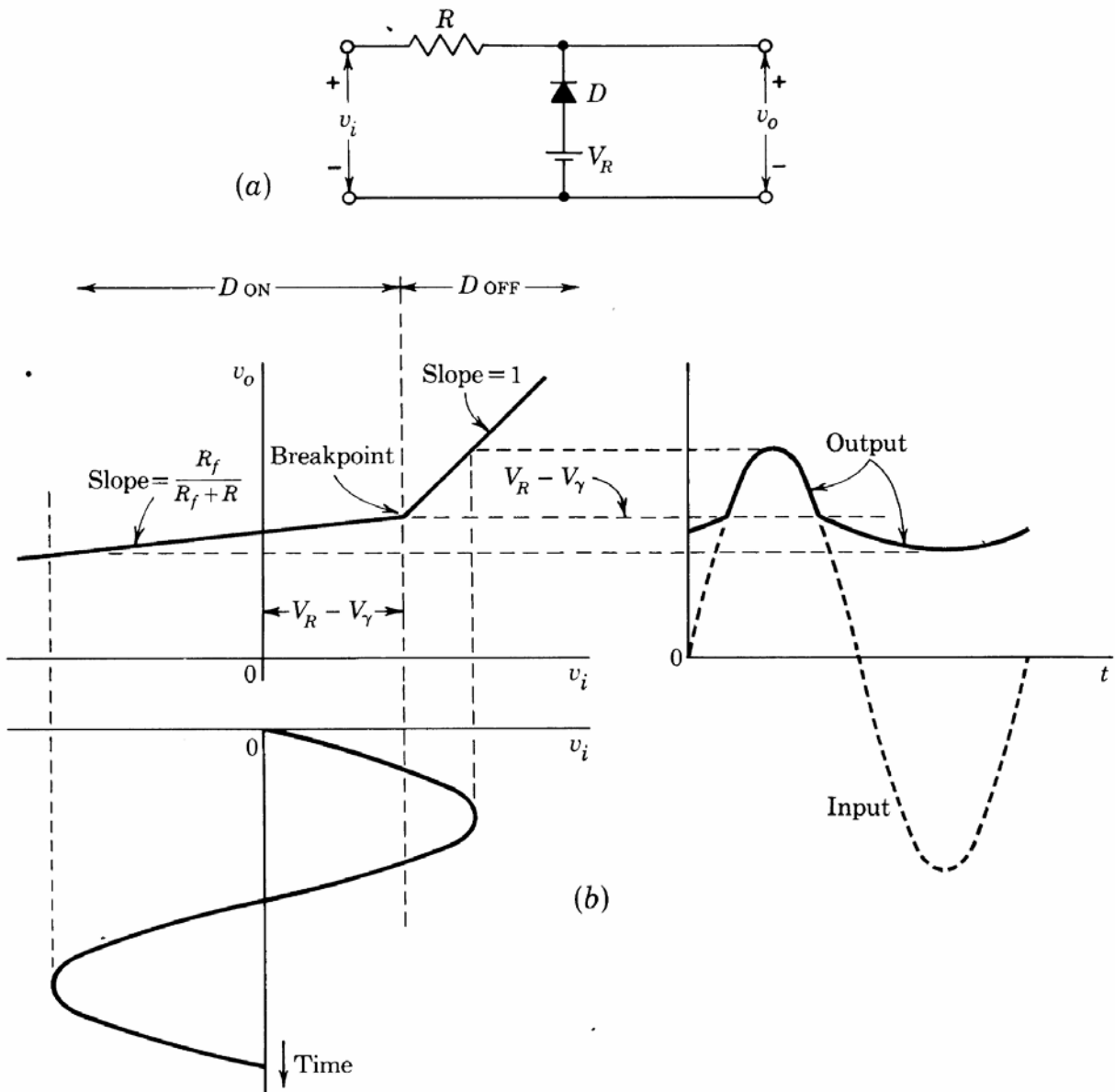


Hình 10-1

(a) Đặc tuyến VA của diode được xấp xỉ bằng các đường thẳng; (b) Mạch xén trên dùng diode; (c) Hàm truyền đạt và dạng sóng vào – ra của mạch xén.

Hình 10-1(c) vẽ một ngõ vào sin với biên độ đủ lớn để vượt quá điểm gián đoạn. Ta thấy đỉnh dương của tín hiệu ra bị nén lại so với tín hiệu vào. Nếu $R_f \ll R$ thì tỉ số nén là rất lớn và ngõ ra sẽ có đỉnh dương bị xén ngang tại điện áp $V_R + V_\gamma$. Thông thường $V_R \gg V_\gamma$, khi đó ta có thể xem điện áp tham khảo của mạch xén là V_R .

Trong hình 10-2(a), mạch xén đã được hiệu chỉnh bằng cách xoay ngược chiều của diode trong hình 10-1(b). Đặc tuyến truyền đạt lúc này được vẽ trong hình 10-2(b). Trong mạch này, phần dạng sóng dương hơn $V_R - V_\gamma$ có thể đi qua mạch mà không bị suy giảm, phần còn lại bị xén.



Hình 10-2

(a) Mạch xén dưới dùng diode; (b) Hàm truyền tuyến tính từng đoạn của mạch

10-2-1 Vùng gián đoạn (break region)

Sự xấp xỉ tuyến tính từng đoạn trong hình 10-1(a) cho thấy một sự gián đoạn đột ngột trong độ dốc tại V_γ . Thật ra, diode chuyển từ trạng thái Off sang trạng thái On không đột ngột như vậy. Do đó, một dạng sóng khi được đưa qua một mạch xén sẽ không bị xén một cách đột ngột tại một điểm gián đoạn mà là trong một vùng gián đoạn. Vùng gián đoạn của đặc tuyến là đoạn đặc tuyến đi từ không suy giảm đến suy giảm tín hiệu vào. Bây giờ ta sẽ ước lượng vùng gián đoạn của đặc tuyến.

Biểu thức của diode bán dẫn là $I = I_o (e^{V/\eta V_T} - 1)$.

Trên điểm gián đoạn, dòng I có giá trị lớn khi so sánh với I_o , ta có thể viết

$$I = I_o e^{V/\eta V_T} \quad (10-1)$$

Vì mạch xén có thực hiện xén hay không là phụ thuộc vào điện trở động của diode là rất lớn hay rất nhỏ so với điện trở R , ta định nghĩa một cách tùy ý vùng gián đoạn là vùng trên đó điện trở động của diode bị thay đổi lớn, ví dụ 100 lần. Ta đã biết điện trở động của diode là

$$r = \frac{\eta V_T}{I_0} e^{-v/\eta V_T} = \frac{\eta V_T}{I} \quad (10-2)$$

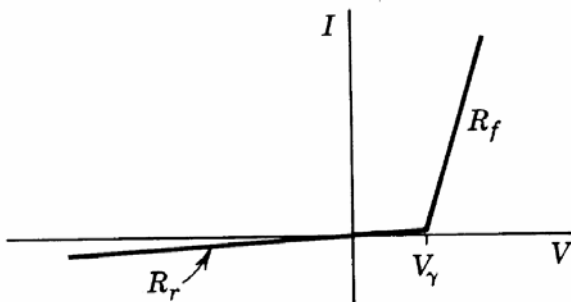
Lưu ý là r tỉ lệ nghịch với dòng tĩnh và tỉ lệ thuận với nhiệt độ tuyệt đối. Điện trở động sẽ được nhân với 100 lần khi điện áp thay đổi một lượng ΔV nếu $e^{\Delta V/\eta V_T} = 10^2$. Ta đã biết $\eta = 1$ với Ge, $\eta = 2$ với Si, $V_T = 0.026$ V tại nhiệt độ phòng và $V_T = 0.086$ V tại $T = 1000$ K.

$$\begin{aligned} \Delta V &= 2\eta V_T \ln 10 \\ &= 0.12 \text{ V (Ge)} \\ &= 0.24 \text{ V (Si)} \end{aligned} \quad (10-3)$$

Vùng gián đoạn độc lập với dòng tĩnh. Do đó, tại một dòng I bất kỳ thỏa mãn $I \gg I_0$ (tại một giá trị điện trở bất kỳ), điện trở động được nhân với 100 nếu điện áp giảm một lượng ΔV và điện trở động bị chia bởi 100 nếu điện áp tăng một lượng ΔV được cho bởi biểu thức 10-3.

10-2-2 Đặc tuyến ngược

Trong phần này ta sẽ xét ảnh hưởng của đoạn phân cực ngược trên đặc tuyến. Trong một diode lý tưởng, khi bị phân cực ngược, dòng ngược là hằng số. Đối với mạch hình 10-1(b), dòng này sẽ tạo ra một điện áp rơi cố định trên R nhưng vẫn không làm ngõ ra bị suy giảm so với ngõ vào nhiều vì biên độ áp rất nhỏ. Tuy nhiên, đối với một số diode, biên độ của dòng ngược tăng khi điện áp phân cực ngược tăng. Một mô hình tuyến tính từng đoạn của đặc tuyến VA cho các diode này được vẽ trong hình 10-3. Bên phải của điểm gián đoạn, trong vùng phân cực thuận, điện trở của diode là R_f . Bên trái điểm gián đoạn, điện trở của diode là R_r .



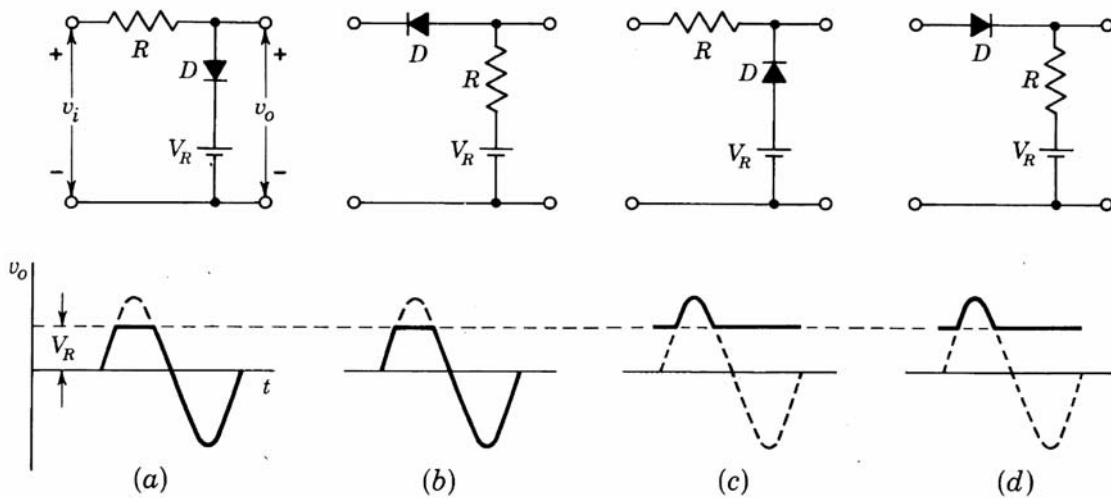
Hình 10-3

Đặc tuyến diode xấp xỉ tuyến tính từng đoạn. Điểm gián đoạn là $V = V_\gamma$. Bên phải điểm gián đoạn R_f nhỏ, và bên trái điểm gián đoạn R_r lớn.

Trong hình 10-1(c) 10-2(b) ta đã giả sử R_r rất lớn so với R . Nếu điều kiện này không đúng, đặc tuyến truyền đạt của mạch xén phải được hiệu chỉnh lại. Phần đặc tuyến có độ dốc là đơn vị thật ra phải có độ dốc là $R_r/(R_r + R)$.

Đối với mạch xén, ta thường cần có $R_r \gg R$, ví dụ $R_r = kR$ với k là một số lớn. Từ hai biểu thức trên ta có $R = \sqrt{R_f R_r}$ và $k = \sqrt{R_r/R_f}$.

10-2-3 Các mạch xén

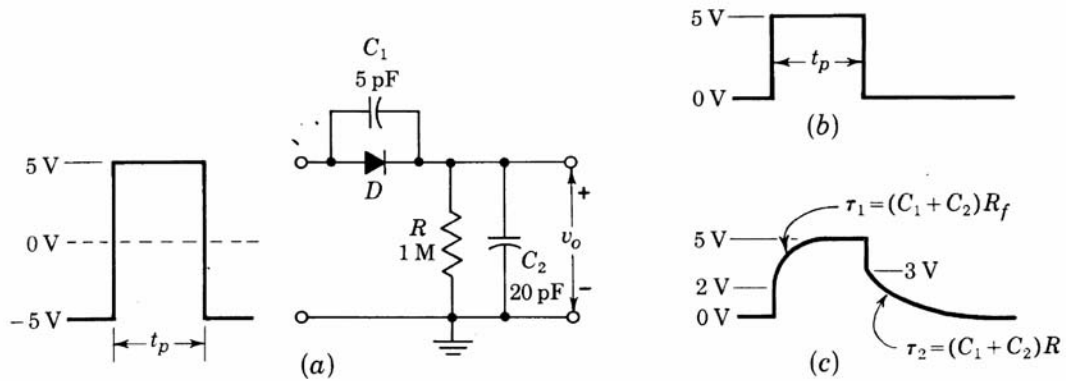


Hình 10-4

Bốn dạng mạch xén. (a) và (c) các diode được mắc shunt. (b) và (d) các diode được mắc nối tiếp. Dưới mỗi mạch là dạng sóng ngõ ra đối với ngõ vào sin.

Hình 10-4 trình bày một số dạng mạch xén khác. Nếu trong mỗi trường hợp, một sóng sin được đặt vào mạch thì ngõ ra sẽ có dạng như các đường đậm. Trong các dạng sóng ngõ ra này ta đã bỏ qua V_γ khi so sánh với V_R , và ta giả sử là vùng gián đoạn có thể bỏ qua khi so sánh với biên độ của dạng sóng vào. Ta cũng giả sử là $R_r \gg R \gg R_f$. Hai trong số các mạch này, phần dạng sóng được truyền qua là phần nằm dưới V_R ; hai mạch còn lại, dạng sóng được truyền qua là phần nằm trên V_R . Trong hai mạch, diode là phần tử mắc nối tiếp, trong hai mạch kia, diode là phần tử shunt. Việc sử dụng diode là phần tử mắc nối tiếp có bất lợi là khi diode Off, những tín hiệu tần số cao có thể đi qua mạch nhờ điện dung của diode. Việc sử dụng diode như là phần tử shunt có bất lợi là khi diode phân cực thuận nhưng chưa On thì điện dung của diode và các điện dung shunt khác ở ngõ ra sẽ làm cho các cạnh xung ngõ vào không còn sắc đồng thời làm suy giảm tín hiệu tần số cao. Một bất lợi thứ hai của các mạch này là nội trở R_s của nguồn V_R phải đủ nhỏ.

Khi diode được sử dụng với các dạng sóng có sự biến đổi nhanh, ví dụ sau sẽ trình bày ảnh hưởng của tụ lên các xung. Giả sử mạch xén trong hình 10-5(a) được dùng với dạng sóng ngõ vào như hình vẽ. Ngõ vào này có thể là một xung hoặc là một nửa chu kỳ của sóng vuông. Điện dung C_1 là điện dung hiệu dụng tổng cộng mắc shunt với diode (giá trị thường khoảng 5 pF), C_2 là điện dung shunt tổng cộng ở tải ngõ ra R ($R \gg R_f$). Giá trị C_2 có thể khoảng 20 pF, thường xuất hiện do điện dung ngõ vào của đầu đo trên oscilloscope. Công việc của ta là tìm dạng sóng ngõ ra, giả sử điện trở khi phân cực ngược là vô cùng.



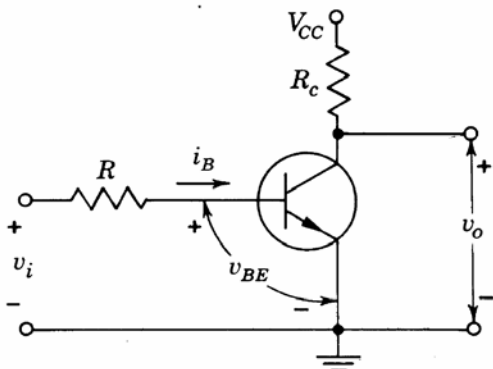
Hình 10-5

(a) Mạch xén diode với ngõ vào xung. (b) Ngõ ra khi bỏ qua điện dung; (c) Ngõ ra khi kể đến điện dung.

Nếu diode là lý tưởng và các điện dung có thể bỏ qua, dạng sóng ngõ ra được vẽ trong hình 10-5(b). Giả sử trạng thái xác lập ứng với ngõ vào là -5 V và ngõ ra là 0 V . Khi ngõ vào đột ngột nâng lên một lượng là 10 V , nếu nội trở của nguồn có thể bỏ qua thì trong mạch sẽ xuất hiện một xung dòng, và điện áp ngõ ra được xác định hoàn toàn bởi giá trị của các tụ. Vì $C_2 = 4C_1$, chỉ một phần năm điện áp ngõ vào xuất hiện trên C_2 ; do đó, ngõ ra sẽ đột ngột nhảy lên 2 V . Điện áp trên diode lúc này là 3 V và phân cực làm cho diode dẫn. Ngõ ra v_o sẽ đạt đến giá trị cuối cùng là 5 V với thời hằng $\tau_1 = (C_1 + C_2)R_f$. Tương tự, khi ngõ ra đột ngột rơi xuống một lượng là 10 V , điện áp ngõ ra sẽ đột ngột giảm xuống một lượng là 2 V . Diode lúc này bị phân cực ngược nên tắt và ngõ ra sẽ suy giảm dần về không với thời hằng $\tau_2 = (C_1 + C_2)R$. Dạng sóng kết quả được vẽ trong hình 10-5(c).

10-3 Mạch xén dùng transistor

Transistor là linh kiện phi tuyến và có thể được dùng cho mạch xén. Điều này xảy ra khi transistor đi từ vùng tắt vào trong vùng tích cực hoặc khi transistor đi từ vùng tích cực đến vùng bão hòa. Như vậy, nếu tín hiệu ngõ vào thay đổi làm cho một trong hai quá trình này xảy ra, ngõ ra sẽ bị xén. Vì ta mong muốn điện áp ngõ ra của phần không bị xén sẽ giữ nguyên dạng của tín hiệu vào nên ta cần có dòng ngõ vào (không phải điện áp ngõ vào) sẽ có hình dạng của tín hiệu. Lý do là vì trong vùng tích cực, dòng điện có độ thay đổi tuyến tính hơn là điện áp. Do đó, trong các mạch xén dùng transistor cũng như trong các mạch transistor tín hiệu lớn khác, ta sẽ sử dụng mạch lái dòng như hình 10-6. Điện trở R , thường biểu diễn nội trở nguồn hoặc một điện trở cần phải có trong mạch, phải lớn khi so sánh với điện trở ngõ vào của transistor trong vùng tích cực. Dưới các điều kiện này, dòng ngõ vào sẽ có hình dạng rất giống với điện áp vào, $i_B = (v_i - V_\gamma)/R$.



Hình 10-6

Mạch xén dùng transistor.

10-3-1 Vùng tắt

Ta đã biết là tại điện áp khoảng 0.1 V, dòng emitter là không và dòng collector sẽ bằng I_{CBO} . Dòng collector bắt đầu tăng lớn hơn I_{CBO} khi ta bắt đầu phân cực thuận transistor. Tuy nhiên, dòng ngược bão hòa là quá nhỏ do đó để có thể có được một dòng đáng kể ta phải tăng điện áp phân cực thuận lên đến V_γ . Giá trị này có thể thay đổi trong khoảng từ 0.5 V đến 0.7 V đối với Si.

Trong thực tế, điện áp chính xác làm cho transistor bắt đầu dẫn là phụ thuộc vào loại transistor và mạch ứng dụng. Ta có thể gặp những trường hợp trong đó dòng collector chỉ cần thay đổi 10 μA là transistor đã đi vào vùng tích cực, nhưng cũng có những ứng dụng đòi hỏi dòng này phải thay đổi 100 μA hoặc nhiều hơn. Nói chung, bằng thực nghiệm ta có thể thấy là transistor Ge có khoảng chuyển tiếp giữa vùng tắt và vùng tích cực là lân cận của 0.1 V trong khi đó đối với Si là 0.5 V. Như vậy, ở nhiệt độ phòng, để giữ cho một transistor ở trong vùng tắt ta có thể nối base và emitter bằng một điện trở mà không cần đến nguồn phân cực ngược, tuy nhiên, đối với transistor Ge hoặc khi nhiệt độ cao hơn, ta có thể phải sử dụng thêm nguồn phân cực ngược.

10-3-2 Điện trở ngõ vào

Một thông số khác cần phải quan tâm đối với mạch xén dùng transistor là điện trở ngõ vào của transistor. Khi transistor nằm trong vùng tắt, điện trở này rất lớn, có thể đến vài chục $M\Omega$. Giá trị chính xác của nó là không quan trọng lắm miễn là nó lớn hơn so với R trong hình 10-6. Khi điện trở collector nhỏ (khoảng dưới 5 $k\Omega$) và transistor nằm trong vùng tích cực, điện trở ngõ vào của mạch có thể được xem như là h_{ie} . Ta có

$$h_{ie} = r_{bb'} + r_{b'e} = r_{bb'} + \frac{h_{fe}}{g_m} \quad (10-4)$$

với $r_{bb'}$ là điện trở cực base và $g_m = \frac{h_{fe}}{h_{fe} + 1} \frac{|I_E|}{\eta V_T}$. Khi đó

$$h_{ie} = r_{bb'} + (h_{fe} + 1) \frac{\eta V_T}{|I_E|} \quad (10-5)$$

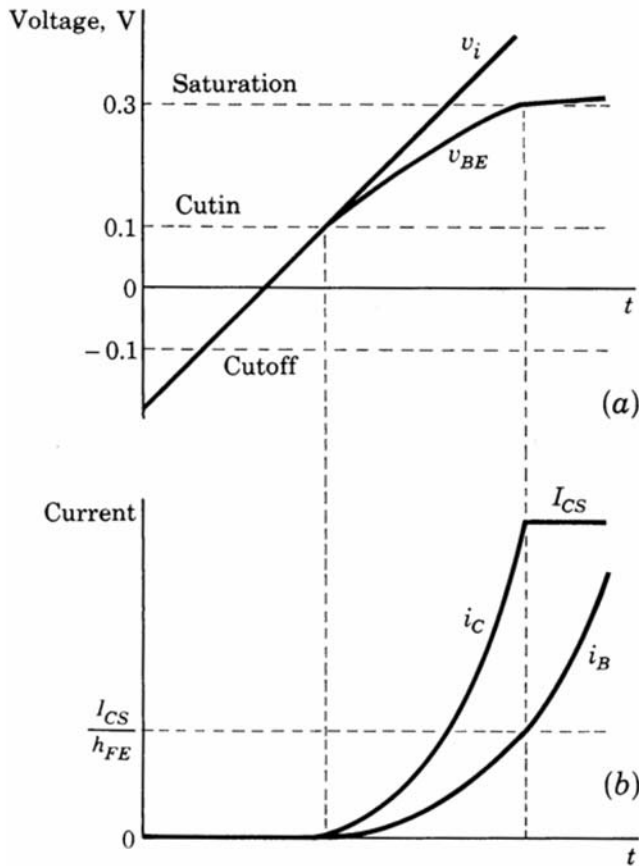
Điện trở ngõ vào tỉ lệ nghịch với dòng emitter. Do đó, khi transistor di chuyển ra khỏi vùng tắt và di chuyển vào vùng tích cực, điện trở ngõ vào của nó giảm. Ở đây ta đã bỏ qua sự thay đổi của thông số h_{fe} theo dòng transistor vì sự thay đổi này nhỏ khi so sánh với sự thay đổi của g_m .

10-3-3 Các dạng sóng

Các dạng sóng cho mạch xén trong hình 10-6 được vẽ trong hình 10-7. Ở đây ta xem ngõ vào v_i là một hàm dốc bắt đầu tại điện áp dưới điện áp tắt và tăng đến điểm làm cho transistor đi vào vùng bão hòa. Độ dốc dv_{BE}/dt của dạng sóng base được xác định bằng

$$\frac{dv_{BE}}{dt} = \frac{h_{ie}}{R + h_{ie}} \frac{dv_i}{dt} \quad (10-6)$$

Điện trở ngõ vào h_{ie} sẽ càng giảm khi transistor càng đi vào vùng tích cực, do đó độ dốc dv_{BE}/dt giảm. Trong vùng bão hòa $h_{fe} = 0$ và h_{ie} rơi xuống đến giá trị $r_{bb'} + \eta V_T / |I_E|$ thấp. Ví dụ, nếu dòng bão hòa là 1 mA thì điện trở ngõ vào tối thiểu trong vùng tích cực ngay trước khi bão hòa là 1400 Ω , khi transistor vào vùng bão hòa, trở kháng này giảm xuống còn 126 Ω . Việc giảm đột ngột của điện trở làm cho điện áp v_{BE} bị xén và dạng sóng là không đổi tại điện áp làm cho transistor bão hòa.



Hình 10-7

Dạng sóng của mạch xén transistor trong hình 10-6. (a) Điện áp v_{BE} khi ngõ vào hàm dốc lái transistor từ vùng tắt đến vùng bão hòa. (b) Dòng base và collector.

Độ dốc của dòng base là

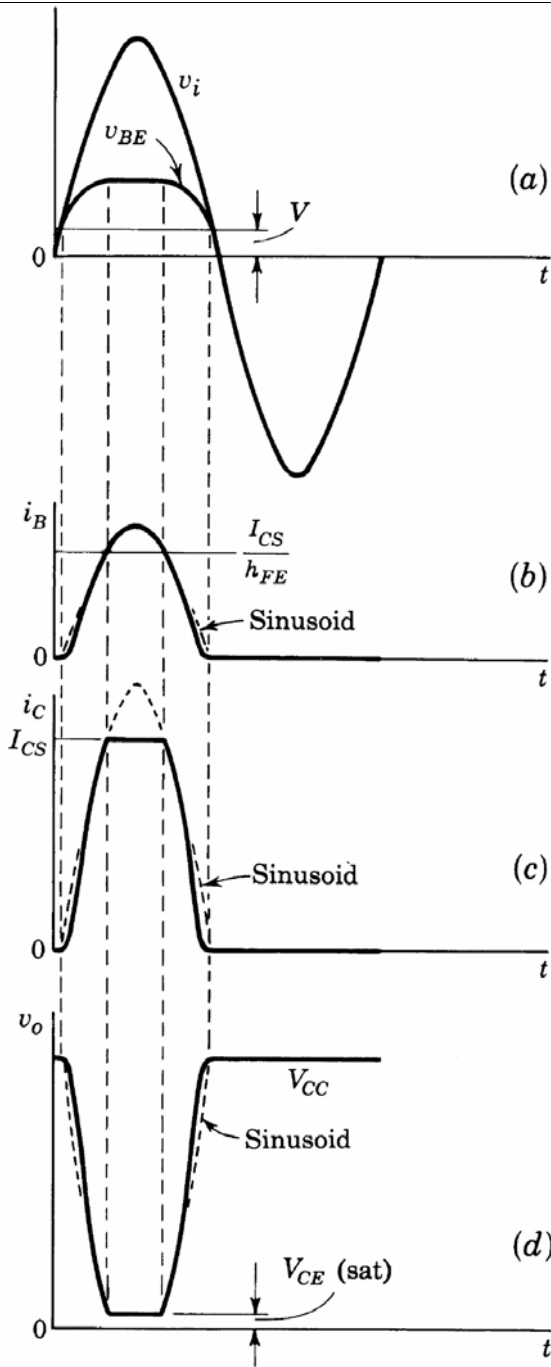
$$\frac{di_B}{dt} = \frac{1}{R + h_{ie}} \frac{dv_i}{dt}$$

Do đó dòng base sẽ tăng khi transistor đi sâu vào vùng tích cực và ngay cả chuyển sang vùng bão hòa. Trong vùng tích cực, như hình 10-7(b), dòng collector sẽ có cùng hình dạng với dòng base. Tuy nhiên, trong vùng bão hòa dòng collector sẽ là hằng số và có giá trị là

$$i_C = \frac{V_{CC} - V_{CE(sat)}}{R_C} \equiv I_{CS}$$

Giới hạn này xảy ra khi $i_B > I_{CS}/\beta$.

Các dạng sóng kết quả khi transistor đi từ vùng tắt sang vùng tích cực và vào vùng bão hòa được vẽ trong hình 10-8.



Hình 10-8

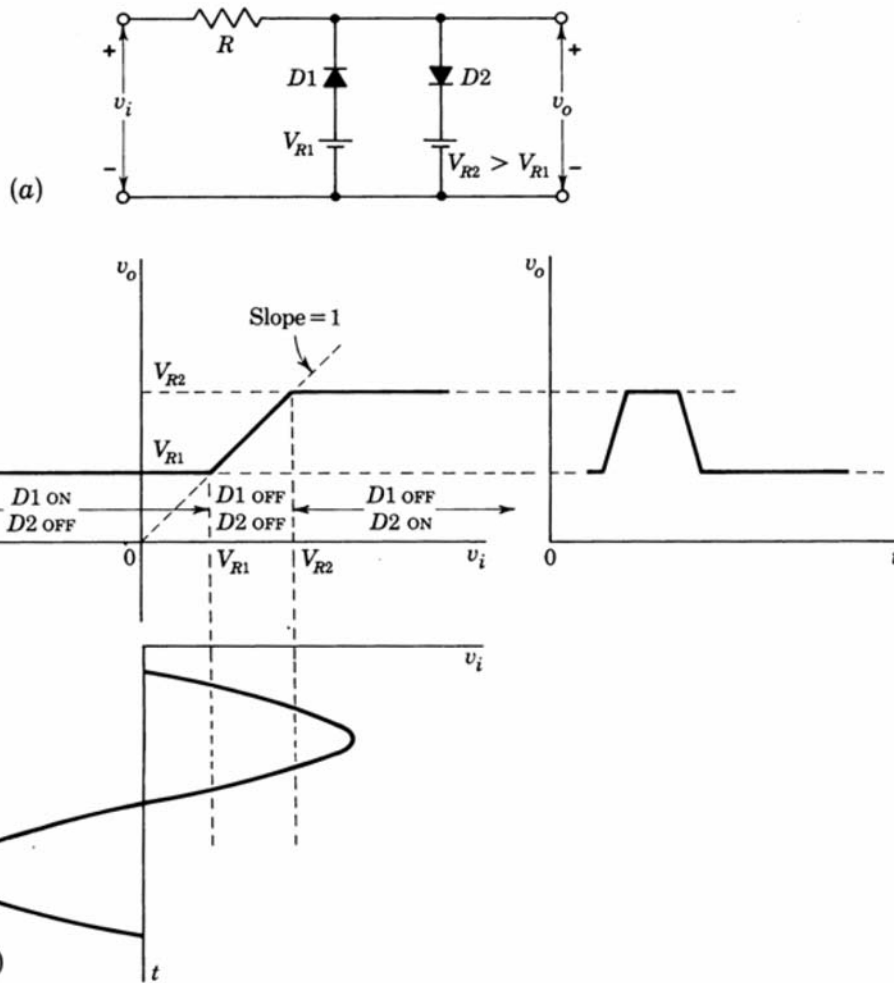
Dạng sóng của mạch xén transistor trong hình 10-6. Ngõ vào v_i là hình sin và đủ lớn để mang transistor vào cả vùng bão hòa và vùng tắt. Cực base được phân cực để tắt xảy ra tại điện áp V . (a) Ngõ vào v_i và điện áp v_{BE} ; (b) Dòng base; (c) Dòng collector và (d) Điện áp ngõ ra (collector).

10-4 Xén tại hai mức độc lập

Dạng sóng i_C trong hình 10-8 bị xén tại hai dòng. Tuy nhiên, trong dạng sóng này các mức xén không độc lập mà bị phụ thuộc vào I_{CS} . Các mạch xén dùng diode có thể thực hiện xén tại hai mức độc lập. Dạng xén với cấu hình song song hoặc nối tiếp đều có thể được sử dụng. Cấu hình song song được trình bày trong hình 10-9(a). Hình 10-9(b) vẽ đặc tuyến truyền đạt tuyến tính từng đoạn của mạch. Đặc tuyến có hai điểm gián đoạn, một tại $v_o = v_i = V_{R1}$ và một tại $v_o = v_i = V_{R2}$, và có đặc tính như sau

v_i	v_o	Diode
$v_i \leq V_{R1}$	$v_o = V_{R1}$	D1 on, D2 off
$V_{R1} < v_i < V_{R2}$	$v_o = v_i$	D1 off, D2 off
$v_i \geq V_{R2}$	$v_o = V_{R2}$	D1 off, D2 on

Mạch hình 7-12(a) có thể được dùng để chuyển một sóng sin thành sóng vuông nếu biên độ sóng sin rất lớn khi so sánh với độ chênh lệch mức xén.



Hình 10-9

(a) Mạch xén hai diode xén tại hai mức độc lập; (b) Hàm truyền tuyến tính từng đoạn của mạch. Ngõ ra của tín hiệu vào hình sin cũng được vẽ trong hình.

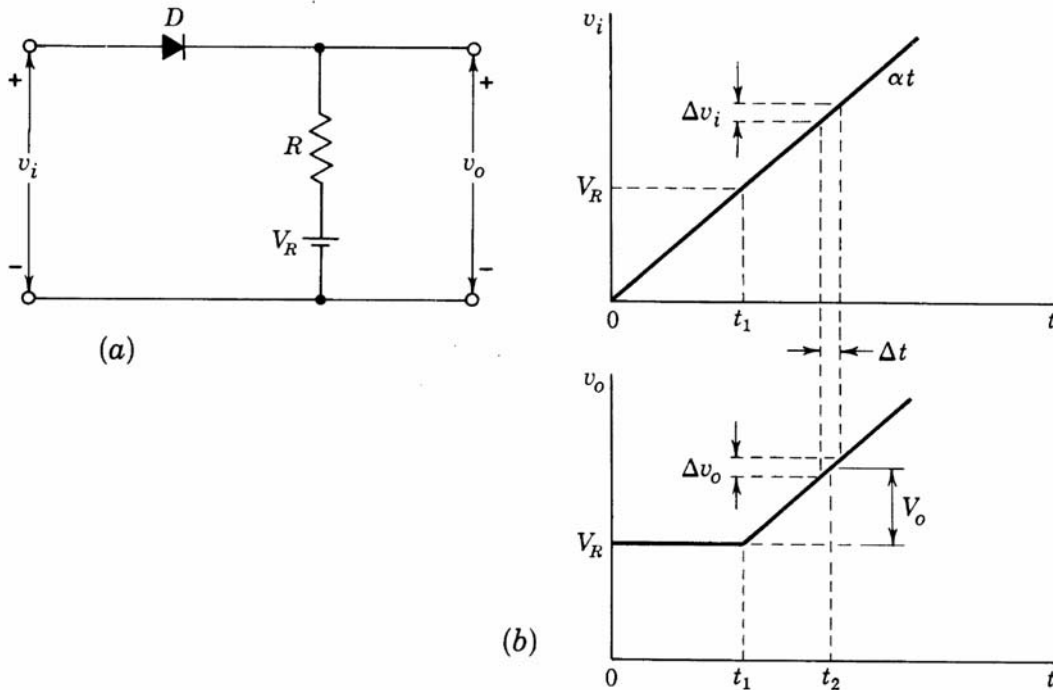
10-5 Mạch so sánh

Các mạch phi tuyến mà ta đã dùng để thực hiện mạch xén cũng có thể dùng để thực hiện so sánh. Trong trường hợp này, mạch trở thành một phần tử trong một hệ thống so sánh và thường được gọi là bộ so sánh hay comparator. Một bộ so sánh là một mạch điện có thể xác định khi nào thì một dạng sóng ngõ vào tùy ý đạt tới một mức áp tham khảo cụ thể. Sự khác biệt giữa mạch so sánh và mạch xén đó là mạch so sánh không tái tạo bất kỳ phần nào trên tín hiệu ngõ vào.

Mạch diode của hình 10-10 có thể được dùng như bộ so sánh. Ta xét tín hiệu vào là hàm dốc. Ngõ vào này đi qua mức điện áp $v_i = V_R$ tại thời điểm $t = t_1$. Ngõ ra duy trì tại mức $v_o = V_R$ cho đến $t = t_1$, sau đó nó nâng lên theo tín hiệu vào. Dạng sóng ngõ ra được vẽ với giả sử là diode có điểm gián đoạn tại điện áp không và điện trở diode thay đổi một cách đột ngột tại điểm gián đoạn từ giá trị vô cùng đến một giá trị điện trở phân cực thuận xác định.

Một thiết bị nối đến ngõ ra của bộ so sánh sẽ nhận ra sự vượt ngưỡng khi điện áp ngõ ra của bộ so sánh có giá trị V_0 lớn hơn V_R . Tuy nhiên mức điện áp ngưỡng chính xác có thể dao động một lượng Δv_o quanh ngưỡng tối ưu vì tuổi thọ của linh kiện, ảnh hưởng của nhiệt độ,... Kết quả là sẽ có một sự dao động Δt quanh thời điểm chính xác mà thiết bị đáp ứng với ngõ ra của bộ so sánh và một sự dao động Δv_i trong điện áp vào tương ứng với Δt . Lúc này, thiết bị có thể không đáp ứng

tại $t = t_1$ mà có thể tại thời điểm t_2 sau đó. Điều này có thể cải tiến bằng cách tăng độ dốc của đoạn đi lên của dạng sóng ngõ ra v_o . Nếu diode là lý tưởng, ta có thể đặt phía sau bộ so sánh hình 10-10 một bộ khuếch đại. Khi này, nếu A là độ lợi của bộ khuếch đại, ngõ ra v_o sẽ đi qua Δv_o trong khoảng thời gian $\Delta t/A$ và thời gian trễ trong việc đáp ứng với ngõ ra của bộ so sánh sẽ giảm xuống còn $(t_2 - t_1)/A$. Tuy nhiên đối với diode thực thì kết quả không đạt được như vậy.



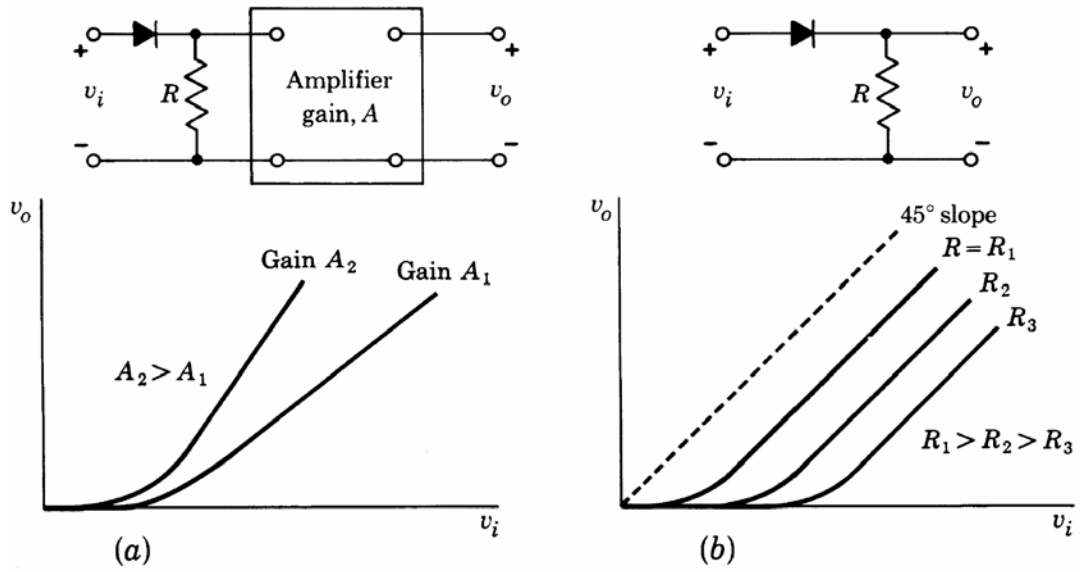
Hình 10-10

(a) Mạch so sánh dùng diode; (b) Minh họa với ngõ vào là hàm dốc v_i và ngõ ra tương ứng.

Trong các phần trước ta đã biết điểm gián đoạn là điểm mà xung quanh nó dòng của diode xấp xỉ 1% dòng định mức. Định nghĩa này không định nghĩa cho một tổ hợp nối tiếp gồm có diode và điện trở như hình 10-10. Trong các trường hợp như vậy, ta có thể định nghĩa điểm gián đoạn theo cách sau. Phía bên trái điểm gián đoạn, điện trở động của diode sẽ rất lớn hơn R , phía bên phải điểm gián đoạn, điện trở động của diode sẽ rất nhỏ hơn R . Để hợp lý ta có thể xem như điểm gián đoạn là điểm tại đó $r = R$. Tại điểm này, độ lợi truyền đạt là $\Delta v_o / \Delta v_i = R / (R + r) = 1/2$. Bây giờ giả sử ta nối bộ so sánh này đến một thiết bị. Thiết bị này sẽ đáp ứng đến trạng thái của bộ so sánh khi dòng diode là I và áp rơi trên điện trở là RI . Giữa bộ so sánh và thiết bị ta đặt một bộ khuếch đại với độ lợi A . Lúc này bộ so sánh sẽ gây ra đáp ứng trên thiết bị khi ngõ ra bộ khuếch đại là RI , tức là khi áp rơi trên điện trở R là RI/A , tương ứng với dòng qua diode là I/A . Mặt khác, điện trở động của diode là tỉ lệ nghịch với I nên nếu dùng bộ khuếch đại, thiết bị bị tác động bởi bộ so sánh sẽ đáp ứng khi $r = RA$. Đối với diode thực, ta có

$$\frac{\Delta v_o}{\Delta v_i} = A \frac{R}{R+r} = \frac{AR}{R+AR} = \frac{A}{1+A} \quad (10-7)$$

Do đó, nếu A rất lớn thì tỉ số này sẽ tiến đến 1. Ta có thể thấy là độ lợi truyền đạt khi không có mạch khuếch đại là $1/2$ thì khi dùng một bộ khuếch đại với độ lợi không xác định hệ số này chỉ tăng được 2 lần. Như vậy, ta có ba nhận xét trên điểm gián đoạn của một mạch tổ hợp diode – điện trở: (1) điện áp ngõ vào tại đó bộ so sánh tác động phụ thuộc không chỉ vào diode mà còn vào việc chọn điện trở R ; (2) điểm gián đoạn của bộ so sánh cũng phụ thuộc vào độ lợi của bộ khuếch đại; và cuối cùng (3) độ rõ ràng, sắc cạnh của bộ so sánh không phụ thuộc vào bộ khuếch đại. Tất cả những điểm này được trình bày trong hình 10-11.



Hình 10-11

(a) Minh họa một bộ khuếch đại phía sau một mạch so sánh không cải thiện được độ sắc của bộ so sánh mà chỉ di chuyển điểm gián đoạn; (b) Minh họa sự thay đổi R không thay đổi độ sắc của bộ so sánh mà chỉ di chuyển điểm gián đoạn.

11

Mạch kẹp và mạch giao hoán

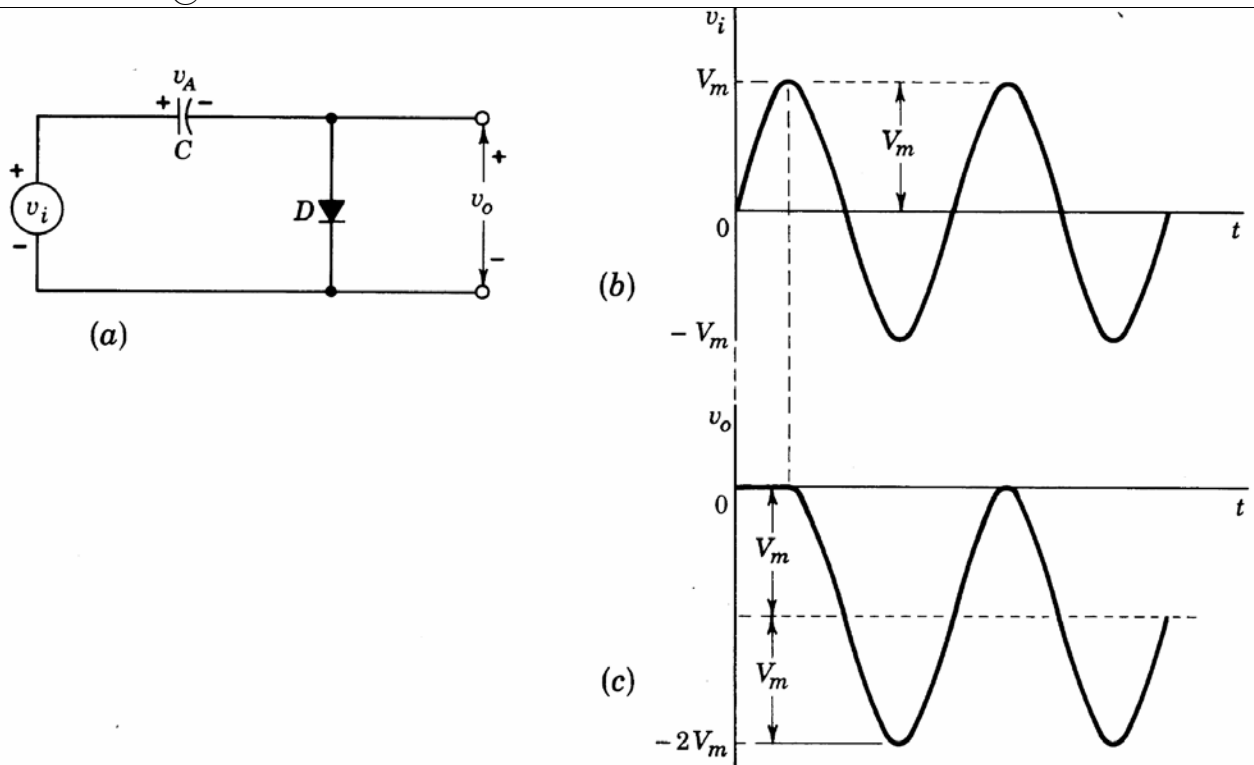
11-1 Mạch kẹp

Một công việc thường được thực hiện đối với các tín hiệu tuần hoàn là đặt lại vị trí của đỉnh dương hoặc đỉnh âm của tín hiệu đến một mức tham khảo V_R nào đó. Các mạch thực hiện việc này được gọi là mạch kẹp (clamping circuit). Nói chung, bất cứ khi nào một điểm trong mạch được kết nối qua một trở kháng thấp đến một nguồn tham khảo V_R , ta nói là điểm đó được kẹp tại điện áp V_R , vì điện áp của điểm này sẽ không thể quá sai lệch so với V_R . Mạch diode trong hình 10-2 là một ví dụ của mạch kẹp như vậy vì ngõ ra bị kẹp tại V_R bất cứ khi nào ngõ vào vượt quá V_R . Trong các mạch này, chỉ một chiều thay đổi của điện áp là bị kẹp nên ta gọi chúng là các mạch kẹp một chiều. Hai diode có thể được dùng để tạo nên mạch kẹp hai chiều.

Như ta đã biết, khi một tín hiệu được đưa qua một mạch bằng cách ghép tụ, thành phần dc của tín hiệu sẽ bị mất. Trong những trường hợp này, mạch kẹp thường được dùng để phục hồi thành phần dc, do đó nó còn có tên là mạch tái tạo dc.

11-1-1 Dạng sóng

Xét hình 11-1, bao gồm một nguồn v_i với nội trở có thể bỏ qua, một tụ và một diode D . Giả sử là diode lý tưởng, tức là điểm gián đoạn của nó xảy ra tại 0 V và điện trở phân cực thuận là không. Tín hiệu vào là một sóng sin bắt đầu tại $t = 0$. Tụ C không mang điện tích tại $t = 0$. Ta sẽ tìm dạng sóng ngõ ra v_o trên diode.



Hình 11-1

(a) Mạch kẹp cơ bản; (b) Tín hiệu vào hình sin được đặt vào tại thời điểm $t = 0$; (c) Dạng sóng ngõ ra.

Trong một phần tư chu kỳ đầu tiên, tín hiệu vào tăng từ không đến giá trị tối đa V_m . Diode là lý tưởng nên áp rơi trên nó là không. Kết quả là trong suốt một phần tư chu kỳ đầu tiên, $v_A = v_i$. Điện áp trên tụ C tăng theo hình sin, tụ nạp điện thông qua nguồn và diode. Như vậy, lúc này v_o là không. Tại cuối của khoảng thời gian này áp rơi trên tụ là $v_A = V_m$.

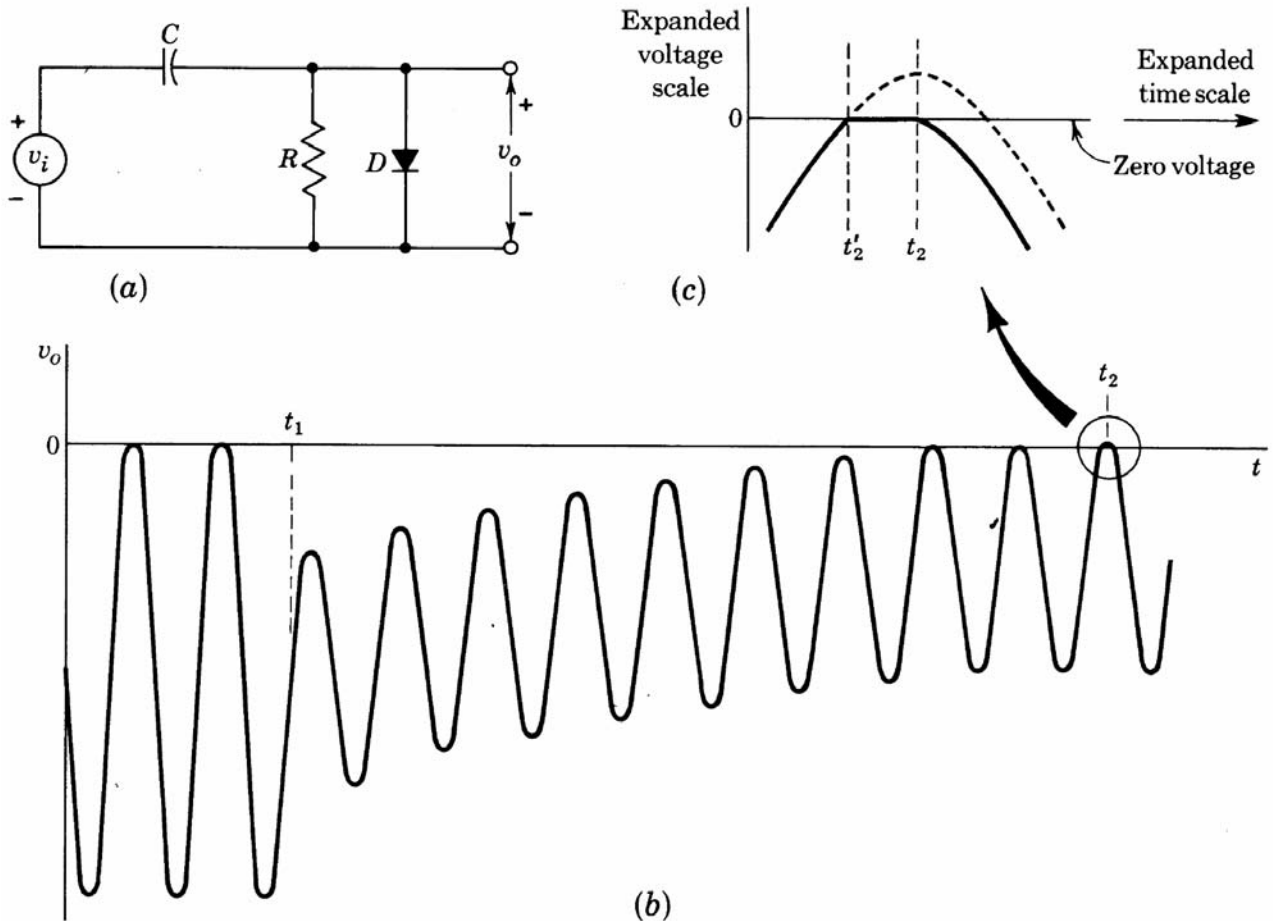
Sau một phần tư chu kỳ này, tín hiệu bắt đầu giảm xuống, điện áp trên tụ không thể bám theo tín hiệu vào vì tụ không thể xả thông qua diode lúc này đang bị phân cực ngược. Điện áp trên tụ tiếp tục duy trì là $v_A = V_m$, điện áp ngõ ra là $v_o = v_i - V_m$. Trong suốt các chu kỳ tiếp theo, đỉnh dương của tín hiệu ra chỉ có thể đạt đến không. Diode không bao giờ dẫn trở lại và đỉnh dương của tín hiệu ra bị kẹp tại không.

Giả sử là sau khi đạt đến trạng thái xác lập, biên độ tín hiệu vào tăng lên. Khi đó, trong suốt một phần tư chu kỳ đầu tiên, diode sẽ lại dẫn. Điện áp dc trên tụ C sẽ lại tăng và một lần nữa đỉnh dương của tín hiệu ra sẽ bị kẹp lại tại mức không. Nhưng nếu biên độ của tín hiệu vào giảm xuống thì điều gì sẽ xảy ra? Trong trường hợp này, rõ ràng là điện áp dc trên tụ cần phải giảm theo nhưng trong mạch hình 11-1 không có cách nào để làm được điều này. Để điện áp trên tụ có thể giảm, cần có một điện trở mắc shunt với tụ hoặc qua diode. Trong trường hợp thứ hai, tụ sẽ xả thông qua một mạch nối tiếp gồm điện trở shunt của diode và nội trở nguồn.

Mạch hình 11-2(a) trình bày trường hợp có điện trở R . Hình 11-2(b) vẽ dạng sóng ngõ ra cho trường hợp biên độ tín hiệu vào hình sin đột ngột giảm xuống. hai chu kỳ đầu tiên tương ứng với giai đoạn xác lập trước đó. Tại thời điểm $t = t_1$, biên độ tín hiệu đột ngột giảm xuống. Vì tụ không thể xả một cách nhanh chóng, đỉnh dương của ngõ ra giảm xuống dưới không một chút trước khi bị kẹp lại tại 0 V. Điện áp trên tụ C giảm dần theo hàm mũ khi tụ xả và sau một vài chu kỳ, đỉnh dương sẽ bằng không trở lại. Trong trường hợp này, không giống với trường hợp không có R , có dòng chảy qua tại mỗi đỉnh dương. Ngay cả khi điện áp trên tụ giảm đến giá trị làm cho đỉnh dương đạt đến không tụ vẫn tiếp tục xả thông qua R và nội trở nguồn. Lúc này diode sẽ hỗ trợ cho tụ

điện. Vì tụ xả chậm nên diode không phải luôn dẫn mà chỉ cần dẫn trong một phần nhỏ của chu kỳ để nạp lại cho tụ các điện tích bị mất.

Ta thử xem dạng sóng xung quanh đỉnh dương khi diode dẫn. Phần dạng sóng này được trình bày trên hình 11-2(c). Nếu không có diode, tín hiệu sẽ đi theo đường đứt nét với đỉnh tại $t = t_2$. Nhưng nhờ diode, phần tín hiệu giữa t_2 và t_2' bị kẹp tại 0 V. t_2' là thời điểm tại đó tín hiệu sin vừa đạt đến không. Để ít méo dạng, tụ phải bị mất ít điện tích trong quá trình xả, điều này đòi hỏi thời hằng RC phải rất lớn khi so sánh với chu kỳ của tín hiệu.

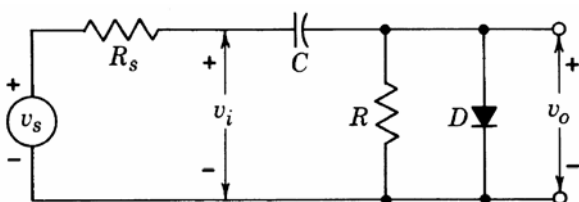


Hình 11-2

(a) Mạch kẹp với điện trở xả. (b) Tại $t = t_1$, biên độ ngõ vào đột ngột giảm xuống. Ngõ ra tiến dần đến trạng thái xác lập. (c) Chi tiết của v_o tại đỉnh dương đầu tiên.

11-2 Mạch kẹp khi xét đến điện trở diode và nội trở nguồn

Hình 11-3 là mạch đã được bổ sung nội trở nguồn R_s và một điện trở phân cực thuận cho diode R_f . Điện trở R_f có giá trị khoảng vài chục đến vài trăm ohms tùy theo loại diode được sử dụng. Nội trở nguồn có thể bỏ qua hoặc có thể lên đến vài ngàn ohms tùy theo nguồn. Giả sử là điểm gián đoạn của diode V_γ xảy ra tại 0 V.



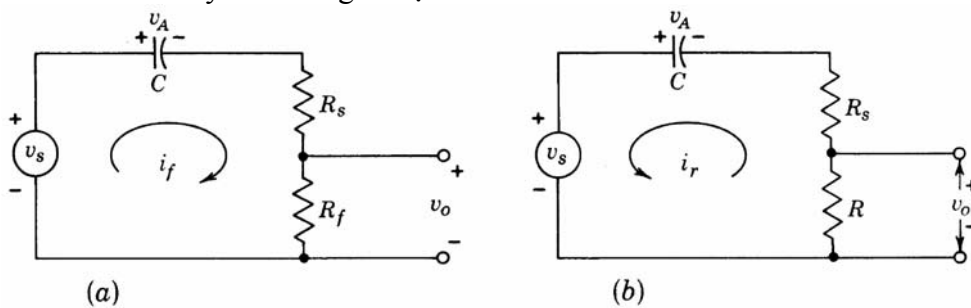
Hình 11-3

Mạch kẹp khi tính cả nội trở R_s của nguồn. Trong thời gian dẫn, diode là một điện trở R_f .

Như ta sẽ thấy, độ chính xác của mạch tùy thuộc vào điều kiện $R \gg R_f$. Để phân tích mạch ta có thể vẽ mạch tương đương của mạch này khi cần tính v_o như hình 11-4(a). Mạch hình 11-4(a) được dùng khi diode dẫn và hình 11-4(b) được dùng khi diode không dẫn. Nếu $R \gg R_f$ là không đúng thì từ hình 11-4(a), R_f phải được thay bằng hai điện trở R và R_f mắc song song. Trong hình 11-4(b), nếu điện trở trong vùng tắt của diode không rất lớn hơn R thì điện trở R cũng phải được thay bằng tổ hợp song song của hai điện trở. Trong một số trường hợp, trong mạch thật ra không có R , điện trở này có thể là điện trở phân cực ngược R_r của diode.

11-2-1 Dạng sóng quá độ

Bây giờ ta sẽ xem xét dạng sóng ngõ ra khi một tín hiệu đột ngột được đặt vào mạch và xem mạch đạt đến trạng thái xác lập như thế nào. Sau một số chu kỳ, mạch sẽ đạt đến trạng thái xác lập trong đó đỉnh dương sẽ bị kẹp tại không. Trong trường hợp đó ta sẽ dùng mạch tương đương như hình 11-4 và xử lý như trong ví dụ sau.



Hình 11-4

Mạch tương đương của hình 11-2 để tính v_o (a) khi diode dẫn, (b) khi diode không dẫn. Giả sử là $R_r \gg R \gg R_f$.

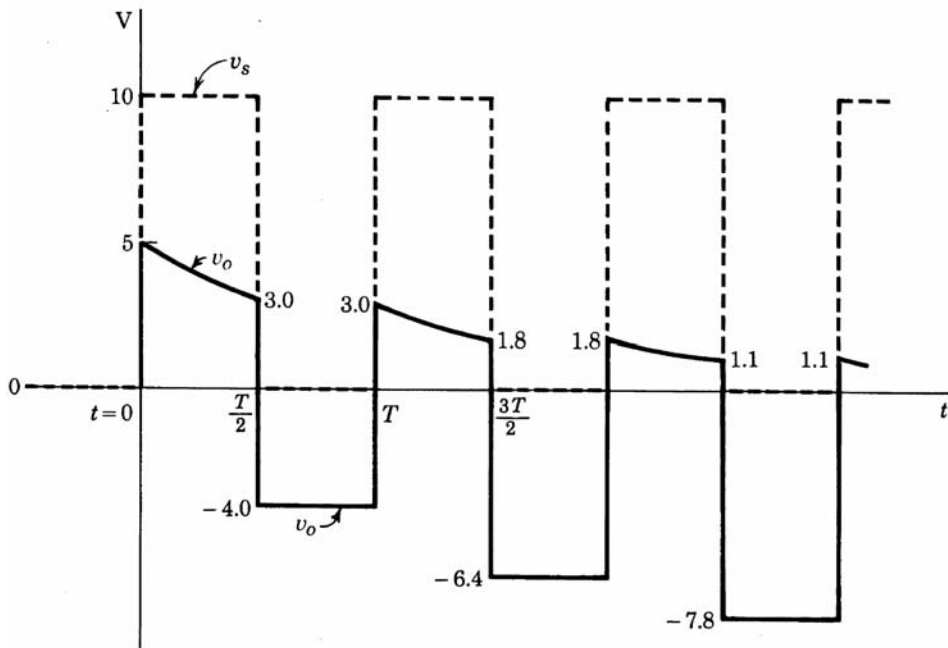
Giả sử trong mạch hình 11-3, $R_s = R_f = 100 \Omega$, $R = 10 \text{ k}$, và $C = 1 \mu\text{F}$. Tại $t = 0$, một tín hiệu sóng vuông đối xứng với biên độ 10 V , tần số 5 kHz được đặt vào mạch. Như được trình bày trong hình 11-5, tín hiệu v_s đi từ 0 V đến $+10 \text{ V}$. Hãy vẽ vài chu kỳ đầu tiên của dạng sóng ngõ ra.

Để phân tích được mạch này, ta giả sử tụ C không tích điện ở thời điểm đầu. Dùng mạch tương đương trong hình 11-4(a) ta có, tại lần nhảy lên 10 V đầu tiên của tín hiệu vào, ngõ ra nhảy đến $+5 \text{ V}$. Ngõ ra sau đó suy giảm dần về không theo hàm mũ với thời hằng

$$\tau = (R_s + R_f)C = 200 \mu\text{s}$$

Vì chu kỳ $T = 200 \mu\text{s}$ nên tại cuối nửa chu kỳ sóng vuông, tại thời điểm $t = T/2$, ngõ ra rơi xuống đến $v_o(t = T/2) = 5e^{-T/2\tau} = 3 \text{ V}$.

Tại thời điểm này, vì điện áp trên R_f là 3 V nên điện áp trên tụ là 4 V . Tại thời điểm $t = T/2+$, ngõ vào hạ xuống không, diode tắt và ta dùng hình 11-4(b). Trong mạch này, $v_A = 4 \text{ V}$ và $v_s = 0$, nếu bỏ qua R_s khi so sánh với R thì $v_o = -4 \text{ V}$ như trong hình 11-5. Ngõ ra sau đó lại bắt đầu suy giảm về không. Tuy nhiên, thời hằng bây giờ là $RC = 10 \text{ k} \times 1 \mu\text{F} = 10000 \mu\text{s}$, tức là lớn hơn 100 lần so với $T/2$. Do đó độ suy giảm là có thể bỏ qua và không được chỉ ra trong hình.



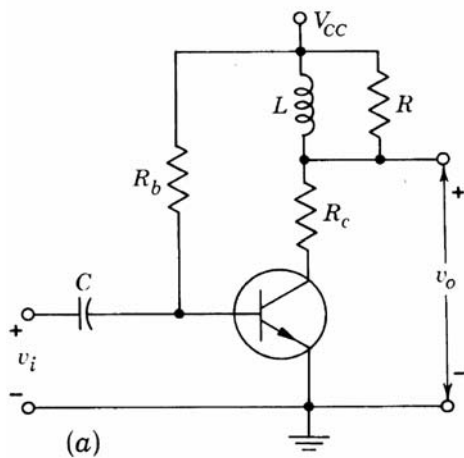
Hình 11-5
 Ví dụ của quá trình từ quá độ đến xác lập trong mạch kẹp.

Vì trong khoảng $t = T/2$ đến $t = T$ điện áp trên tụ không thay đổi, nên tại thời điểm $t = T +$, ngõ ra sẽ trở lại $+3\text{ V}$. Sau đó ngõ ra lại tiếp tục suy giảm về không. Phần suy giảm trong khoảng $t = T$ đến $t = 3T/2$ là một sự liên tục của phần trong khoảng $t = 0$ đến $t = T/2$. Nếu tắt cả các đoạn suy giảm được ghép chung lại với nhau, chúng sẽ tạo nên một dạng sóng liên tục suy giảm theo hàm mũ từ $+5\text{ V}$ đến 0 V .

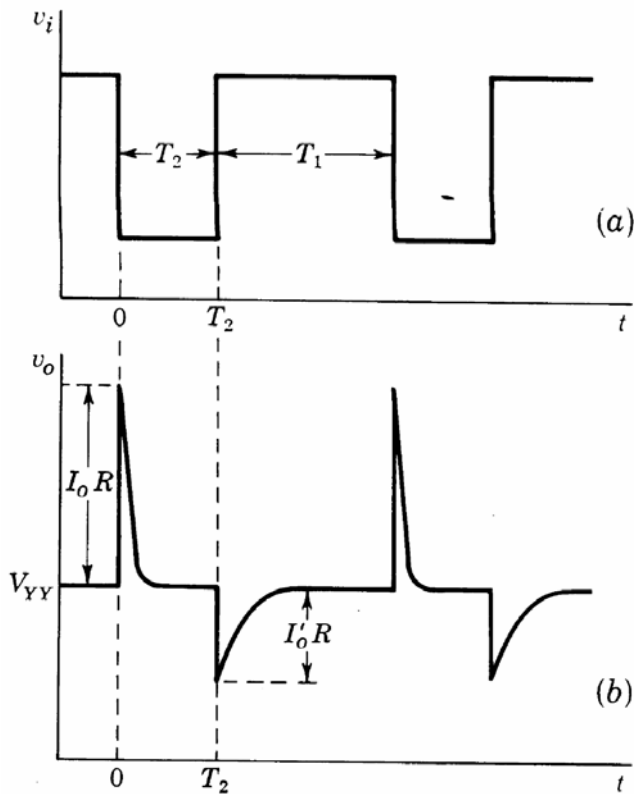
Tại $t = 3T/2$ thì $v_o = 3e^{-1/2} = 1.8$. Quá trình tính toán lại lặp lại như trên và kết quả được trình bày trong hình. Các chu kỳ tiếp sau, dạng sóng đã xấp xỉ trạng thái xác lập khi đỉnh dương bị kẹp tại giá trị xấp xỉ 0 V .

11-3 Mạch giao hoán với tải cảm

Trong hình 11-6 vẽ một transistor trong đó tải là một cuộn cảm L mắc song song với điện trở R . Dạng sóng với mức dc tùy ý trong hình 11-7(a) được đặt vào mạch. Khi đó transistor sẽ chuyển từ trạng thái bão hòa sang trạng thái tắt. Điện trở R_c trong mạch collector được dùng để hạn dòng trong trường hợp transistor bão hòa.



Hình 11-6
 Transistor lái tải cảm.



Hình 11-7
 (a) Ngõ vào của hình 11-6;
 (b) Điện áp ngõ ra.

Sau khi transistor nằm trong vùng bão hòa trong một thời gian đủ dài để tất cả quá trình quá độ bị suy giảm, cuộn cảm sẽ có dòng $I_o = [V_{CC} - V_{CE(sat)}] / R_C$. Tức thời ngay tại thời điểm transistor chuyển sang trạng thái tắt, mạch tương đương để tính ngõ ra được vẽ trong hình 11-6(c). Ta bỏ qua dòng rò của transistor khi ở trạng thái tắt. Dòng cuộn cảm, phải chảy qua R , sẽ giảm dần từ I_o về không với thời hằng L/R . Điện áp ngõ ra được vẽ trong hình 8-24(b) và được cho bởi

$$v_o = V_{YY} + I_o R e^{-Rt/L} \quad (11-1)$$

Do đó, khi transistor bị lái vào trạng thái tắt, tại collector sẽ xuất hiện một gai dương với biên độ $I_o R$ xếp chồng lên điện áp nguồn cung cấp. Gai dương này có thể trở nên rất lớn khi R lớn. Trong thực tế, điện áp đỉnh có thể bị giới hạn bởi điện dung ngang qua cuộn cảm, nhưng ngay cả trong trường hợp này, điện áp đỉnh cũng có thể lớn hơn vài lần so với áp nguồn.

Khi công tắc trở lại trạng thái bão hòa tại thời điểm $t = T_2$, cuộn cảm lúc này tức thời hở mạch. Dòng transistor chảy qua R là $[V_{CC} - V_{CE(sat)}] / (R + R_C)$.

Đặt I'_o là dòng transistor tức thời chảy qua transistor tại thời điểm On. Dòng chảy qua R sẽ giảm dần từ I'_o về không với hằng số thời gian L/R' , trong đó R' bằng R song song với R_C . Ngõ ra khi $t > T_2$ là

$$v_o = V_{YY} - I'_o R e^{-R'(t-T_2)/L} \quad (11-2)$$

và có dạng gai âm như trong hình 11-7(b) xếp chồng lên điện áp nguồn cung cấp. Gai âm luôn luôn nhỏ hơn điện áp nguồn vì điện áp collector không thể đảo ngược cực tính. Thời hằng của gai âm lớn hơn thời hằng gai dương do đó gai âm suy giảm chậm hơn.

11-4 Mạch giao hoán với tải dung

Mạch giao hoán với tải dung được vẽ trong hình 11-8(a). Tại thời điểm $t = 0-$, khi transistor bão hòa, điện áp ngõ ra và dòng collector là

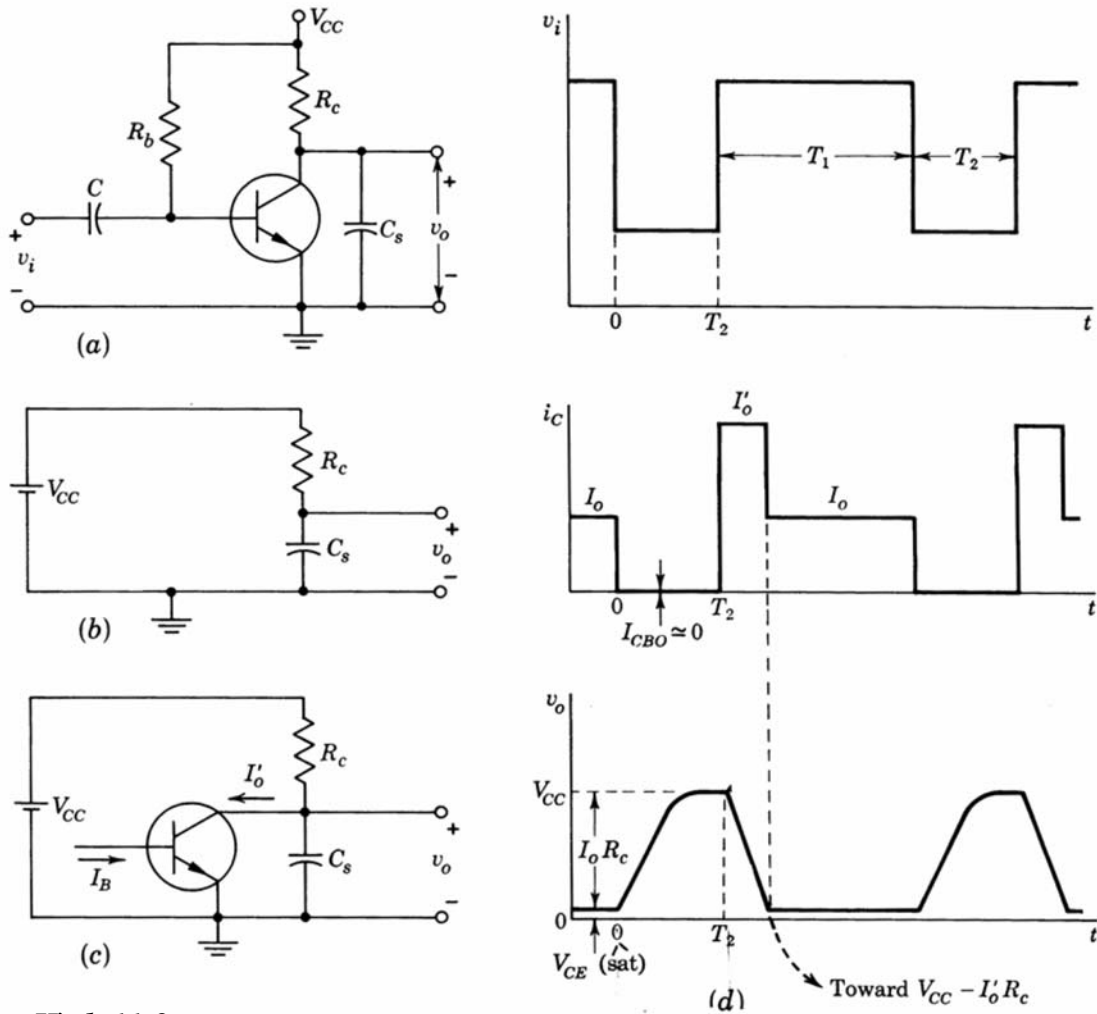
$$v_o = V_{CE(sat)} \text{ và } i_C = \frac{V_{CC} - V_{CE(sat)}}{R_C} \equiv I_o$$

Các đại lượng này được chỉ ra trong hình 11-8(d). Tại thời điểm $t \geq 0+$, khi mạch đi vào trạng thái tắt, mạch tương đương được vẽ trong hình 11-8(b). Điện áp collector tăng dần đến V_{CC} với thời hằng $R_C C_S$.

Tại thời điểm $t = T_2+$, ngõ vào đột ngột nâng lên, chuyển tiếp base – emitter được phân cực thuận và dòng base là $I_B = (V_{CC} - V_\gamma) / R_B$. Điện áp collector tại thời điểm này là điện áp V_{CC} trên C_S . Vì điện áp này phân cực ngược chuyển tiếp collector, transistor làm việc trong vùng tích cực với dòng collector là $I_C \approx \beta I_B \equiv I'_o$. Mạch tương đương dùng để tính quá trình xả của tụ được vẽ trong hình 11-8(c), với I'_o là hằng số. Điện áp ngõ ra bắt đầu từ V_{CC} và giảm xuống theo hàm mũ với thời hằng $R_C C_S$ hướng đến giá trị xác lập $V_{CC} - I'_o R_C$. Khi $t \geq T_2$ và cho đến khi transistor trở lại trạng thái bão hoà, ngõ ra là

$$v_o = V_{CC} - I'_o R_C + I'_o R_C e^{-(t-T_2)/R_C C_S} \quad (11-3)$$

Các điều kiện này được vẽ trong hình 11-8(d), ở đây ta đã chỉ ra là $I'_o > I_o$ vì I_o là dòng collector bão hoà nên $I_o < \beta I_B$ trong khi đó $I'_o = \beta I_B$. Do đó $I'_o > I_o$. Khi collector giảm xuống đến $V_{CE(sat)}$, transistor rơi vào trạng thái bão hoà, dòng collector giảm đến giá trị bão hoà I_o và v_o giữ tại $V_{CE(sat)}$ như trong hình 11-8(d). Nếu $I'_o \gg I_o$ thì v_o giảm gần như tuyến tính theo thời gian và thời gian xuống nhỏ hơn nhiều so với thời gian lên.



Hình 11-8

(a) Transistor với tải dung; (b) Mạch tương đương để tính ngõ ra khi transistor tắt; (c) Mạch tương đương khi mạch base bị kẹp nhưng collector vẫn ở trong vùng tích cực; (d) Ngõ vào v_i , dòng collector i_c , và điện áp ngõ ra v_o .

Trong hình 11-8(d) ta đã ngầm giả sử là thời hằng rất nhỏ khi so với T_2 hoặc T_1 . Nếu thay vì vậy ta giả sử $R_c C_s$ rất lớn hơn T_2 thì đường lên dạng hàm mũ có thể xấp xỉ với một hàm tuyến tính. Mạch hoạt động giống như một mạch tích phân và một điện áp bước ngõ vào sẽ chuyển thành hàm dốc ngõ ra.

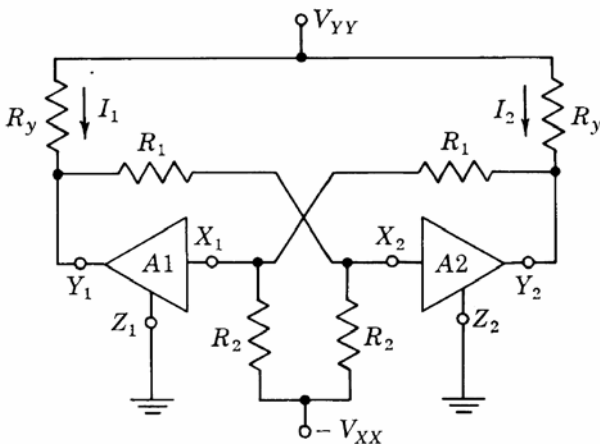
Mạch dao động đa hài (multivibrator)

12-1 Mạch dao động đa hài hai trạng thái bền (bistable multivibrator)

Mạch bistable là mạch có thể có một trong hai trạng thái bền (stable state) và có thể chuyển từ trạng thái bền này sang trạng thái bền kia bằng một kích thích bên ngoài (trigger). Mạch hai trạng thái bền được dùng nhiều trong các thao tác trên tín hiệu số như đếm, lưu trữ thông tin nhị phân,... Mạch bistable còn có tên gọi khác là mạch binary, flip-flop.

12-1-1 Các trạng thái bền của mạch binary

Hình 12-1 biểu diễn sơ đồ của một mạch binary. Các linh kiện A_1, A_2 là các transistor; ngõ vào X là base của transistor, ngõ ra Y là collector của transistor và Z là emitter. Cực tính của nguồn cung cấp trên hình là dành cho transistor loại NPN. Lưu ý là ngõ ra của mỗi bộ khuếch đại được ghép đến ngõ vào của bộ khuếch đại kia.



Hình 12-1

Mạch binary với A_1, A_2 là các transistor

và $V_{YY} = V_{CC}, V_{XX} = V_{BB}, R_y = R_C$.

Vì tính đối xứng của mạch nên có thể dòng tĩnh của mỗi transistor là như nhau. Điều này sẽ đúng nếu cả hai transistor đều được phân cực đủ âm để tắt hoặc đủ dương để bão hòa. Tuy nhiên, trong thực tế, trạng thái này ít được sử dụng như ta sẽ thấy ở các phân tích sau.

Bây giờ ta thử xét trường hợp cả hai transistor đều làm việc trong vùng tích cực với dòng như nhau. Trong trường hợp này ta có thể tìm được dòng $I_1 = I_2$ phù hợp với định luật Kirchhoff và đặc

tính linh kiện. Tuy nhiên, trạng thái này sẽ là trạng thái không bền (unstable state) của mạch. Ta giả sử là dòng I_1 có một thay đổi nhỏ. Nếu I_1 tăng thì điện áp tại ngõ ra Y_1 sẽ giảm và ngõ vào X_2 sẽ giảm theo. Sự thay đổi này sẽ được khuếch đại đảo bởi A_2 và ngõ ra Y_2 sẽ tăng. Do đó, điện áp tại X_1 sẽ trở nên dương hơn và kết quả là dòng I_1 sẽ tăng hơn nữa. Chu trình này lặp lại bản thân nó. Dòng I_1 tiếp tục tăng và dòng I_2 tiếp tục giảm, trạng thái của mạch sẽ di chuyển ra xa trạng thái khởi đầu của nó. Điều này xảy ra là do mạch có hồi tiếp dương và sẽ chỉ xảy ra nếu độ lợi vòng của mạch lớn hơn một.

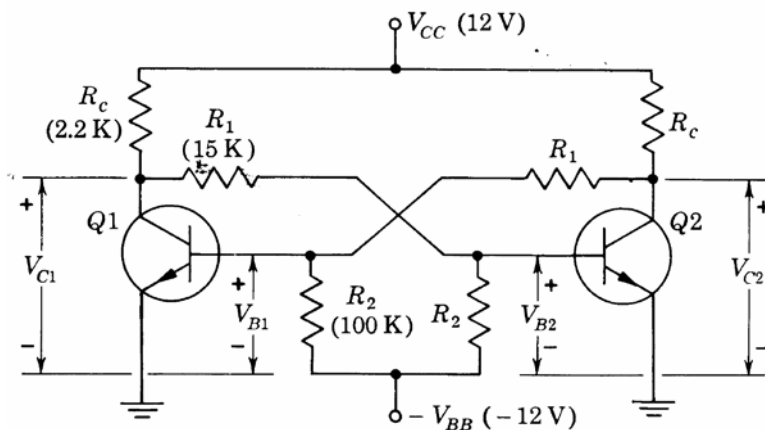
Từ thảo luận ở trên ta thấy là trạng thái bền của một mạch binary sẽ là trạng thái mà trong đó dòng và áp thỏa mãn định luật Kirchhoff, phù hợp đặc tính linh kiện; nhưng thêm vào đó, độ lợi vòng phải nhỏ hơn một. Về mặt nguyên lý, để flip-flop ở vào trạng thái bền thì cả hai transistor sẽ tắt hoặc cả hai bị bão hòa.

Trong thực tế, để mạch binary ở trong trạng thái bền, ta chỉ cần một transistor tắt và transistor kia bão hòa là đủ. Nếu như ta phân cực cho một transistor tắt, transistor còn lại hoạt động trong vùng tích cực. Khi nhiệt độ thay đổi hoặc do tuổi thọ của linh kiện và các thông số linh kiện thay đổi, điểm tĩnh có thể thay đổi và điện áp ngõ ra có thể thay đổi đáng kể. Thậm chí, khi đó transistor được phân cực trong vùng tích cực có thể sẽ bị tắt.

Do đó, các mạch binary thường được phân cực sao cho trong một trạng thái bền, một linh kiện sẽ tắt và linh kiện còn lại sẽ ở vào trạng thái bão hòa.

12-1-2 Mạch binary dùng transistor

Một mạch binary dùng transistor được vẽ trong hình 12-2. Gần như toàn bộ áp nguồn V_{CC} sẽ đặt lên transistor bị tắt. Do đó, điện áp này phải nhỏ hơn điện áp đánh thủng collector của transistor BV_{CE} , thường có giá trị khoảng vài chục volt.



Hình 12-2
Mạch binary với transistor NPN phân cực cố định.

Khi transistor bão hòa, dòng collector I_C là tối đa. Do đó, R_C phải được chọn sao cho giá trị này của $I_C \approx V_{CC}/R_C$ không vượt quá dòng cho phép tối đa. Các giá trị R_1 , R_2 và V_{BB} phải được chọn để trong một trạng thái, dòng base phải đủ lớn để lái transistor bão hòa; và trong trạng thái thứ hai, chuyển tiếp emitter – base phải nằm trong vùng tắt. Tín hiệu tại collector, được gọi là dao động ngõ ra V_w , là sự thay đổi của điện áp collector khi có sự chuyển đổi từ trạng thái này sang trạng thái kia, tức là $V_w = V_{C1} - V_{C2}$. Nếu tải R_L có thể bỏ qua, điện áp collector của transistor bị tắt là V_{CC} . Vì điện áp bão hòa collector khoảng vài chục milivolt nên dao động $V_w \approx V_{CC}$ độc lập với R_C .

Các nhà chế tạo transistor dùng trong các mạch binary thường xác định đặc tính bão hòa và tắt cho transistor. Dòng ngược bão hòa I_{CBO} của transistor phụ thuộc nhiệt độ. Hệ số khuếch đại dòng

dc trong cấu hình CE, β , được xác định như một hàm của dòng collector I_C . Điện áp bão hòa $V_{CE(sat)}$ là hàm của I_C và dòng base I_B . Tương tự, $V_{BE(sat)}$ là phụ thuộc vào I_C và I_B .

Ví dụ 12-1

Tính dòng và áp trong trạng thái bền của mạch binary trong hình 12-2. Giả sử giá trị β tối thiểu là 20.

Hướng dẫn

Mạch hình 12-3(a) vẽ kết nối giữa base của Q_1 và collector của Q_2 ; và hình 12-3(b) vẽ kết nối giữa collector của Q_1 và base của Q_2 . Giả sử transistor Q_1 là tắt và transistor Q_2 là dẫn. Vì điện áp bão hòa nhỏ (khoảng vài chục milivolt) nên đầu tiên ta thử bỏ qua chúng và giả sử $V_{B2} = 0$ và $V_{C2} = 0$. Từ hình 12-3(a) ta có Q_2 bão hòa và Q_1 tắt. Do đó, nếu bỏ qua I_{CBO}

$$V_{B1} = -12 \left(\frac{15}{15+100} \right) = -1.56 \text{ V}$$

Vì điện áp cần để tắt transistor là khoảng 0.1 V (đối với Ge) hoặc 0 V (đối với Si) nên Q_1 thật sự tắt.

Để xác nhận là với Q_1 tắt, Q_2 thật sự bão hòa ta sẽ tính dòng I_{C2} . Từ hình 12-3(a), bỏ qua I_{CBO}

$$I_1 = \frac{12}{2.2} = 5.45 \text{ mA}$$

$$I_2 = \frac{12}{15+100} = 0.10 \text{ mA}$$

và

$$I_{C2} = I_1 - I_2 = 5.45 \text{ mA} - 0.10 \text{ mA} = 5.35 \text{ mA}$$

Nếu loại transistor là xác định thì dòng base tối thiểu I_{B2} cần để có dòng bão hòa collector là 5.35 mA có thể đọc được từ đặc tuyến collector. Trong ví dụ này, β đã xác định nhưng không có đặc tuyến nên ta có thể dùng công thức thay thế để tìm I_{B2} để bão hòa

$$(I_{B2})_{\min} = \frac{I_{C2}}{\beta} = \frac{5.35}{20} = 0.27 \text{ mA}$$

Từ hình 12-3(b) ta có thể tính dòng base của Q_2 . Do đó

$$I_3 = \frac{12}{2.2+15} = 0.70 \text{ mA}$$

$$I_4 = \frac{12}{100} = 0.12 \text{ mA}$$

và

$$I_{B2} = I_3 - I_4 = 0.70 - 0.12 = 0.58 \text{ mA}$$

Vì các giá trị này vượt quá dòng base tối thiểu (0.27 mA) cần để bão hòa, Q_2 thật sự bão hòa. Điện áp collector của Q_1 từ hình 12-3(b) là

$$V_{C1} = 12 - 2.2I_3 = 12 - (2.2)(0.70) = 10.5 \text{ V}$$

Tóm lại, một trạng thái bền của mạch binary được xác định bằng áp và dòng như sau

$$\begin{array}{llll} I_{C1} = 0 \text{ mA} & I_{C2} = 5.35 \text{ mA} & I_{B1} = 0 \text{ mA} & I_{B2} = 0.58 \text{ mA} \\ V_{C1} = 10.5 \text{ V} & V_{C2} \approx 0 \text{ V} & V_{B1} = -1.56 \text{ V} & V_{B2} \approx 0 \text{ V} \end{array}$$

Trạng thái bền thứ hai là trạng thái trong đó Q_2 tắt và Q_1 dẫn. Khi đó, các đại lượng dòng áp đã tính ở trên được trao đổi lẫn nhau giữa Q_1 và Q_2 . Dao động ngõ ra là $V_{C1} - V_{C2} = 10.5 \text{ V}$, xấp xỉ điện áp cung cấp tại collector là 12 V .

Các giả sử ($V_{B2} = 0$ và $V_{C2} = 0$) đã dùng trong ví dụ này có thể bỏ đi khi sử dụng đặc tuyến từ nhà chế tạo. Ví dụ, nếu transistor là loại 2N914 thì $I_{B2} = 0.58 \text{ mA}$ và $I_{C2} = 5.35 \text{ mA}$ ($I_{C2}/I_{B2} = 9.2$), $V_{CE2(sat)} = 0.15 \text{ V}$ và $V_{BE2(sat)} = 0.7 \text{ V}$. Sử dụng các điện áp này ta có thể tính lại dòng và áp của các trạng thái bền. Ví dụ, từ hình 12-3(a) với $V_{C2} = 0.15 \text{ V}$, dùng nguyên lý xếp chồng ta có

$$V_{B1} = -12 \left(\frac{15}{15+100} \right) + 0.15 \left(\frac{100}{15+100} \right) = -1.43 \text{ V}$$

và Q_1 là Off. Từ hình 12-3(a), ta cũng có thể tính được

$$\begin{array}{ll} I_1 = \frac{12 - 0.15}{2.2} = 5.39 \text{ mA} & I_2 = \frac{0.15 + 12}{15 + 100} = 0.11 \text{ mA} \\ I_{C2} = I_1 - I_2 = 5.28 \text{ mA} & (I_{B2})_{\min} = \frac{5.28}{20} = 0.26 \text{ mA} \end{array}$$

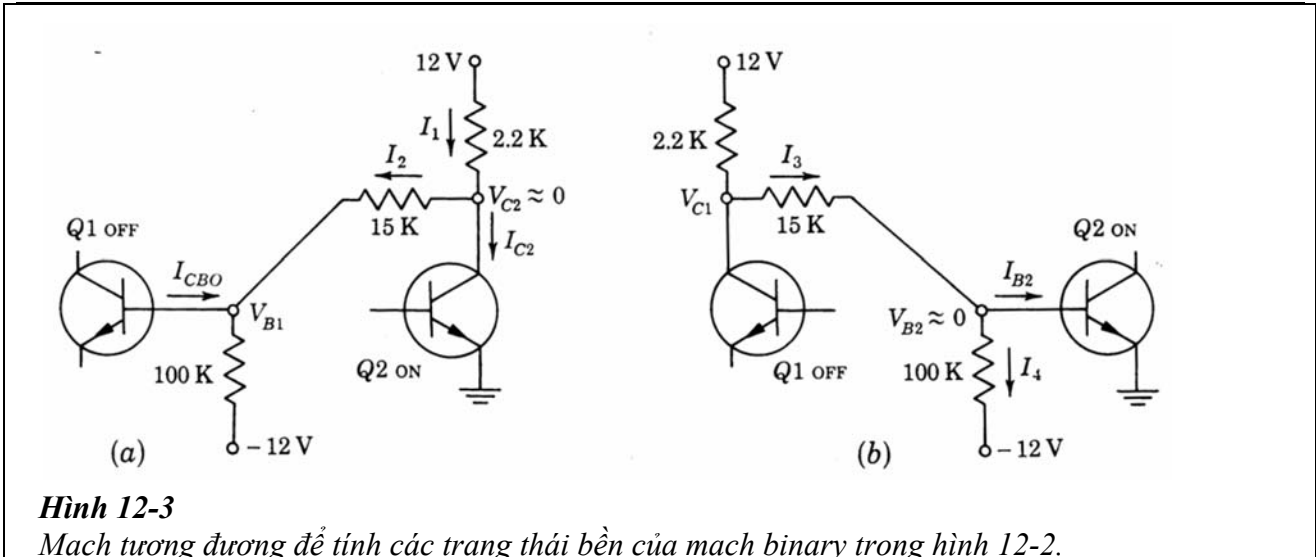
Từ hình 12-3(b) với $V_{B2} = 0.7 \text{ V}$

$$I_3 = \frac{12 - 0.7}{2.2 + 15} = 0.66 \text{ mA} \quad I_4 = \frac{0.7 + 12}{100} = 0.13 \text{ mA}$$

và $I_{B2} = I_3 - I_4 = 0.53 \text{ mA}$. Vì giá trị I_{B2} này vượt quá $(I_{B2})_{\min} = 0.26 \text{ mA}$ nên Q_2 là dẫn bão hòa. Vì $V_{C1} = 12 - (0.66)(2.2) = 10.5 \text{ V}$, các giá trị mới của trạng thái bền là

$$\begin{array}{llll} I_{C1} = 0 \text{ mA} & I_{C2} = 5.28 \text{ mA} & I_{B1} = 0 \text{ mA} & I_{B2} = 0.53 \text{ mA} \\ V_{C1} = 10.5 \text{ V} & V_{C2} \approx 0.15 \text{ V} & V_{B1} = -1.43 \text{ V} & V_{B2} \approx 0.7 \text{ V} \end{array}$$

Khi so sánh hai tập kết quả trên, ta thấy là việc giả sử transistor bão hòa chỉ gây ra các kết quả có sai số nhỏ. Sai số này có thể được bỏ qua nếu các điện áp trong mạch là lớn khi so với các điện áp của chuyển tiếp.



Hình 12-3

Mạch tương đương để tính các trạng thái bền của mạch binary trong hình 12-2.

12-1-3 Mạch binary có tải

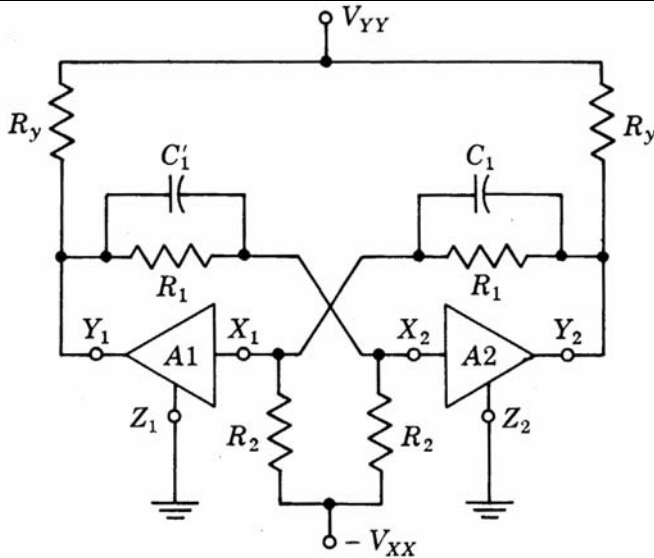
Mạch binary có thể được dùng để lái các mạch khác nên tại một hoặc cả hai collector có thể có tải. Các tải này phải được xét đến khi tính toán vì chúng làm giảm biên độ của điện áp collector V_{C1} của transistor tắt. Ảnh hưởng đầu tiên là tải làm giảm dao động ngõ ra. Hơn nữa, giảm V_{C1} sẽ làm giảm I_{B2} và do đó Q_2 có thể không bị bão hòa. Vì vậy, các thành phần của mạch phải được chọn để khi tải nặng nhất, một transistor vẫn bị bão hòa trong khi transistor kia tắt.

Vì điện trở R_1 cũng là tải của transistor tắt, ta nên dùng giá trị R_1 lớn so với R_C . Tuy nhiên, để đảm bảo độ lợi vòng phải vượt quá đơn vị trong quá trình chuyển giữa hai trạng thái, ta phải có $R_1 < h_{fe} R_C$.

Đối với vài ứng dụng (trong máy tính), tải sẽ khác nhau khi các toán tử khác nhau được thực thi. Đối với các mạch như vậy, điều kiện để transistor bị bão hòa là thay đổi. Một dao động ngõ ra hằng số $V_w \approx V$ và dòng bão hòa base hằng số I_{B2} có thể có được bằng cách kẹp collector đến một điện áp phụ $V < V_{CC}$ thông qua diode D_1 và D_2 như hình 12-6. Khi Q_1 tắt, điện áp collector nâng lên và khi nó đến V , diode D_1 dẫn và kẹp ngõ ra tại V (ngoại trừ một điện áp rơi nhỏ trên diode).

12-1-4 Tụ giao hoán

Một flip-flop sẽ giữ nguyên trạng thái bền của nó cho đến khi có một tín hiệu kích thích bên ngoài (thường được gọi là tín hiệu trigger), ví dụ như một xung. Có nhiều trường hợp ta muốn flip-flop phải thay đổi trạng thái một cách nhanh chóng ngay sau khi có tín hiệu trigger. Thời gian chuyển được định nghĩa là khoảng thời gian cần để chuyển từ trạng thái này sang trạng thái kia. Thời gian chuyển có thể được giảm xuống bằng cách tạo ra các điện dung nhỏ song song với điện trở R_1 của flip-flop. Một flip-flop với các tụ này được vẽ trong hình 12-4. Vì các tụ này hỗ trợ cho mạch binary trong việc tạo ra các chuyển trạng thái nhanh, chúng được gọi là các tụ giao hoán (commutating capacitor), tụ tăng tốc (speed-up capacitor).



Hình 12-4
 Mạch binary khi có tụ speed-up ($C'_1 = C_1$)

Giả sử là A_2 dẫn và A_1 tắt và để tạo ra sự chuyển trạng thái thì một xung âm được đặt vào X_2 . Điện áp Y_2 sẽ tăng lên nhanh chóng và ta muốn sự tăng lên này được truyền đến X_1 với độ trễ tối thiểu. Linh kiện A_1 có điện dung ngõ vào C_i , nếu không có C_1 , cấu hình mạch bao gồm R_1 , R_2 và C_i . Lúc này, nếu Y_2 nâng lên với thời gian lên có thể bỏ qua thì điện áp tại X_1 sẽ tăng lên với thời gian hằng RC_i , trong đó R là R_1 song song với R_2 . Tốc độ nâng lên của X_1 có thể được tăng lên bằng cách bổ sung tụ C_1 . Nếu tụ C_1 có điện dung vô cùng lớn thì điện áp tại X_1 sẽ nâng lên cùng một tốc độ như điện áp tại Y_2 và toàn bộ biên độ điện áp sẽ được truyền qua tụ. Tuy nhiên, giá trị tụ quá lớn cũng là một khuyết điểm.

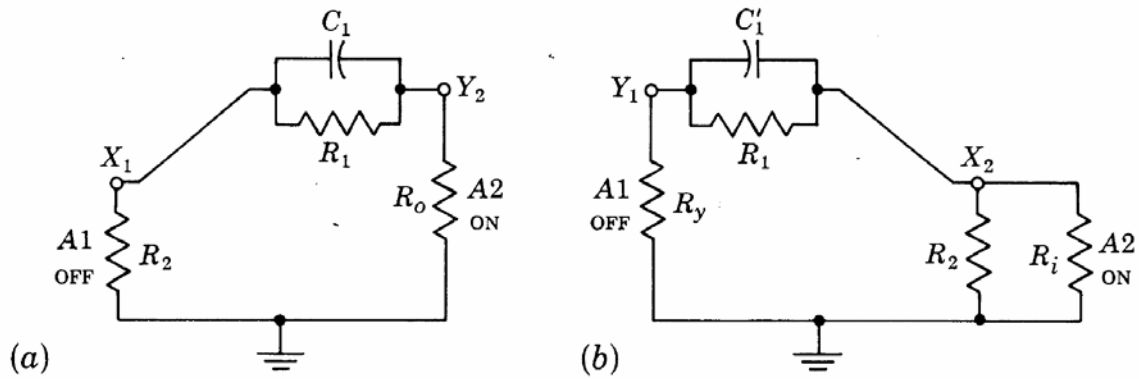
Điện áp trên C'_1 và C_1 là không giống nhau vì transistor một bên dẫn còn một bên tắt. Ví dụ, trong hình 12-4, điện áp trên C'_1 là $V_{C1} - V_{B2} = 9.8 \text{ V}$ và điện áp trên C_1 là $V_{C2} - V_{B1} = 1.58 \text{ V}$ với A_1 tắt và A_2 dẫn. Khi mạch được trigger để A_1 dẫn và A_2 tắt, điện áp trên C'_1 phải thay đổi đến 1.58 V và đối với C_1 là 9.8 V . Khi đó flip-flop sẽ không ở trong trạng thái mới một cách hoàn toàn cho đến khi quá trình thay đổi điện áp trên tụ hoàn tất. Lúc này, một xung trigger kế tiếp sẽ phải chờ quá trình này kết thúc mới có thể thực hiện chuyển đổi trạng thái. Khoảng thời gian nhỏ nhất giữa hai lần trigger liên tiếp được gọi là thời gian phân giải (resolving time) của flip-flop và nghịch đảo của nó là tần số tối đa mà flip-flop có thể đáp ứng.

Nếu mạch binary được trigger để A_1 tắt và A_2 dẫn, mạch tương đương để tính thời hằng τ khi có tụ C_1 được cho trong hình 12-5(a). Nếu trở kháng ngõ ra của A_2 (bao gồm R_y) là R_o , thì $\tau = C_1 R$, với R bằng R_1 song song với $R_2 + R_o$. Đối với một transistor bão hòa, R_o rất nhỏ hơn so với R_2 nên $R \approx R_2 R_2 / (R_1 + R_2)$.

Tương tự, từ hình 12-5(b) ta có thể tính được thời hằng τ' kết hợp với C'_1 . Điện trở ngõ vào của A_2 là R_i . Giá trị của R_i ít khi vượt quá 1 k và thường $R_i \ll R_2$. Do đó, $\tau' \approx C'_1 R'$ với R' là tổ hợp song song của R_1 và $R_y + R_i$. Vì $R_y + R_i$ thường nhỏ hơn R_1 hoặc R_2 nên $\tau > \tau'$ và

$$\tau = RC_1 \approx \frac{R_1 R_2 C_1}{R_1 + R_2} \quad (12-1)$$

với $C_1 = C'_1$ là điện dung giao hoán.



Hình 12-5

Mạch tương đương để tính thời hằng.

Nếu điện dung ngõ vào khi tính đến hiệu ứng Miller là C_i thì C_1 có thể được chọn theo công thức

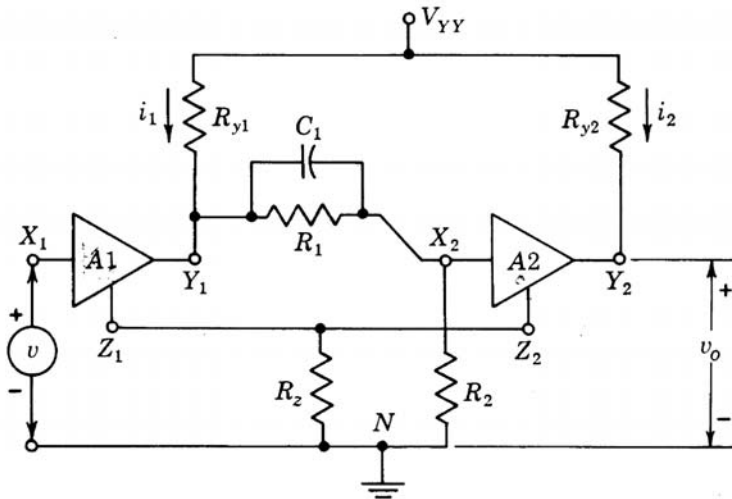
$$C_1 = \frac{R_2 C_i}{R_1} \quad (12-2)$$

Nếu 2τ là thời gian cho phép giữa hai lần trigger thì tần số hoạt động tối đa là

$$f_{\max} = \frac{1}{2\tau} = \frac{R_1 + R_2}{2C_1 R_1 R_2} \quad (12-3)$$

12-2 Mạch Schmitt trigger

Một dạng mạch bistable quan trọng được vẽ trong hình 12-6. Mạch này được gọi tên là mạch Schmitt trigger.



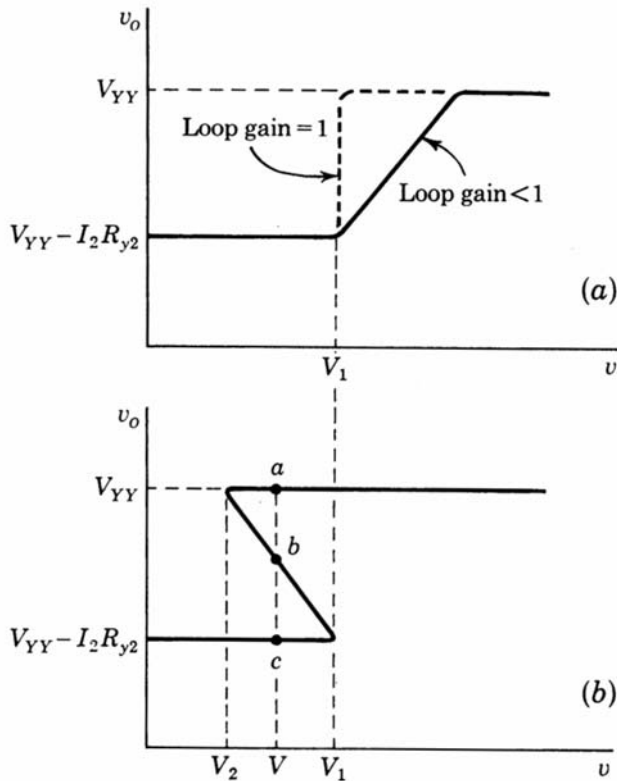
Hình 12-6

Mạch Schmitt trigger. Điện áp nguồn V_{YY} là dành cho transistor NPN và phải đổi dấu đối với transistor PNP.

Cũng như mạch cơ bản trong hình 12-1, mạch này chỉ có hai trạng thái bền vì vòng hồi tiếp dương với độ lợi vòng lớn hơn đơn vị. Ta sẽ phân tích mạch này kỹ hơn bằng cách giả sử là ta đã hiệu chỉnh để độ lợi vòng nhỏ hơn đơn vị. Một cách, trong nhiều khả năng, để hiệu chỉnh độ lợi là giảm các điện trở R_{y1} . Nếu R_{y1} đủ nhỏ thì sự tái tạo tín hiệu là không thể. Do đó, mạch sẽ không hoạt động như một flip-flop mà có thể dùng như một bộ khuếch đại. Giả sử là mạch là một bộ khuếch đại với ngõ vào v và ngõ ra v_o như hình 12-6.

Nếu A_2 đang dẫn thì trên R_z sẽ có điện áp rơi làm cho emitter của A_1 nâng lên. Kết quả là nếu v đủ nhỏ thì A_1 sẽ tắt. Khi v tăng lên, mạch sẽ không đáp ứng cho đến khi A_1 đến điểm cắt. Lúc đó, ngõ ra v_o sẽ là $v_o = V_{YY} - I_2 R_{y2}$ với I_2 là dòng qua R_{y2} để A_1 tắt. Với A_1 đang dẫn, mạch sẽ ở

chế độ khuếch đại và vì độ lợi $\Delta v_o/\Delta v$ dương nên ngõ ra sẽ tăng khi v tăng. Khi v tiếp tục tăng, X_2 tiếp tục rơi xuống và Z_2 tăng lên. Do đó, sẽ có thời điểm v đủ lớn làm cho A_2 bị tắt. Tại điểm này, $v_o = V_{YY}$ (ở đây ta bỏ qua dòng ngược bão hòa) và ngõ ra sẽ lại không đáp ứng theo ngõ vào. Đồ thị của v_o theo v được vẽ trong hình 12-7(a). Điện áp tại đó A_1 bị tắt là $v = V_1$.



Hình 12-7
 Đáp ứng của mạch Schmitt trigger (a) khi độ lợi vòng ≤ 1 , (b) độ lợi vòng ≥ 1 .

Bây giờ giả sử ta tăng độ lợi vòng bằng cách tăng R_{y1} . Ảnh hưởng của sự thay đổi này trên điểm cắt $v = V_1$ có thể bỏ qua. Tuy nhiên, trong vùng tích cực, độ lợi khuếch đại $\Delta v_o/\Delta v$ sẽ tăng và kết quả là độ dốc của phần đi lên trong hình 12-7(a) sẽ dốc hơn. Độ dốc này sẽ tiếp tục tăng cùng với sự gia tăng của độ lợi vòng cho đến khi độ lợi vòng là đơn vị. Tại đó, độ dốc sẽ là không xác định. Và cuối cùng, khi độ lợi vòng lớn hơn đơn vị, độ dốc đảo ngược dấu và đồ thị của v_o theo v có dạng như hình 12-7(b).

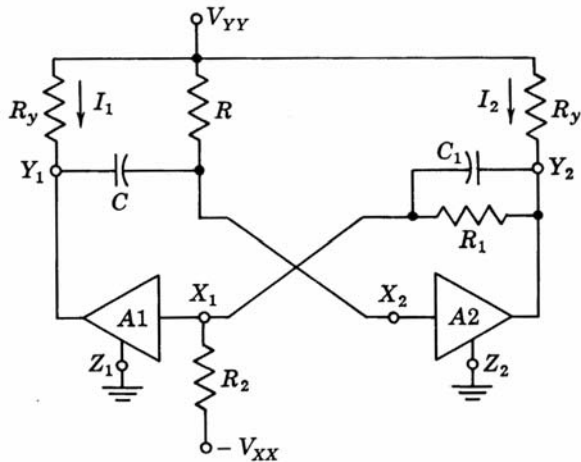
Đường cong trong hình 12-7(b) có thể được dùng để mô tả hoạt động của mạch. Khi v nâng lên từ không, v_o sẽ giữ tại ngưỡng thấp cho đến khi v đạt đến V_1 . Khi v vượt quá V_1 mạch sẽ đột ngột chuyển sang ngưỡng cao. Tương tự, nếu v ban đầu là lớn hơn V_1 thì khi v giảm, ngõ ra sẽ giữ tại ngưỡng cao cho đến khi v đến giá trị V_2 và tại điểm này mạch sẽ đột ngột chuyển xuống mức thấp. Ta nói rằng mạch có tính chất trễ.

Một đường thẳng đứng tại $v = V$ nằm giữa V_2 và V_1 sẽ cắt đồ thị tại ba điểm. Các điểm trên và dưới cùng, a và c , là các điểm ổn định. Điểm b là điểm không ổn định. Tại $v = V$ mạch sẽ hoặc ở điểm a hoặc ở điểm c tùy thuộc vào hướng của v . Khi $v = V$ trong giới hạn giữa V_2 và V_1 , mạch Schmitt trigger sẽ ở vào một trong hai trạng thái bền nên mạch là dạng bistable.

12-3 Mạch dao động đa hài một trạng thái bền (monostable multivibrator)

Sơ đồ mạch trong hình 12-8 là mạch monostable. Các cực tính của nguồn cung cấp chỉ trong hình là dành cho transistor loại NPN. Ở đây, cũng giống như trong mạch binary, ngõ ra Y_2 được ghép đến ngõ vào X_1 thông qua một cầu phân áp điện trở, trong đó C_1 là một tụ giao hoán nhỏ. Tụ

này có cùng mục đích như đã xét trong phần trên. Ghép dc mà ta đã thấy trong mạch binary từ Y_1 đến X_2 được thay bằng ghép thông qua tụ C . Điện trở R tại ngõ vào A_2 tạo nên đường trả về nguồn V_{YY} . Điều này không bắt buộc, điện trở này có thể được nối đến một điện áp thấp hơn.

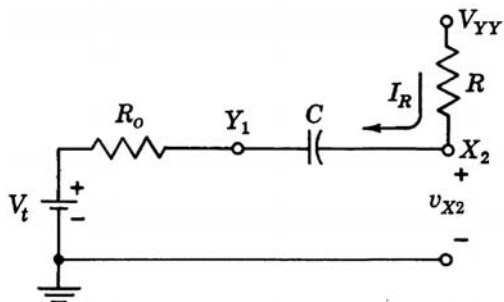


Hình 12-8

Mạch monostable với A_1, A_2 là transistor PNP và $V_{YY} = V_{CC}, V_{XX} = V_{BB}, R_y = R_C$.

Ta giả sử là các thông số của mạch được hiệu chỉnh sao cho nó ở trong trạng thái bền với A_1 tắt và A_2 dẫn. Mạch này sẽ có thể đi ra khỏi trạng thái bền khi một xung trigger âm được đặt tại ngõ vào X_2 hoặc Y_1 . Ta cần phải lưu ý là tín hiệu trigger là không đối xứng, nó chỉ được đặt lên một ngõ vào chứ không phải hai ngõ vào đồng thời.

Giả sử là một xung trigger được đặt vào X_2 và làm cho A_2 tắt hoàn toàn. Điện áp tại Y_2 sẽ nâng lên xấp xỉ V_{YY} , và vì có tụ giữa Y_2 và X_1 , tầng A_1 sẽ đi vào trạng thái dẫn. Linh kiện này có thể được lái vào vùng bão hòa hoặc có thể hoạt động trong vùng tích cực. Trong cả hai trường hợp, dòng I_1 sẽ chảy qua điện trở ngõ ra R_y của A_1 , và điện áp tại Y_1 đột ngột rơi xuống một lượng là $I_1 R_y$. Điện áp tại X_2 rơi cùng một lượng vì điện áp trên tụ C không thể thay đổi tức thời. Mạch monostable bây giờ đang ở trạng thái giống như bền (quasi-stable).



Hình 12-9

Mạch đơn giản để tính v_{X2} tại ngõ vào A_2 trong trạng thái giống như bền. Điện áp tương đương Thevenin là điện áp tại Y_1 nếu tụ C bị cắt khỏi Y_1 . Tại $t = 0$ điện áp trên tụ C là $V_{YY} - V_\sigma$. Với $V_{BE(sat)} \equiv V_\sigma$ và $V_{BE(cutin)} \equiv V_\gamma$.

Mạch sẽ tiếp tục ở trong trạng thái giống như bền này chỉ trong khoảng thời gian T vì X_2 được nối đến V_{YY} qua điện trở R . Do đó X_2 sẽ nâng điện áp lên, và khi đạt đến điện áp ngưỡng V_γ của A_2 , A_1 sẽ tắt và mạch trở lại trạng thái bền khởi đầu. Bây giờ ta sẽ xem cái gì ảnh hưởng lên thời gian mạch ở trạng thái giống như bền. Trong khoảng thời gian A_2 tắt, các thay đổi điện áp tại X_2 có thể được tính từ mạch 12-9. Trong mạch này tầng A_1 được thay bằng mạch tương đương với nguồn V_t và điện trở R_o biểu diễn trở kháng trở kháng ngõ ra của bộ khuếch đại kể cả R_y . Dạng sóng điện áp tại X_2 được vẽ trong hình 12-10. Sự chuyển từ trạng thái ổn định sang trạng thái giống như ổn định xảy ra tại thời điểm $t = 0$. Nếu ta đặt $V_{BE(sat)} \equiv V_\sigma$ và $V_{BE(cutin)} \equiv V_\gamma$ thì khi $t < 0$, $v_{X2} = V_\sigma$, điện áp bão hòa base của transistor. Vì Y_1 và X_2 là ghép qua tụ, một sự thay đổi đột ngột

của điện áp tại Y_1 phải tạo ra một sự gián đoạn tương tự trong điện áp tại X_2 . Tại $t = 0+$, điện áp tại Y_1 rơi xuống một lượng là $I_1 R_y$. Vì vậy, tại $t = 0+$, $v_{X2} = V_\sigma - I_1 R_y$. Điện áp v_{X2} sẽ nâng lên theo lũy thừa hướng đến V_{YY} với thời hằng

$$\tau = (R + R_o)C$$

Vì tại $t = \infty$, $v_{X2} = V_{YY}$ nên điện áp ngõ vào tầng hai là

$$v_{X2} = V_{YY} - (V_{YY} - V_\sigma + I_1 R_y) e^{-t/\tau} \quad (12-4)$$

Sự nâng lên này chỉ tiếp tục cho đến khi v_{X2} nâng lên đến điện áp V_γ , tại thời điểm $t = T$ đó, một sự chuyển ngược lại sẽ xảy ra. Giải biểu thức trên cho $t = T$ khi $v_{X2} = V_\gamma$ ta có

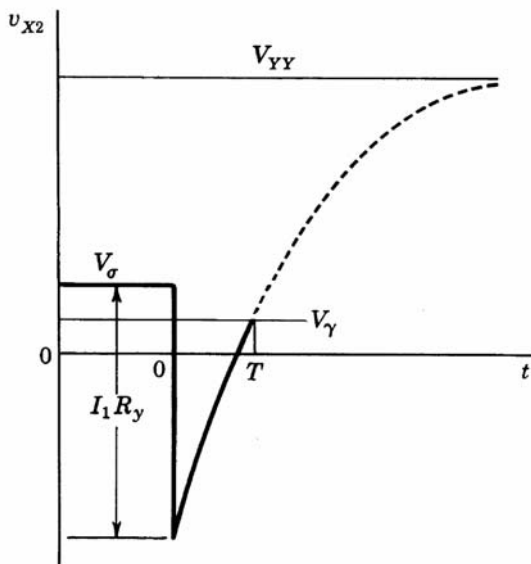
$$T = \tau \ln \frac{V_{YY} + I_1 R_y - V_\sigma}{V_{YY} - V_\gamma} \quad (12-5)$$

Trong biểu thức này, V_σ là điện áp bão hòa (0.3 V đối với Ge và 0.7 V đối với Si), V_γ là điện áp ngưỡng tắt (0.1 V đối với Ge và 0.5 V đối với Si). Ta có thể sử dụng giá trị trong bảng 12-1 để tính cho các điện áp ngưỡng tắt và bão hòa.

	$V_{CE(sat)}$	$V_{BE(sat)} \equiv V_\sigma$	$V_{BE(active)}$	$V_{BE(cutin)} \equiv V_\gamma$	$V_{BE(cutoff)}$
Si	0.3	0.7	0.6	0.5	0.0
Ge	0.1	0.3	0.2	0.1	-0.1

Bảng 12-1

Các giá trị điện áp chuyển tiếp thông thường của transistor NPN ở 25 °C.



Hình 12-10

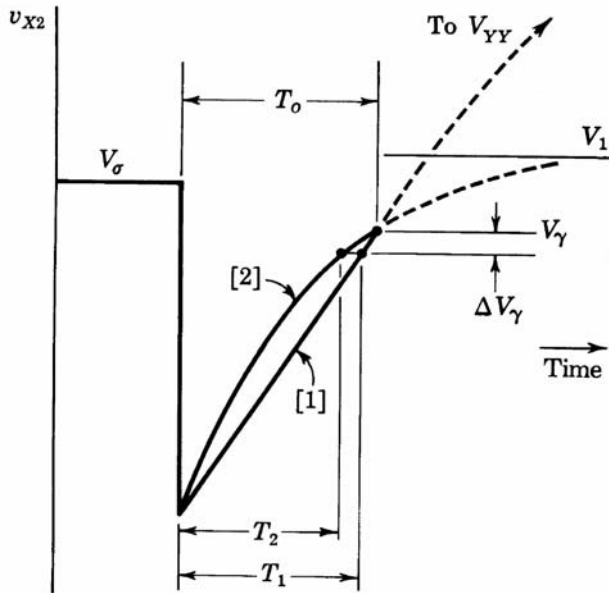
Sự thay đổi điện áp tại X_2 trong trạng thái giống như bên. Điện áp ngưỡng tắt V_γ và điện áp bão hòa V_σ là dương đối với transistor NPN và âm đối với PNP.

Ký hiệu T là thời gian trễ (delay time), hay còn được gọi là độ rộng xung (pulse width). Thời gian trễ T có thể được thay đổi bằng cách thay đổi thời hằng τ hoặc I_1 . Dòng I_1 , chảy qua A_1 khi linh kiện dẫn, được điều khiển bằng dòng base. Dòng ngõ vào này phụ thuộc V_{XX} . Do đó, T có thể được thay đổi bằng cách thay đổi V_{XX} .

Thời gian T của mạch monostable thường không ổn định mà phụ thuộc đặc tính linh kiện thông qua I_1 , V_σ và V_γ . Độ ổn định sẽ lớn hơn khi R được trả về đến một điện áp có biên độ lớn

như V_{YY} hơn là đến V_1 hoặc đến đất. Hình 12-11 minh họa điểm này. Đường cong 1 tương ứng với R trả về đến V_{YY} , đường cong 2 tương ứng với đường trả về đến điện áp thấp V_1 . Thời hằng đã được hiệu chỉnh để có cùng giá trị khởi đầu T_o .

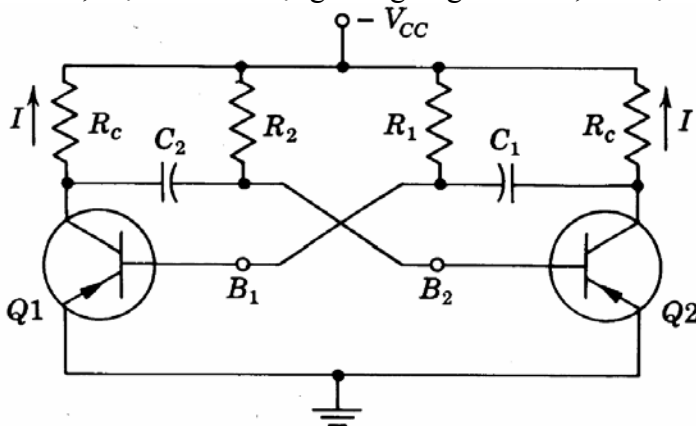
Nếu R được trả về đến đất thì mạch sẽ không hoạt động. Dưới các điều kiện này, $V_{BE2} \approx 0$ trong trạng thái bền, và dòng collector của Q_2 là khá nhỏ, khoảng vài lần I_{CBO} . Nếu transistor Q_2 bị phân cực ngược thì dòng collector sẽ là I_{CBO} . Do đó, với R được trả về đến đất, Q_2 sẽ luôn bị tắt. Để có thể chuyển trạng thái, Y_2 phải đủ lớn để làm Q_1 ra khỏi trạng thái tắt. Nhưng nếu R nối đất thì sự thay đổi trong ngõ ra Q_2 là quá nhỏ và mạch không thể bị trigger.



Hình 12-11
 Minh họa ưu điểm của việc điện trở R nối đến V_{YY} so với các điện áp thấp hơn.

12-4 Mạch dao động đa hài không trạng thái bền (astable multivibrator)

Hình 12-12 vẽ sơ đồ của mạch dao động đa hài ghép collector dùng transistor loại PNP. Vì ghép tụ được sử dụng giữa các tầng nên không có transistor nào có thể giữ ở trạng thái tắt lâu. Thay vào đó, mạch có hai trạng thái giống như bền, và mạch chuyển liên tục giữa hai trạng thái này.



Hình 12-12
 Mạch astable ghép collector.

Dạng sóng tại base và collector của mạch hình 12-12 được vẽ trong hình 12-13. Ta thấy là tức thời tại trước thời điểm $t = 0$, transistor Q_2 dẫn bão hòa và mang dòng collector I trong khi Q_1 bị tắt. Do đó, khi $t < 0$, v_{B1} dương, $v_{C1} = -V_{CC}$, $v_{B2} = V_{BE(sat)}$, và $v_{C2} = V_{CE(sat)}$. Tụ C_1 nạp thông qua R_1 , và v_{B1} giảm xuống theo hàm mũ hướng đến $-V_{CC}$. Tại thời điểm $t = 0$, cực base B_1 đạt đến điện áp ngưỡng V_γ và Q_1 dẫn. Khi Q_1 đi vào trạng thái bão hòa, v_{C1} nâng lên một lượng IR_C đến

$V_{CE(sat)}$ như hình 12-13(b). Do v_{C1} nâng lên nên v_{B2} cũng nâng lên một lượng như vậy vì cả hai được ghép tụ. Sự nâng điện áp tại v_{B2} làm tắt Q_2 và collector của nó hướng đến $-V_{CC}$. Điện áp giảm tại v_{C2} được ghép qua tụ C_1 đến cực base của Q_1 làm xuất hiện gai âm δ trong v_{B1} như hình 12-13(a), và điện áp v_{C2} đột ngột rơi xuống một lượng δ . Mạch tương đương để tính δ giống như hình 11-12. Biểu thức tính cho δ là

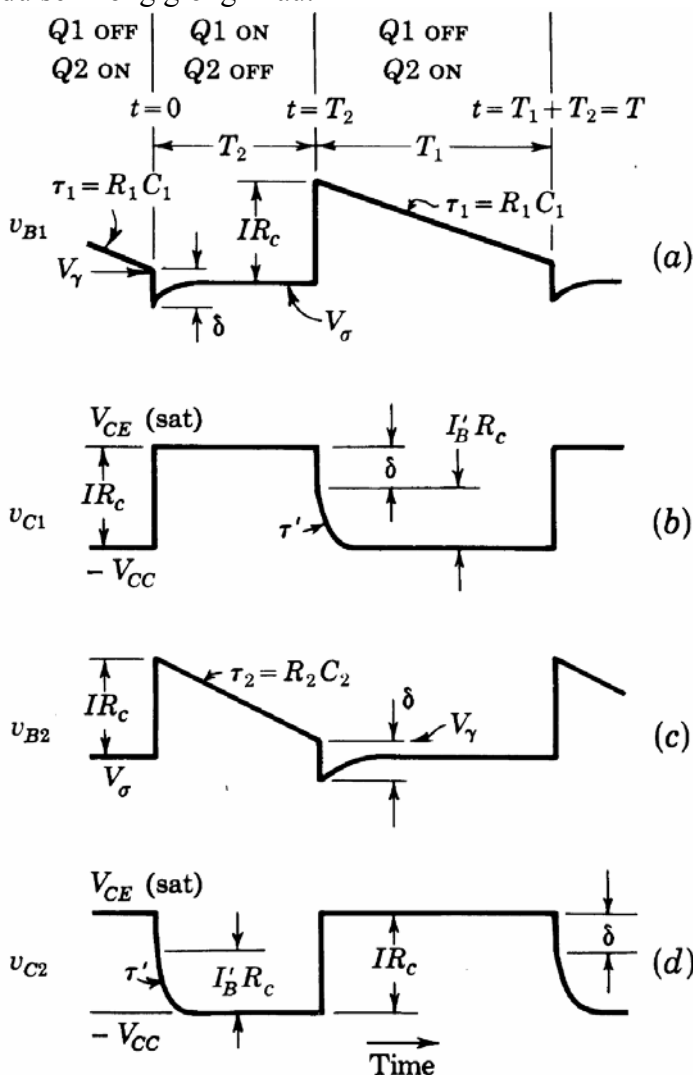
$$\delta = I'_B r_{bb'} + V_\sigma - V_\gamma \tag{12-6}$$

với dòng base I'_B tại gai được cho bởi

$$I'_B = \frac{V_{CC} - V_{CE(sat)} - V_\sigma + V_\gamma}{R_C + r_{bb'}} \tag{12-7}$$

Dạng sóng tại base của Q_1 và collector của Q_2 thay đổi theo hàm mũ với thời hằng $\tau' = (R_C + r_{bb'})C_1$ đến các mức V_σ và $-V_{CC}$.

Điện áp v_{B2} là $IR_C + V_\sigma$ tại $t = 0+$ và giảm theo hàm mũ với thời hằng $\tau_2 = R_2C_2$ hướng đến $-V_{CC}$. Tại $t = T_2$, B_2 đạt đến mức ngưỡng V_γ và có sự chuyển trạng thái ngược lại. Dạng sóng của tầng đầu tiên trong khoảng thời gian T_1 là giống dạng sóng của tầng thứ hai trong khoảng thời gian T_2 như hình 12-13. Nếu thời hằng cơ bản của hai transistor khác nhau, hai phần của một chu kỳ đầy đủ sẽ không giống nhau.



Hình 12-13

Dạng sóng của mạch hình 12-12. Tại $t = 0-$, tầng đầu tiên Q_1 tắt và tầng thứ hai Q_2 dẫn.

12-4-1 Xem xét thời gian

Chu kỳ T được cho bởi

$$T = T_1 + T_2 = 0.69(R_1C_1 + R_2C_2) \quad (12-8)$$

Đối với mạch đối xứng với $R_1 = R_2 \equiv R$ và $C_1 = C_2 \equiv C$

$$T = 1.38RC \quad (12-9)$$

tần số dao động có thể được thay đổi từ vài Hz đến vài MHz bằng cách hiệu chỉnh R hoặc C . Có thể thay đổi T bằng cách nối R_1 và R_2 đến một điện áp phụ $-V$ (collector giữ nguyên tại $-V_{CC}$). Nếu V bị thay đổi thì T thay đổi theo biểu thức

$$T = 2RC \ln\left(1 + \frac{V_{CC}}{V}\right) \quad (12-10)$$

Một mạch như vậy được gọi là bộ biến đổi điện áp sang tần số (voltage-to-frequency converter). Nếu mỗi điện trở R được thay bằng một transistor hoạt động như một nguồn dòng đối với sự nạp xả của tụ C thì giữa áp và tần số sẽ có quan hệ tuyến tính.

Trong hình 12-13 ta đề ý là có thời gian quá độ (thời hằng τ') trong dạng sóng của một transistor khi nó được lái sâu vào vùng bão hòa. Thời gian phục hồi t_r này có thể là một phần đáng kể của nửa chu kỳ $T/2$ của một mạch đối xứng. Ta có

$$t_r = 2.2\tau' = 2.2(R_C + r_{bb'})C \approx 2.2R_C C \text{ và } \frac{T}{2} = 0.69RC$$

với $R \equiv R_1 = R_2$. Do đó

$$\frac{t_r}{T/2} = \frac{2.2R_C}{0.69R} = 3.2 \frac{R_C}{R} \quad (12-11)$$

Nếu ta bỏ qua điện áp bão hòa trên chuyển tiếp thì

$$I_C \approx \frac{V_{CC}}{R_C} \text{ và } I_B \approx \frac{V_{CC}}{R}$$

Để đảm bảo bão hòa, $I_B \geq I_C/\beta$ nên

$$R \leq \beta R_C \quad (12-12)$$

và

$$\frac{t_r}{T/2} \geq \frac{3.2}{\beta} \quad (12-13)$$

Ví dụ, nếu $\beta_{\min} = 16$ thì thời gian phục hồi ít nhất bằng 20% của nửa chu kỳ.

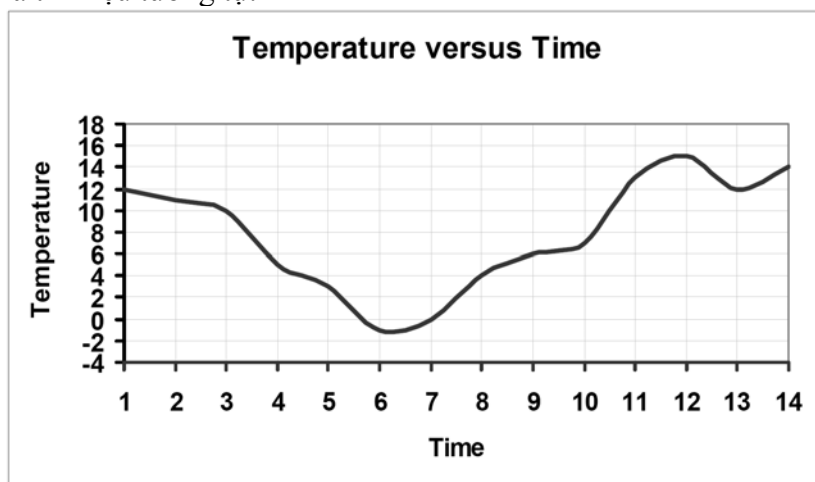
13

Kỹ thuật số cơ bản

13-1 Khái niệm tín hiệu số

13-1-1 Định nghĩa tín hiệu tương tự

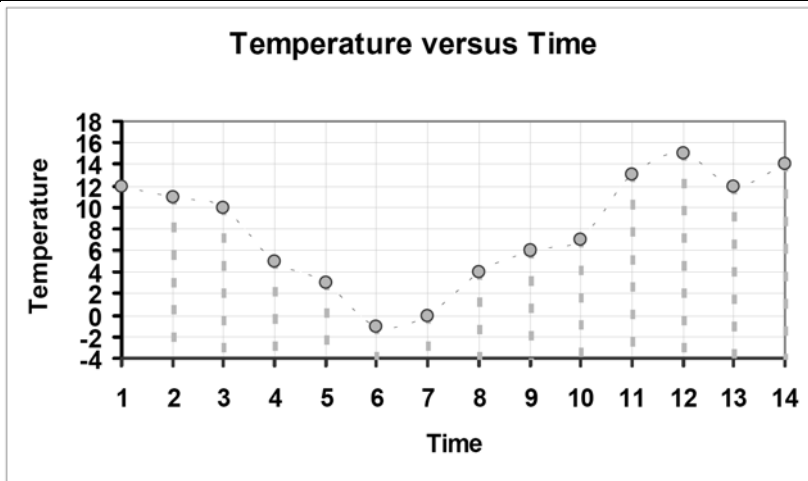
Tín hiệu tương tự (analog signal) là tín hiệu có các giá trị liên tục theo thời gian. Hình 13-1 biểu diễn sự thay đổi của nhiệt độ theo thời gian, sự thay đổi này là liên tục, do đó tín hiệu nhiệt độ là tín hiệu tương tự.



Hình 13-1
Tín hiệu tương tự.

13-1-2 Định nghĩa tín hiệu số

Tín hiệu số (digital signal) là tín hiệu có tập hợp các giá trị là rời rạc. Tín hiệu số thường được tạo ra từ tín hiệu tương tự thông qua quá trình lấy mẫu và lượng tử hóa. Hình 13-2 minh họa tín hiệu số được tạo ra bằng cách lấy mẫu tín hiệu tương tự trong hình 13-1.



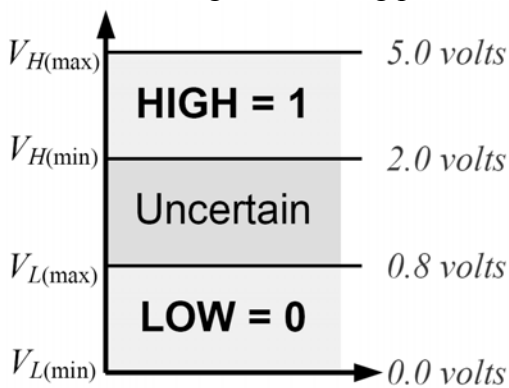
Hình 13-2
 Tín hiệu số được tạo ra từ tín hiệu tương tự trong hình 13-1.

13-1-3 Hệ thống nhị phân và các mức điện áp

Các số trong hệ thống nhị phân, thường gọi là số nhị phân, được tạo nên chỉ từ hai chữ số 0 và 1. Hai chữ số này được gọi là các bit. Trong mạch số, hai mức điện áp khác nhau sẽ được dùng để biểu diễn hai bit này. Bit 1 thường được biểu diễn bằng mức điện áp cao HIGH và bit 0 được biểu diễn bằng mức điện áp thấp LOW.

13-1-4 Mức logic

Giá trị điện áp dùng để biểu diễn hai bit 0 và 1 được gọi là mức logic, một mức biểu diễn trạng thái HIGH, một mức biểu diễn trạng thái LOW. Trong thực tế, một tầm điện áp sẽ xác định một mức logic chứ không phải một giá trị điện áp duy nhất. Ta thử xét sơ đồ trong hình 13-3.

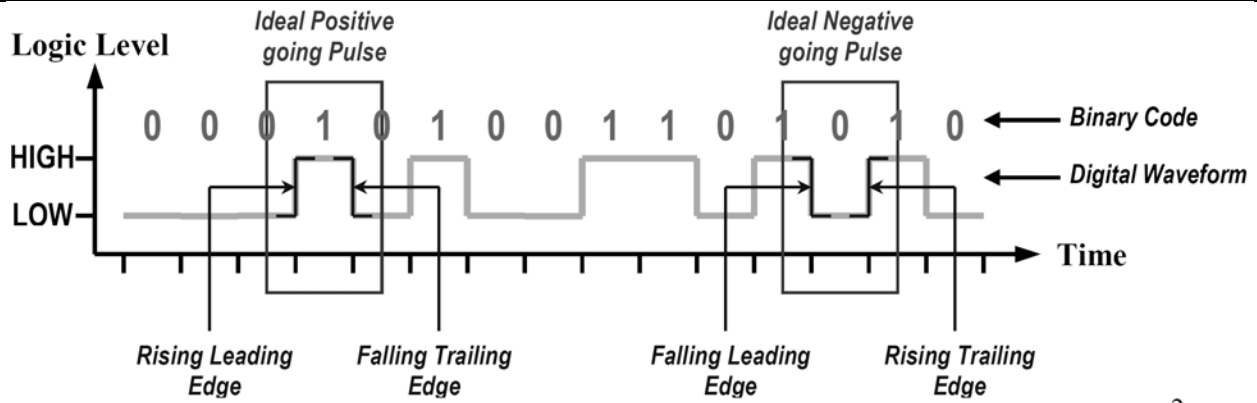


Hình 13-3
 Sơ đồ mức logic.

Trong sơ đồ này, mức HIGH tương ứng với các giá trị điện áp từ 2 V ($V_{H(\min)}$) đến 5 V ($V_{H(\max)}$) và mức LOW tương ứng với các giá trị điện áp từ 0 V ($V_{L(\min)}$) đến 0.8 V ($V_{L(\max)}$). Nếu điện áp rơi vào khoảng 0.8 V đến 2 V, mức logic là không xác định. Đây là tầm điện áp không được xuất hiện trong các thiết kế số.

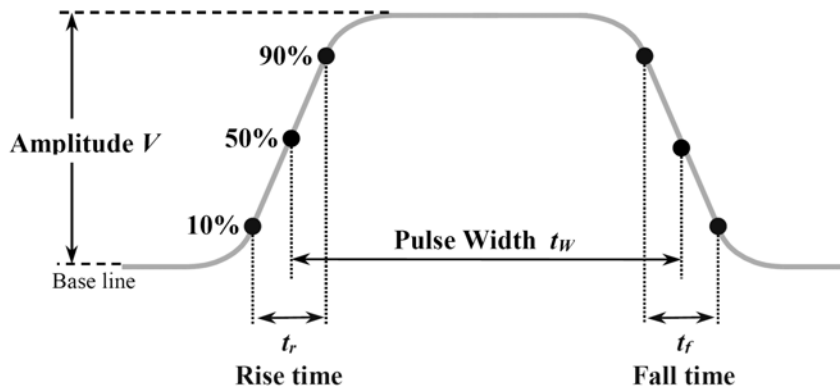
13-1-5 Dạng sóng số

Dạng sóng số là dạng tín hiệu trong các mạch số. Dạng sóng này bao gồm sự chuyển đổi giữa hai mức logic, HIGH và LOW, trong một khoảng thời gian. Hình 13-4 là ví dụ của một dạng sóng số.



Hình 13-4
 Dạng sóng lý tưởng của tín hiệu số.

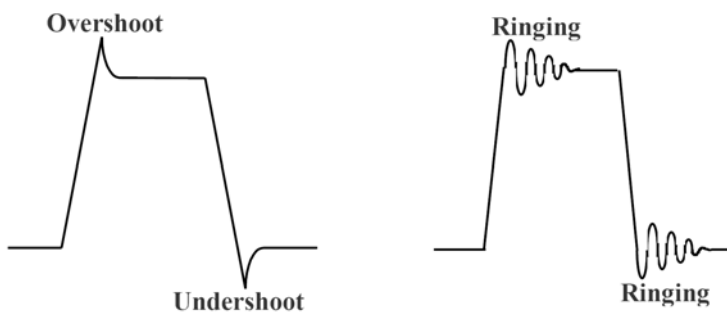
Vị trí tín hiệu chuyển từ LOW sang HIGH được gọi là cạnh lên của tín hiệu (Rising Leading Edge). Vị trí tín hiệu chuyển từ HIGH sang LOW được gọi là cạnh xuống của tín hiệu (Falling Leading Edge). Dạng sóng này là dạng sóng lý tưởng vì trong thực tế thời gian cạnh lên và cạnh xuống không bao giờ bằng không. Hình 13-5 cho thấy dạng sóng trong thực tế của tín hiệu số.



Hình 13-5
 Dạng sóng số trong thực tế.

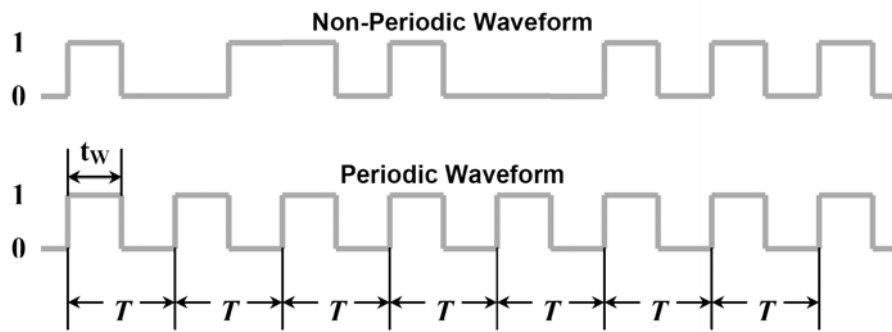
Trong dạng sóng này, khoảng thời gian khi tín hiệu tăng từ 10% đến 90% giá trị lớn nhất được gọi là thời gian lên (rise time), tương tự, thời gian khi tín hiệu giảm từ 90% xuống 10% được gọi là thời gian xuống (fall time). Thời gian lên và thời gian xuống là hai thông số không thể bỏ qua trong thực tế khi xét cạnh lên và cạnh xuống của tín hiệu số. Tuy nhiên, trong trường hợp độ rộng xung (pulse width) lớn hơn rất nhiều so với thời gian lên và thời gian xuống, ta có thể xem tín hiệu số xấp xỉ tín hiệu lý tưởng.

Bên cạnh sự không lý tưởng của tín hiệu tại cạnh lên và cạnh xuống, một số đặc điểm khác có thể xuất hiện trên dạng sóng của tín hiệu số như overshoot, undershoot, và ringing như trong hình 13-6.



Hình 13-6
 Minh họa một số khả năng có thể xảy ra trong dạng sóng tín hiệu số.

Tín hiệu số có thể là tín hiệu tuần hoàn hoặc không tuần hoàn. Hình 13-7 minh họa hai trường hợp này.



Hình 13-7
Tín hiệu số không tuần hoàn (hình trên) và tuần hoàn (hình dưới).

Trong hình trên, T là chu kỳ của tín hiệu tuần hoàn, do đó tần số của tín hiệu số tuần hoàn này là

$$f = \frac{1}{T} \quad (13-1)$$

Duty cycle của tín hiệu tuần hoàn được định nghĩa bằng tỉ số của độ rộng xung t_w và chu kỳ của tín hiệu T .

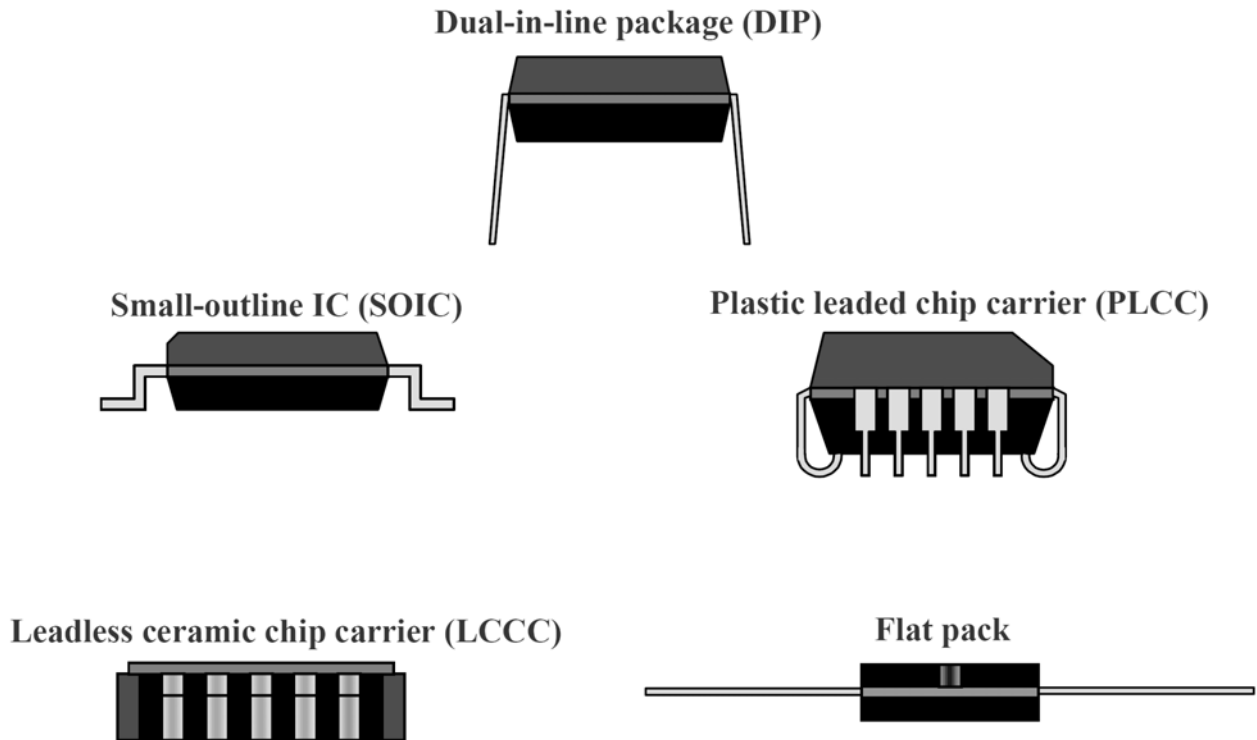
$$\text{Duty cycle} = \frac{t_w}{T} (\%) \quad (13-2)$$

13-1-6 Mạch tích hợp số

Thông thường các mạch logic thường có sẵn dưới dạng mạch tích hợp (IC – Integrated Circuit). IC được dùng nhiều trong các hệ thống số vì kích thước nhỏ, độ ổn định và tin cậy cao, giá thành thấp.

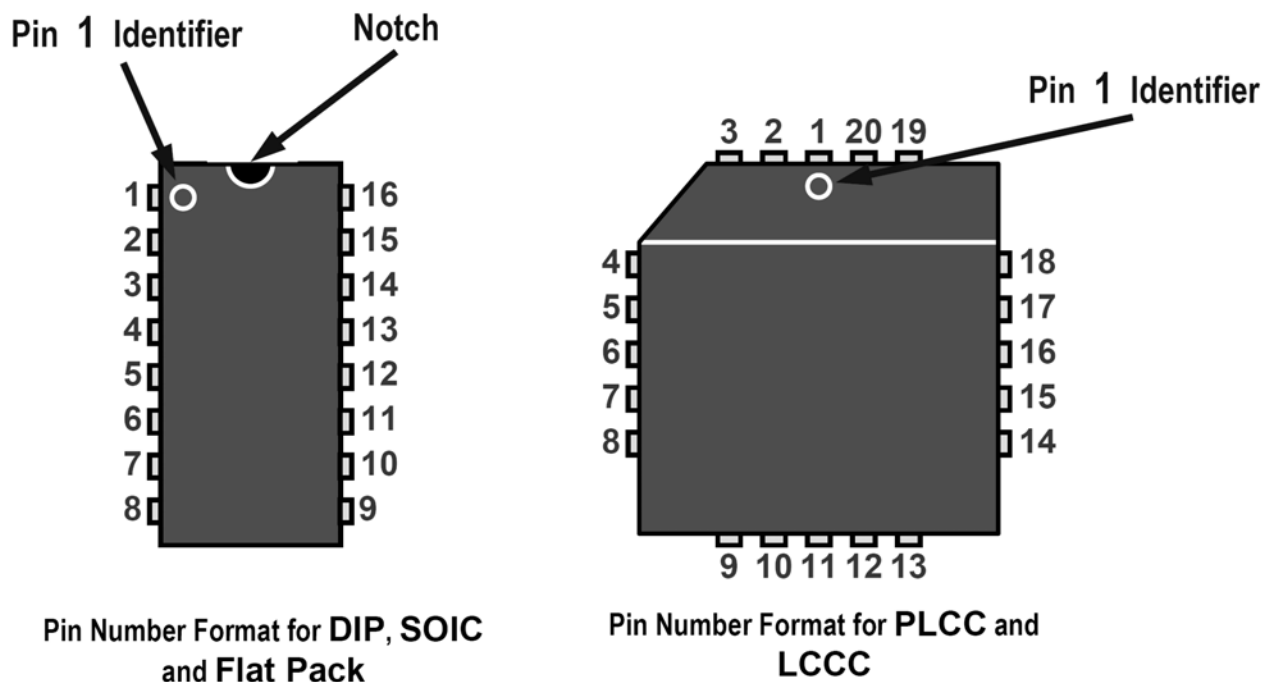
IC thường được tạo nên từ một thanh bán dẫn silicon, sau đó đặt vào trong một lớp vỏ (package) bằng plastic. Các linh kiện bán dẫn trên thanh silicon được nối ra ngoài package bằng các dây kim loại mỏng tạo nên các chân linh kiện. IC loại này được gọi là monolithic IC, trong đó, tất cả các thành phần tạo nên mạch như điện trở, transistor, diode, tụ điện đều là một phần tích hợp từ một thanh silicon duy nhất.

Các IC package thường có hình dạng rất khác nhau, tuy nhiên có thể chia thành hai loại: gắn xuyên lỗ (through-hole mounted) và gắn bề mặt (surface mounted) dựa vào cách thức mà package được gắn trong một mạch điện. DIP (Dual-in-line package) là dạng package xuyên lỗ thường gặp nhất. Với DIP, IC được đặt trên một phía của board mạch in, các chân IC được cắm xuyên qua và hàn ở mặt bên kia của board mạch. Đối với dạng gắn bề mặt (SMT), package thường bao gồm nhiều loại khác nhau như: SOIC (small-outline IC), PLCC (plastic leaded chip carrier), LCCC (leadless ceramic chip carrier), và flat pack. Hình 13-8 vẽ một số dạng package thường gặp.



Hình 13-8
 Một số dạng package thường gặp.

Mỗi dạng package sẽ có một qui tắc để đánh số chân cho IC. Hình 13-9 minh họa qui tắc này.



Hình 13-9
 Qui tắc đánh số thứ tự chân cho các loại package.

IC còn được phân loại dựa vào độ phức tạp của nó. Việc phân loại này dựa vào số cổng chứa trong một IC. Ta có một số dạng như sau

SSI – Small-Scale Integration: có từ 1 – 11 cổng. Ví dụ như các cổng cơ bản, flip-flop,...

MSI – Medium-Scale Integration: có từ 12 – 99 cổng. Ví dụ như các IC decoder, encoder, counter, register,...

LSI – Large-Scale Integration: có từ 100 – 9999 cổng. Ví dụ như các IC nhớ (memory), vi xử lý (microprocessor) đơn giản,...

VLSI – Very Large-Scale Integration: có từ 10000 – 99999 cổng. Ví dụ như microprocessor,...

ULSI – Ultra Large-Scale Integration: có từ 100000 cổng trở lên. Ví dụ như các bộ điều khiển cho các card đồ họa 3D,...

Các transistor được dùng trong IC thường là BJT hoặc transistor MOS. Hai loại IC dùng BJT là TTL (transistor-transistor logic) và ECL (emitter-coupled logic). Trong đó TTL là loại được dùng rộng rãi nhất, tuy tốc độ không nhanh bằng ECL nhưng công suất thấp hơn nhiều. Ba loại IC dùng kỹ thuật transistor MOS là CMOS (Complementary MOS), NMOS và PMOS. Trong đó CMOS và NMOS là hai dạng thường được dùng nhất.

Các IC có thể được thiết kế bằng kỹ thuật bất kỳ trong các kỹ thuật trên, tuy nhiên trong thực tế TTL và CMOS là thông dụng cho các IC loại SSI và MSI. CMOS và NMOS được dùng cho LSI, VLSI và ULSI vì chúng tiêu thụ công suất rất thấp và ít tổn diện tích trên chip.

13-2 Biểu diễn số

13-2-1 Số thập phân

Số thập phân là các số trong hệ 10. Điều này có nghĩa là mỗi số chữ số thập phân (decimal digit), có giá trị từ 0 đến 9, là một bội số của lũy thừa của 10. Ví dụ

Decimal Number	4	1	0	7	3	.	6	2	0	5
Weights	10^4	10^3	10^2	10^1	10^0	.	10^{-1}	10^{-2}	10^{-3}	10^{-4}
	4×10^4	1×10^3	0×10^2	7×10^1	3×10^0	.	6×10^{-1}	2×10^{-2}	0×10^{-3}	5×10^{-4}
	40000	1000	0	70	3	.	0.6	0.02	0	0.0005
Result	$40000 + 1000 + 0 + 70 + 3 + 0.6 + 0.02 + 0 + 0.0005 = 41073.6205$									

Giá trị 10^n được gọi là trọng số của chữ số thập phân tương ứng, trong số này mở rộng một cách không xác định về hai phía của số thập phân. Chỉ số của trọng số tăng 1 về phía trái và giảm 1 về phía phải.

$$10^n \mid \cdots \mid 10^3 \mid 10^2 \mid 10^1 \mid 10^0 \mid . \mid 10^{-1} \mid 10^{-2} \mid 10^{-3} \mid \cdots \mid 10^{-m}$$

13-2-2 Số nhị phân

Số nhị phân là các số trong hệ 2. Điều này có nghĩa là mỗi chữ số nhị phân (binary digit), có giá trị là 0 hoặc 1, là một bội số của lũy thừa của 2. Mỗi chữ số được gọi là một bit. Bit tận cùng bên trái được gọi là bit có trọng số lớn nhất (MSB), và bit tận cùng bên phải là bit có trọng số nhỏ nhất (LSB).

Binary Number	1	1	0	1	1	.	1	0	1	1
Weights	2^4	2^3	2^2	2^1	2^0	.	2^{-1}	2^{-2}	2^{-3}	2^{-4}
	1×2^4	1×2^3	0×2^2	1×2^1	1×2^0	.	1×2^{-1}	0×2^{-2}	1×2^{-3}	1×2^{-4}
	16	8	0	2	1	.	0.5	0	0.125	0.0625
Result	$16 + 8 + 0 + 2 + 1 + 0.5 + 0 + 0.125 + 0.0625 = 27.6875$									

Tương tự như đối với số thập phân, giá trị 2^n được gọi là trọng số của bit tương ứng, trọng số này mở rộng một cách không xác định về hai phía của số nhị phân. Chỉ số của trọng số tăng 1 về phía trái và giảm 1 về phía phải.

$$2^n \mid \cdots \mid 2^3 \mid 2^2 \mid 2^1 \mid 2^0 \mid . \mid 2^{-1} \mid 2^{-2} \mid 2^{-3} \mid \cdots \mid 2^{-m}$$

13-2-2-1 Chuyển đổi giữa nhị phân và thập phân

Vì giới hạn chữ số của số nhị phân ít hơn số thập phân nên số nhị phân sẽ có nhiều chữ số hơn so với số thập phân khi biểu diễn cùng một số. Một số thập phân d sẽ cần có n bit nhị phân để biểu diễn, với quan hệ

$$n \geq \frac{\log(d+1)}{\log 2} \quad (13-3)$$

Ví dụ 13-1

Tìm số bit cần để biểu diễn số 8 dưới dạng nhị phân.

Hướng dẫn

$$d = 8$$

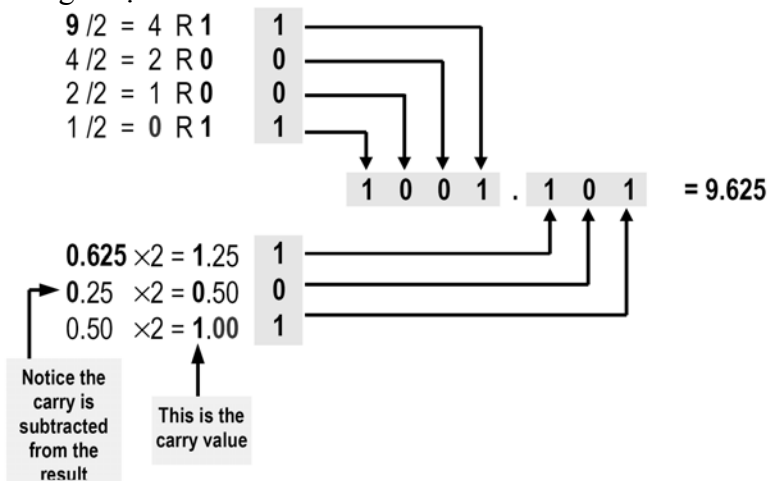
$$n \geq \frac{\log(8+1)}{\log 2} \approx 3.17$$

Chọn $n = 4$. Như vậy cần 4 bit nhị phân để có thể biểu diễn số 8.

Có thể kết luận là với một số nhị phân n -bit, tổng số giá trị mà nó có thể biểu diễn là 2^n với giá trị nằm trong khoảng từ 0 đến $2^n - 1$.

Phương pháp để chuyển số nhị phân thành thập phân giống như cách ta đã đề cập ở phần trên. Mỗi bit trong số nhị phân được nhân với trọng số tương ứng, sau đó cộng chúng lại với nhau.

Việc chuyển số thập phân thành nhị phân có thể thực hiện bằng hai cách: phương pháp tổng các trọng số và phương pháp lặp phép chia/nhân cho 2. Đối với phương pháp tổng các trọng số, ta sẽ viết giá trị thập phân thành tổng của các lũy thừa của 2. Ví dụ số 9.625 có thể được viết lại là $9.625 = 2^3 + 2^0 + 2^{-1} + 2^{-3}$, do đó biểu diễn nhị phân của nó là 1001.101. Đối với phương pháp lặp phép chia/nhân, ta sẽ thực hiện chia phần nguyên cho 2, sau đó lấy thương để tiếp tục thực hiện phép chia cho 2, kết quả nhị phân sẽ là các số dư với LSB là số dư đầu tiên, việc chia sẽ ngừng khi thương là 0. Phần thập phân sẽ được nhân cho 2, sau đó lấy phần thập phân tiếp tục nhân cho 2, kết quả nhị phân sẽ là các số nhớ với MSB là số nhớ đầu tiên, việc nhân sẽ ngừng lại khi phần thập phân là 0. Ví dụ đối với giá trị 9.625 ở trên ta có



13-2-2-2 Số học nhị phân

Số học nhị phân tương tự như số học thập phân ngoại trừ là số nhớ xuất hiện tại 2 chữ không phải tại 10. Các ví dụ sau trình bày các phép toán cộng, trừ, nhân và chia trên số nhị phân.

Phép cộng

+	1	0 ₊₁	1 ₊₁	1 ₊₁	1	0	1	0	1	1	1	1	0	0	1	1401
	1	1	10	10	10	1	10	1	11	11	10	1	0	1	10	+23921
	1	1	10	10	10	1	10	1	11	11	10	1	0	1	10	25322

Phép trừ

1	0	1	1	11	10	11	10	11	11	11	11	10	0	0	1	23921	
-			+1	1 ₊₁	0 ₊₁	1 ₊₁	0 ₊₁	1 ₊₁	0 ₊₁	1 ₊₁	1 ₊₁	1 ₊₁	1	0	0	1	- 1401
	1	0	1	0	1	1	1	1	1	1	1	1	1	0	0	1	22520

Phép nhân

							1	0	1	1	1	1	0	0	0	1	369	
×											1	1	0	0	1	× 25		
							1	0	1	1	1	0	0	0	1	0001		
											1	0	0	0	0	0000		
														1	0	0	0	1845
+	+1	1 ₊₁	0 ₊₁	1 ₊₁₀	1 ₊₁₀	1 ₊₁	0 ₊₁	0 ₊₁	0 ₊₁	1	0	0	0	0	0	0	+7380	
	1	10	10	11	100	100	10	10	10	10	1	0	0	1	9225			

Phép chia

1	1	0	0	0	1	0	0	0	0	1	0	1	0	1	0	1	0	4 . 6
																		6
																		28
																		24
																		4 0
																		3 6
																		4 0
																		0 0 1 0 0 0
																		1 0 0 0
																		1 1 0
																		0 0 1 0 0 0
																		1 1 0
																		1 0

13-2-2-3 Số bù 1 và số bù 2 của một số nhị phân

Số bù 1 của một số nhị phân có được bằng cách đảo mỗi bit trong số nhị phân, tức là 0 chuyển thành 1 và 1 chuyển thành 0. Ví dụ

1	1	0	1	0	0	0	0	1	0	0
↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓
0	0	1	0	1	1	1	1	0	1	1

Số bù 2 của một số nhị phân có được bằng cách cộng 1 vào số bù 1 của số nhị phân. Ví dụ

	1	1	0	1	0	0	0	1	0	0
	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓
	0	0	1	0	1	1	1	0	1	1
+								+1	+1	1
	0	0	1	0	1	1	1	1	10	10
⇒	0	0	1	0	1	1	1	1	0	0

13-2-2-4 Biểu diễn số có dấu

Để biểu diễn số âm, bit MSB được dùng làm bit dấu trong số có dấu. Nếu MSB là 1 thì số nhị phân là âm, MSB là 0 thì số nhị phân là dương. Có ba hệ thống để biểu diễn số có dấu: hệ thống dấu – biên độ, hệ thống bù 1 và hệ thống bù 2.

Trong hệ thống dấu – biên độ, MSB chỉ dấu và phần còn lại chỉ biên độ. Ví dụ

+25 = 0001 1001
-25 = 1001 1001

Tầm biểu diễn của số có dấu n -bit trong hệ thống dấu – biên độ là từ $-(2^{n-1}-1)$ đến $+(2^{n-1}-1)$. Để chuyển từ nhị phân sang thập phân ta chỉ việc tìm phần biên độ trước sau đó dựa vào bit MSB để xác định dấu của số thập phân.

Trong hệ thống bù 1, số âm được biểu diễn bằng bù 1 của số dương. Ví dụ

+25 = 0001 1001
-25 = 1110 0110

Tầm biểu diễn của số có dấu n -bit trong hệ thống bù 1 là từ $-(2^{n-1}-1)$ đến $+(2^{n-1}-1)$. Để chuyển từ số nhị phân sang thập phân ta chỉ việc tính tổng các trọng số của từng bit trong số nhị phân như thông thường, nhưng phải lưu ý là bit MSB có trọng số âm. Sau đó cộng 1 vào kết quả.

Trong hệ thống bù 2, số âm được biểu diễn bằng bù 2 của số dương. Ví dụ

+25 = 0001 1001
-25 = 1110 0111

Tầm biểu diễn của số có dấu n -bit trong hệ thống bù 2 là từ -2^{n-1} đến $+(2^{n-1}-1)$. Để chuyển từ số nhị phân sang thập phân ta chỉ việc tính tổng các trọng số của từng bit trong số nhị phân như thông thường, nhưng phải lưu ý là bit MSB có trọng số âm. Thao tác này tương tự hệ thống bù 1 ngoại trừ việc ta không cộng 1 vào kết quả.

Hệ thống bù 2 là hệ thống thường được dùng để biểu diễn số có dấu vì sự đơn giản khi thực hiện các phép toán số học trên nó.

13-2-2-5 Số học dùng số có dấu n -bit trong hệ thống bù 2

Trong thực tế, hầu hết các loại microprocessor đều sử dụng hệ thống bù 2 để biểu diễn số có dấu. Phần này ta sẽ xem xét cách thức thực hiện các phép toán số học cộng, trừ, nhân và chia trên hệ thống bù 2. Nói chung các số thường được biểu diễn bằng n -bit nhị phân. Trong các ví dụ sau ta sẽ đặt $n = 8$ cố định. Điều này cũng phù hợp trong thực tế vì các loại microprocessor đều có độ rộng bit cố định. Do đó, khả năng kết quả của phép toán vượt quá tầm biểu diễn của số n -bit phải được xem xét một cách cẩn thận khi thiết kế các hệ thống số.

Đối với phép cộng số có dấu, ta xét bốn khả năng: cả hai số đều dương, số dương lớn hơn số âm, số dương nhỏ hơn số âm và cả hai số đều âm. Ví dụ sau biểu diễn trường hợp cả hai số đều dương.

0000 0111	7
+ 0000 0100	+ 4
0000 1011	11

Trong trường hợp này, kết quả nằm trong khả năng biểu diễn của số 8-bit và có dạng như nhị phân không dấu. Trường hợp kết quả vượt quá tầm biểu diễn được trình bày trong ví dụ sau.

0111 1101	125
+ 0011 1010	+ 58
0 1011 0111	183

↑

Incorrect Sign-Bit

↑

Magnitude Incorrect

Lúc này ta thấy kết quả nhị phân biểu diễn một số âm, trong khi đó kết quả thực sự lại là một số dương. Đó là do số có dấu 8-bit trong hệ thống bù 2 chỉ có thể biểu diễn từ -128 đến +127 như ta đã biết trong phần biểu diễn số có dấu, trong khi đó kết quả là +183 nên số 8-bit không thể biểu diễn được. Điều này được gọi là hiện tượng tràn số có dấu (overflow) và thường được cảnh báo bằng một bit cờ (flag) trong các hệ thống dùng microprocessor. Nếu cờ tràn bằng 1 (còn gọi là giá trị true) thì có hiện tượng tràn trong kết quả, nếu cờ tràn bằng 0 (còn gọi là giá trị false) thì không có tràn trong kết quả. Người thiết kế dựa vào cờ tràn để xem kết quả thực hiện của phép toán có đúng hay không.

Trường hợp số dương lớn hơn số âm được minh họa trong ví dụ sau.

0000 1111	15
+ 1111 1010	+ -6
1 0000 1001	9

Discard Carry

→

Ta thấy kết quả là số 9-bit, trong khi đó độ rộng bit đã được cố định là 8-bit, nên bit nhớ thứ 9 (bit MSB) sẽ được bỏ đi. Lúc này ta nhận được dạng biểu diễn nhị phân chính xác. Một số trường hợp kết quả nằm gọn trong 8-bit, khi đó kết quả cũng là biểu diễn nhị phân chính xác. Trường hợp số dương nhỏ hơn số âm cũng có kết quả tương tự.

0001 0000	16
+ 1110 1000	+ -24
1111 1000	-8

Trường hợp này không tạo ra bit thứ 9 trong kết quả, ta thấy là kết quả là dạng biểu diễn chính xác của số có dấu trong hệ thống bù 2. Như vậy, trong trường hợp có một số âm và một số dương, khả năng tràn số có dấu sẽ không xảy ra.

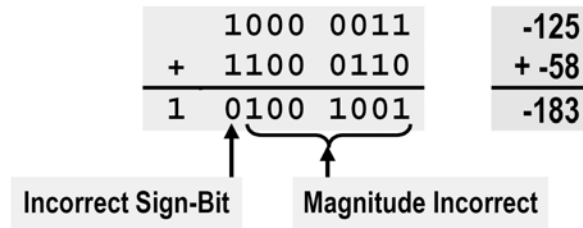
Đối với trường hợp cả hai số đều âm, ta cũng xét hai khả năng tương tự như trường hợp cả hai số đều dương.

1111 1011	-5
+ 1111 0111	+ -9
1 1111 0010	-14

Discard Carry

→

Nếu kết quả nằm trong tầm biểu diễn, ta sẽ luôn nhận được biểu diễn chính xác với độ rộng bit cố định là 8. Nếu kết quả vượt quá tầm biểu diễn ta sẽ nhận được một biểu diễn nhị phân sai như trong ví dụ sau.



Tóm lại, đối với phép cộng trên số có dấu, việc cộng được thực hiện bình thường như trong số không dấu, trong đó số nhớ nếu có cần phải được loại bỏ. Trường hợp ngoại lệ sẽ xảy ra khi có hiện tượng tràn số có dấu.

Đối với phép trừ số có dấu, ta sẽ thực hiện bằng cách dùng phép cộng số có dấu. Trước tiên ta tìm bù 2 của số trừ, sau đó cộng kết quả có được đến số bị trừ. Số nhận được chính là hiệu cần tìm. Việc thực hiện thao tác lấy bù 2 và cộng đã được đề cập ở trên.

Phép nhân số có dấu được thực hiện dựa trên phép cộng và lặp. Tuy nhiên, có hai qui tắc phải lưu ý khi nhân số có dấu trong hệ bù 2. Thứ nhất, cả số nhân và bị nhân phải là trong dạng nhị phân không dấu. Thứ hai, nếu hai số hạng ngõ vào trái dấu, kết quả sẽ âm và kết quả sẽ dương nếu hai số hạng ngõ vào cùng dấu. Như vậy nếu số hạng ngõ vào là âm, ta phải tìm dạng bù 2 của nó trước khi thực hiện nhân.

Phép chia được thực hiện dựa trên phép trừ và lặp, trong khi đó như ta đã biết phép trừ lại được thực hiện dựa trên phép cộng và bù 2. Như vậy có thể thấy phép chia cũng được thực hiện dựa vào phép cộng và bù 2. Tương tự như phép nhân, phép chia cũng được thực hiện dựa trên hai qui tắc đó là cả số chia và số bị chia phải có dạng không dấu; kết quả sẽ là dương nếu hai ngõ vào cùng dấu và âm nếu hai ngõ vào trái dấu.

13-2-3 Số thập lục phân

Số thập lục phân (thường được gọi tắt là số hex) là các số được biểu diễn trong hệ 16. Điều này có nghĩa là mỗi chữ số thập phân (hexadecimal digit), có giá trị từ 0 đến F, sẽ là một bội số của lũy thừa của 16. Bảng sau sẽ trình bày sự tương ứng giữa một chữ số hex, giá trị thập phân và dạng biểu diễn nhị phân tương ứng.

Hexadecimal	Decimal	Binary
0	0	0000
1	1	0001
2	2	0010
3	3	0011
4	4	0100
5	5	0101
6	6	0110
7	7	0111
8	8	1000
9	9	1001
A	10	1010
B	11	1011
C	12	1100
D	13	1101
E	14	1110
F	15	1111

Bảng 13-1

Sự tương ứng giữa chữ số hex, giá trị thập phân và dạng biểu diễn nhị phân.

Ta thấy là các chữ cái A đến F được dùng để biểu diễn các giá trị từ 10 đến 15, và một chữ số hex sẽ được biểu diễn đầy đủ bằng 4-bit nhị phân. Ví dụ sau cho thấy cách tính giá trị của một số hex, hoàn toàn tương tự như ta đã biết trong số thập phân và nhị phân.

Hexadecimal Number	3	C	7	A	.	6	E	0	5
Weights	16³	16²	16¹	16⁰	.	16⁻¹	16⁻²	16⁻³	16⁻⁴
	3×16 ³	12×16 ²	7×16 ¹	10×16 ⁰	.	6×16 ⁻¹	14×16 ⁻²	0×16 ⁻³	5×16 ⁻⁴
	12288	3072	112	10	.	0.375	0.0546875	0	0.000076293

Result **12288 + 3072 + 112 + 10 + 0.375 + 0.0546875 + 0 + 0.000076293 = 15482.42976**

Cũng như đối với hệ thập phân và hệ nhị phân, giá trị 16ⁿ là trọng số của các chữ số hex sẽ mở rộng một cách không xác định về hai phía. Chỉ số của trọng số tăng 1 khi đi về phía tay trái và giảm 1 khi đi về phía tay phải. Số học đối với số hex được thực hiện tương tự như số thập phân và nhị phân và có thể được thực hiện bằng cách đổi sang số nhị phân. Điều này hoàn toàn có thể vì trong thực tế, microprocessor biểu diễn các số trong dạng nhị phân, dạng số hex thường được dùng để viết ngắn cho số nhị phân.

Để chuyển từ số nhị phân sang số hex hoặc ngược lại ta chỉ việc qui đổi 1 chữ số hex thành 4 bit nhị phân như đã thấy trong bảng 13-1. Ví dụ sau cho thấy cách chuyển từ số hex sang nhị phân.

F	2	4	B	0	3	← Hex
↓	↓	↓	↓	↓	↓	15878915 Decimal
1111	0010	0100	1011	0000	0011	← Binary

13-2-4 Số BCD

Số BCD, còn được gọi là số thập phân được mã hóa bằng nhị phân (Binary Coded Decimal), được dùng để biểu diễn các số thập phân dưới dạng nhị phân. Mã 8421 là một trong các dạng số BCD. Bảng 13-2 cho thấy cách mã hóa thập phân bằng nhị phân của mã 8421.

Decimal	Binary
0	0000
1	0001
2	0010
3	0011
4	0100
5	0101
6	0110
7	0111
8	1000
9	1001

Bảng 13-2
Mã 8421.

Lưu ý là trong mã này, 4-bit nhị phân được dùng để biểu diễn một chữ số thập phân. Các chuỗi 4-bit còn lại là 1010, 1011, 1100, 1101, 1110, 1111 không được sử dụng. Ví dụ sau trình bày cách chuyển đổi giữa số 3519 thập phân sang BCD 8421 và ngược lại.

3	5	1	9
↓	↓	↓	↓
0011	0101	0001	1001

13-2-5 Mã ASCII 7-bit

Mã này được dùng để biểu diễn các ký tự hiển thị bao gồm chữ hoa, chữ thường và chữ số, và các ký tự điều khiển dạng nhị phân. Bảng 13-3 cho thấy bảng mã này.

7-bit American Standard Code for Information Interchange (ASCII)												
Dec	Hex	Symbol	Control	Dec	Hex	Symbol	Dec	Hex	Symbol	Dec	Hex	Symbol
0	00	NULL	NUL	32	20	Space	64	40	@	96	60	`
1	01	☺	SOH	33	21	!	65	41	A	97	61	a
2	02	☹	STX	34	22	"	66	42	B	98	62	b
3	03	♥	ETX	35	23	#	67	43	C	99	63	c
4	04	♦	EOT	36	24	\$	68	44	D	100	64	d
5	05	♣	ENQ	37	25	%	69	45	E	101	65	e
6	06	♠	ACK	38	26	&	70	46	F	102	66	f
7	07	•	BEL	39	27	'	71	47	G	103	67	g
8	08	█	BS	40	28	(72	48	H	104	68	h
9	09	○	HT	41	29)	73	49	I	105	69	i
10	0A	◐	LF	42	2A	*	74	4A	J	106	6A	j
11	0B	♂	VT	43	2B	+	75	4B	K	107	6B	k
12	0C	♀	FF	44	2C	,	76	4C	L	108	6C	l
13	0D	♪	CR	45	2D	-	77	4D	M	109	6D	m
14	0E	♫	SO	46	2E	.	78	4E	N	110	6E	n
15	0F	⚙	SI	47	2F	/	79	4F	O	111	6F	o
16	10	▶	DLE	48	30	0	80	50	P	112	70	p
17	11	◀	DC1/XON	49	31	1	81	51	Q	113	71	q
18	12	↕	DC2	50	32	2	82	52	R	114	72	r
19	13	!!	DC3/XOFF	51	33	3	83	53	S	115	73	s
20	14	¶	DC4	52	34	4	84	54	T	116	74	t
21	15	§	NAK	53	35	5	85	55	U	117	75	u
22	16	≡	SYN	54	36	6	86	56	V	118	76	v
23	17	⇓	ETB	55	37	7	87	57	W	119	77	w
24	18	↑	CAN	56	38	8	88	58	X	120	78	x
25	19	↓	EM	57	39	9	89	59	Y	121	79	y
26	1A	→	SUB	58	3A	:	90	5A	Z	122	7A	z
27	1B	←	ESC	59	3B	;	91	5B	[123	7B	{
28	1C	L	FS	60	3C	<	92	5C	\	124	7C	
29	1D	↔	GS	61	3D	=	93	5D]	125	7D	}
30	1E	▲	RS	62	3E	>	94	5E	^	126	7E	~
31	1F	▼	US	63	3F	?	95	5F	_	127	7F	␣ DEL

Bảng 13-3
Bảng mã ASCII 7-bit.

Bảng mã ASCII 7-bit là bảng mã đầu tiên. Đến nay ta đã có một số bảng mã khác dùng để biểu diễn ký tự hiển thị và ký tự điều khiển như mã ASCII mở rộng 8-bit, mã Unicode,...

13-3 Cổng logic

13-3-1 Mạch logic

Mạch logic tổ hợp sử dụng các cổng logic để tạo nên các hàm logic. Chúng là thành phần tạo nên các hệ thống số. Bảy loại cổng logic cơ bản là AND, OR, NOT, NAND, NOR, XOR, XNOR.

Như ta sẽ thấy trong phần sau, mỗi loại cổng sẽ có đáp ứng khác nhau khi áp tín hiệu logic vào ngõ vào, chúng sẽ có biểu tượng logic và biểu diễn đại số khác nhau.

Cổng NOT chỉ có một ngõ vào và một ngõ ra, các loại cổng còn lại đều có nhiều hơn một ngõ vào nhưng vẫn chỉ có một ngõ ra.

13-3-2 Cổng NOT

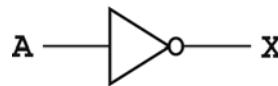
Hoạt động: ngõ ra là đảo của ngõ vào như trong bảng sau. Bảng này được gọi là bảng sự thật (truth table) của cổng NOT.

Input A	Output X
0	1
1	0

Biểu tượng:



Ví dụ:

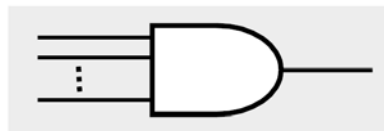


Dạng đại số: $X = \bar{A}$

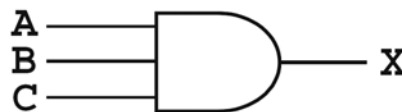
13-3-3 Cổng AND

Hoạt động: ngõ ra là 1 khi và chỉ khi tất cả các ngõ vào là 1.

Biểu tượng:



Ví dụ:



Dạng đại số: $X = ABC$

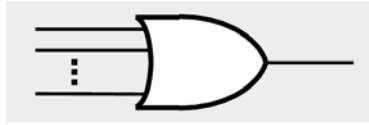
Bảng sự thật:

Inputs ABC	Output X
000	0
001	0
010	0
011	0
100	0
101	0
110	0
111	1

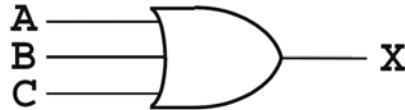
13-3-4 Cổng OR

Hoạt động: ngõ ra là 1 khi có một hoặc nhiều ngõ vào là 1.

Biểu tượng:



Ví dụ:



Dạng đại số: $X = A + B + C$

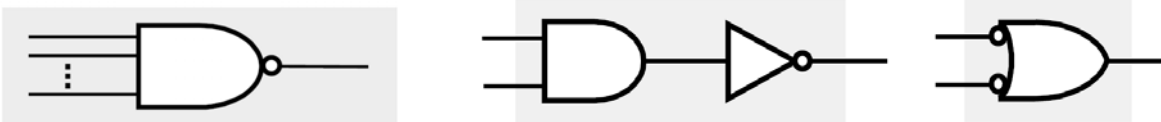
Bảng sự thật:

Inputs ABC	Output X
000	0
001	1
010	1
011	1
100	1
101	1
110	1
111	1

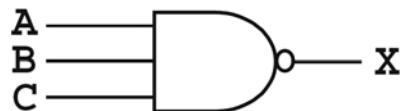
13-3-5 Cổng NAND

Hoạt động: ngõ ra là 0 khi tất cả các ngõ vào là 1.

Biểu tượng:



Ví dụ:



Dạng đại số: $X = \overline{ABC}$

Bảng sự thật:

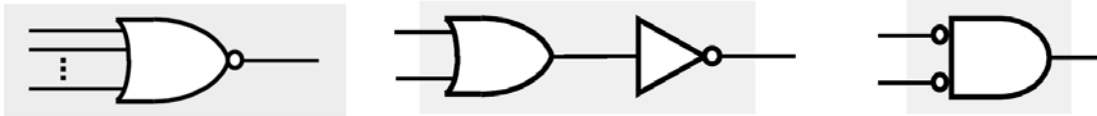
Truth Table

Inputs ABC	Output X
000	1
001	1
010	1
011	1
100	1
101	1
110	1
111	0

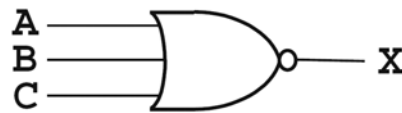
13-3-6 Cổng NOR

Hoạt động: ngõ ra là 0 khi một hoặc nhiều ngõ vào là 1.

Biểu tượng:



Ví dụ:



Dạng đại số: $X = \overline{A + B + C}$

Bảng sự thật:

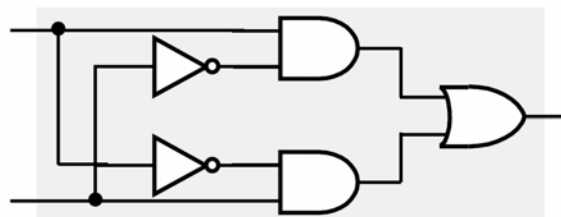
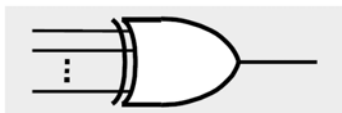
Truth Table

Inputs ABC	Output X
000	1
001	0
010	0
011	0
100	0
101	0
110	0
111	0

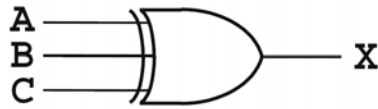
13-3-7 Cổng XOR

Hoạt động: ngõ ra là 1 khi có một số lẻ ngõ vào là 1.

Biểu tượng:



Ví dụ:



Dạng đại số: $X = A \oplus B \oplus C$

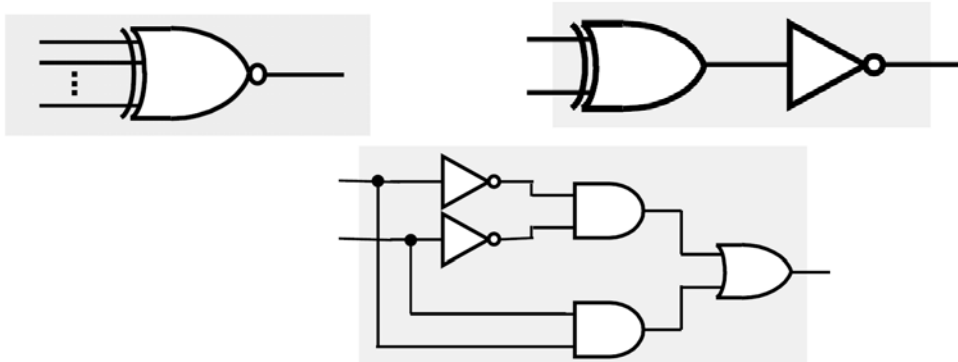
Bảng sự thật:

Truth Table	
Inputs ABC	Output X
000	0
001	1
010	1
011	0
100	1
101	0
110	0
111	1

13-3-8 Cổng XNOR

Hoạt động: ngõ ra là 0 khi có một số lẻ ngõ vào là 1.

Biểu tượng:



Ví dụ:



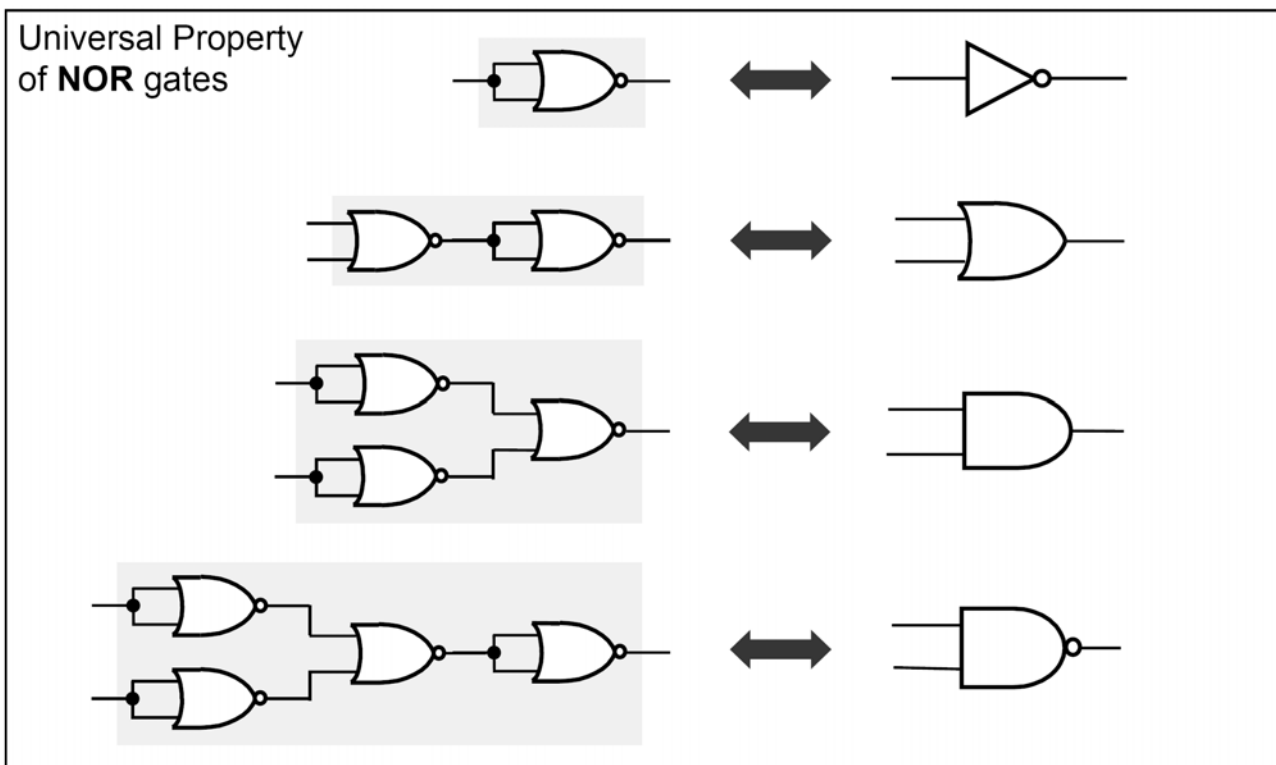
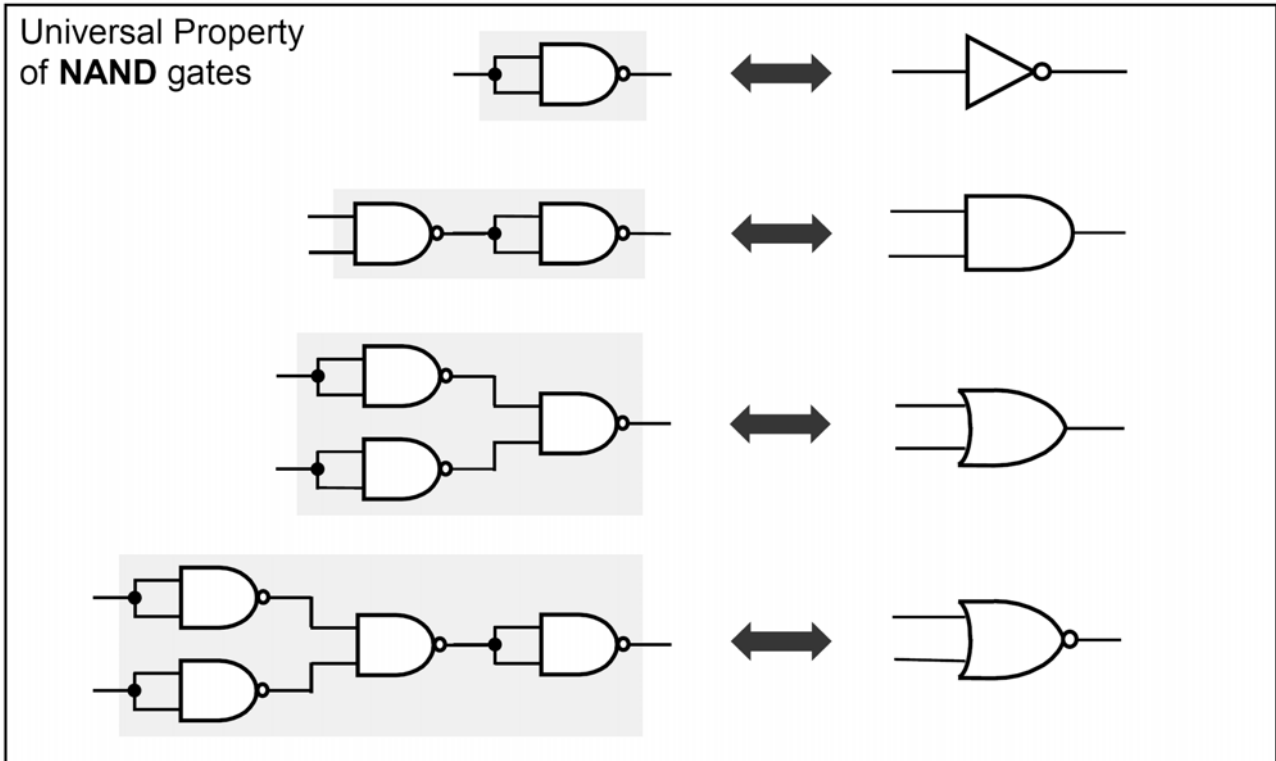
Dạng đại số: $X = \overline{(A \oplus B \oplus C)}$

Bảng sự thật:

Truth Table	
Inputs ABC	Output X
000	1
001	0
010	0
011	1
100	0
101	1
110	1
111	0

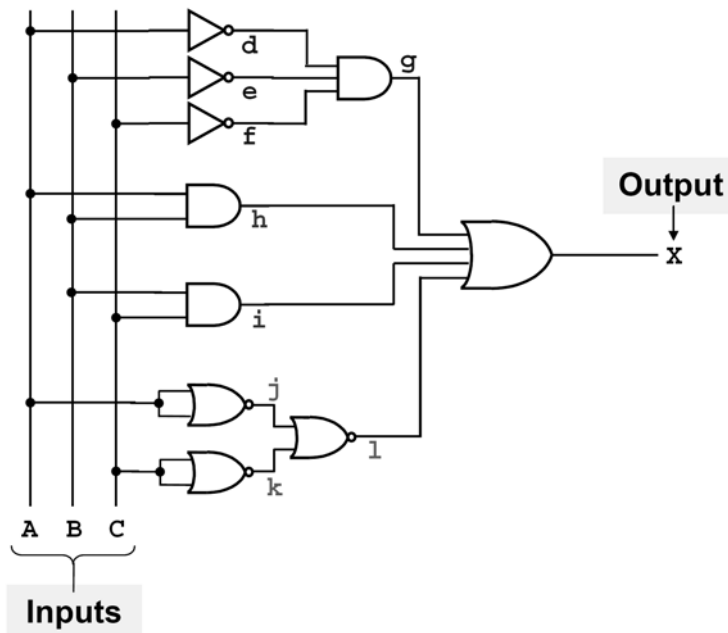
13-3-9 Một số tính chất của cổng NAND và NOR

Một tổ hợp của các cổng NAND hoặc cổng NOR có thể thay thế được các cổng logic khác. Tính chất này rất có ích vì thông thường các IC cổng logic chứa vài cổng cùng loại chứ không chỉ một cổng duy nhất. Do đó, việc thiết kế chỉ bằng NAND hoặc NOR giúp làm giảm giá thành, tận dụng hết tài nguyên của các IC, giảm diện tích board mạch thiết kế. Các hình sau cho thấy cách dùng cổng NAND hoặc NOR để thiết kế các loại cổng khác.



13-3-10 Mạch tổ hợp, bảng sự thật và giản đồ xung

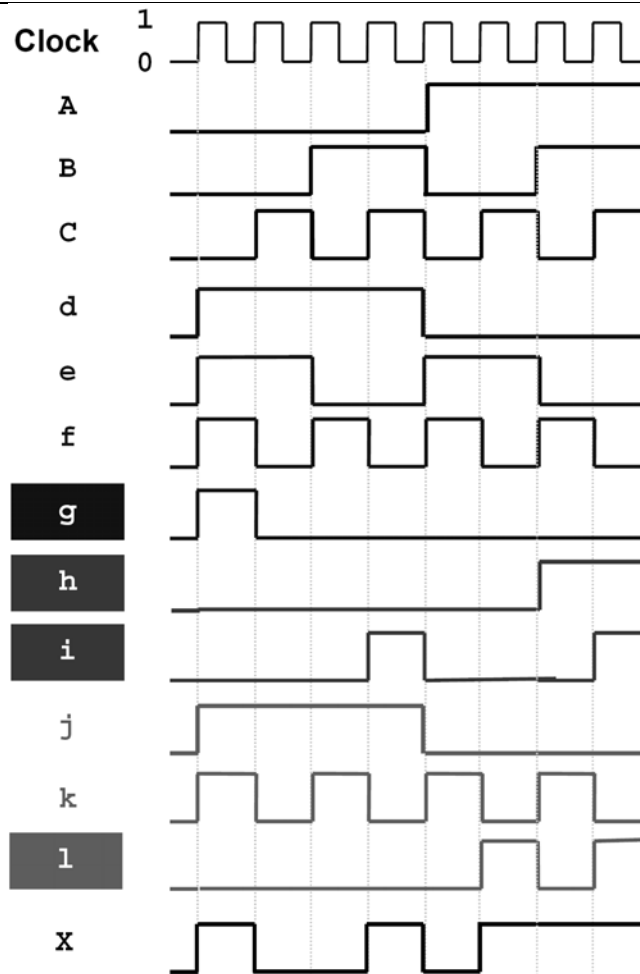
Các cổng logic sẽ được phối hợp với nhau trong các mạch logic tổ hợp để thực hiện một chức năng cụ thể. Hoạt động của mạch có thể được mô tả bằng bảng sự thật (truth table). Hoạt động của mạch cũng có thể được mô tả bằng giản đồ xung (timing diagram), nghĩa là dạng sóng tại các điểm trong mạch. Ví dụ sau minh họa cách dùng sơ đồ mạch, bảng sự thật và giản đồ xung mô tả hoạt động của mạch.



Bảng sự thật và giản đồ xung của mạch mô tả hoạt động của mạch như sau, giá trị của các điểm trung gian cũng được xác định trong bảng sự thật và vẽ giản đồ xung.

Truth Table

Input			Intermediate Nodes							Ouput		
A	B	C	d	e	f	g	h	i	j	k	l	X
0	0	0	1	1	1	1	0	0	1	1	0	1
0	0	1	1	1	0	0	0	0	1	0	0	0
0	1	0	1	0	1	0	0	0	1	1	0	0
0	1	1	1	0	0	0	0	1	1	0	0	1
1	0	0	0	1	1	0	0	0	0	1	0	0
1	0	1	0	1	0	0	0	0	0	0	1	1
1	1	0	0	0	1	0	1	0	0	1	0	1
1	1	1	0	0	0	0	1	1	0	0	1	1



13-4 Đại số Boolean

13-4-1 Biểu thức Boolean và các định nghĩa

Trước tiên ta định nghĩa một số thuật ngữ của đại số Boolean. Một biến Boolean là một ký hiệu, ví dụ A , được dùng để biểu diễn một đại lượng logic, giá trị của nó là 0 hoặc 1. Bù (complement) của một biến là một biến khác có giá trị là đảo của biến lấy bù, bù của biến thường được ký hiệu là \bar{A} .

Phép cộng (+) và phép nhân (\times) là hai phép toán được dùng nhiều nhất trong đại số Boolean. Trong phần trước ta đã biết qua 7 loại cổng logic cơ bản và ta sẽ thấy rằng cổng OR là biểu diễn của phép cộng và cổng AND là biểu diễn của phép nhân.

Bây giờ ta sẽ xét phép cộng trong đại số Boolean. Phép cộng là tương đương với cổng OR, kết quả sẽ là một khi có một hoặc nhiều ngõ vào là 1. Ví dụ

$0+0+0 = 0$
$0+0+1 = 1$
$0+1+0 = 1$
$0+1+1 = 1$
$1+0+0 = 1$
$1+0+1 = 1$
$1+1+0 = 1$
$1+1+1 = 1$

Trong đại số Boolean, thuật ngữ sum term được dùng để chỉ tổng của các biến, trong đó biến có thể có bù, có thể không có bù. Trong mạch logic, một sum term có thể được tạo ra chỉ bằng cổng OR.

Phép nhân trong đại số Boolean là tương đương với cổng AND, ngõ ra sẽ là 1 khi tất cả các ngõ vào là 1. Ví dụ

$0 \times 0 \times 0 = 0$
$0 \times 0 \times 1 = 0$
$0 \times 1 \times 0 = 0$
$0 \times 1 \times 1 = 0$
$1 \times 0 \times 0 = 0$
$1 \times 0 \times 1 = 0$
$1 \times 1 \times 0 = 0$
$1 \times 1 \times 1 = 1$

Trong đại số Boolean, thuật ngữ product term được dùng để chỉ tích của các biến, trong đó biến có thể có bù, có thể không có bù. Trong mạch logic, một product term có thể được tạo ra chỉ bằng cổng AND.

13-4-2 Ba tính chất trong đại số Boolean

Tính giao hoán:

$$A + B = B + A$$

$$AB = BA$$

Tính kết hợp:

$$A + (B + C) = (A + B) + C$$

$$A(BC) = (AB)C$$

Tính phân phối:

$$A(B + C) = AB + AC.$$

13-4-3 Các định lý trong đại số Boolean

1	$A + 0 = A$
2	$A + 1 = 1$
3	$A \cdot 0 = 0$
4	$A \cdot 1 = A$
5	$A + A = A$
6	$A + \bar{A} = 1$
7	$A \cdot A = A$
8	$A \cdot \bar{A} = 0$
9	$\overline{\bar{A}} = A$
10	$A + AB = A$
11	$A + \bar{A}B = A + B$
12	$(A + B)(A + C) = A + BC$

13-4-4 Định lý DeMorgan

Định lý DeMorgan là một định lý rất quan trọng trong thiết kế số. Định lý này cho phép chuyển đổi giữa phép cộng và phép nhân logic, nói cách khác, nó cho phép chuyển đổi cổng AND thành cổng OR và ngược lại.

$$\overline{AB} = \bar{A} + \bar{B}$$

$$\overline{(A + B)} = \bar{A}\bar{B}$$

13-4-5 Rút gọn dùng đại số Boolean

Ta đã biết là ta có thể biểu diễn một biểu thức Boolean bằng một mạch tổ hợp của các cổng logic và ngược lại. Trong thiết kế số thực tế, đại số Boolean được dùng để phục vụ cho việc này. Bằng cách biểu diễn một mạch số dưới dạng biểu thức Boolean, ta có thể thực hiện rút gọn biểu thức này từ đó tạo ra một mạch logic mà trong đó các cổng logic được sử dụng hiệu quả hơn. Ta sẽ thử rút gọn biểu thức $\overline{A + BC} + D(\overline{E + F})$. Áp dụng các tính chất, định lý và đặc biệt là định lý DeMorgan đã biết ở trên ta có thể rút gọn như sau

$$\begin{aligned} \overline{A + BC} + D(\overline{E + F}) &= \overline{A + BC} \cdot \overline{D(\overline{E + F})} = (A + BC) \cdot \overline{D(\overline{E + F})} = \\ &= (A + BC) \cdot (\overline{D} + \overline{\overline{E + F}}) = (A + BC) \cdot (\overline{D} + E + F) \end{aligned}$$

Xét biểu thức sau $\overline{ABC} + \overline{A\bar{B}C} + \overline{A\bar{B}\bar{C}} + \overline{A\bar{B}C} + \overline{ABC}$. Ta có thể rút gọn biểu thức này như sau

$$\begin{aligned} \overline{ABC} + \overline{A\bar{B}C} + \overline{A\bar{B}\bar{C}} + \overline{A\bar{B}C} + \overline{ABC} &= BC(A + \bar{A}) + \overline{A\bar{B}C} + \overline{A\bar{B}C} + \overline{A\bar{B}C} = \\ &= BC + \overline{A\bar{B}}(C + \bar{C}) + \overline{A\bar{B}C} = BC + \overline{A\bar{B}} + \overline{A\bar{B}C} = \\ &= BC + \bar{B}(A + \overline{A\bar{C}}) = BC + \bar{B}(A + C) = \\ &= BC + \overline{A\bar{B}} + \overline{BC} \end{aligned}$$

13-4-6 Hai dạng chuẩn của biểu thức Boolean

Biểu thức Boolean có thể được viết dưới rất nhiều dạng khác nhau, tuy nhiên có hai dạng được gọi là dạng chuẩn giúp cho việc xây dựng biểu thức Boolean từ bảng sự thật được dễ hơn. Dạng chuẩn 1 còn được gọi là dạng tổng của các tích (SOP – Sum of Products), và dạng chuẩn 2 còn được gọi là dạng tích của các tổng (POS – Product of Sums). Để đơn giản ta xét bảng sự thật sau

Truth Table		
Inputs ABC	Output X	
000	0	POS = $(\bar{A} + \bar{B} + \bar{C})$
001	1	SOP = $\bar{A} \bar{B} C$
010	0	POS = $(\bar{A} + B + \bar{C})$
011	0	POS = $(\bar{A} + B + C)$
100	1	SOP = $A \bar{B} \bar{C}$
101	0	POS = $(A + \bar{B} + C)$
110	0	POS = $(A + B + \bar{C})$
111	1	SOP = $A B C$

Để viết được dạng chuẩn 1, ta sẽ quan tâm đến các tổ hợp ngõ vào mà ngõ ra tương ứng bằng 1. Mỗi tổ hợp ngõ vào này sẽ tương ứng với một số hạng của tổng. Số hạng này là tích của ba biến A, B, C, biến sẽ có bù nếu giá trị tương ứng của biến trong tổ hợp là 0 và biến sẽ không có bù nếu giá trị tương ứng của biến trong tổ hợp là 1.

Để viết được dạng chuẩn 2, ta sẽ quan tâm đến các tổ hợp ngõ vào mà ngõ ra tương ứng bằng 0. Mỗi tổ hợp ngõ vào này sẽ tương ứng với một thừa số của tích. Thừa số này là tổng của ba biến A, B, C, biến sẽ có bù nếu giá trị tương ứng của biến trong tổ hợp là 1 và biến sẽ không có bù nếu giá trị tương ứng của biến trong tổ hợp là 0.

Dựa vào qui tắc đó ta có thể xác định được các số hạng và thừa số như trên. Như vậy, ta có thể viết được dạng chuẩn 1 của bảng sự thật ở trên là $\bar{A}\bar{B}C + A\bar{B}\bar{C} + ABC$ và dạng chuẩn 2 là $(A+B+C)(A+\bar{B}+C)(A+\bar{B}+\bar{C})(\bar{A}+B+\bar{C})(\bar{A}+\bar{B}+C)$.

Mỗi số hạng trong tổng của dạng chuẩn 1 được gọi là một minterm, và mỗi thừa số trong tích của dạng chuẩn 2 được gọi là một maxterm. Như vậy, dạng chuẩn 1 là tổng của các minterm và dạng chuẩn 2 là tích của các maxterm. Ta cũng có thể viết tắt cho dạng chuẩn 1 và chuẩn 2 bằng cách chỉ ra vị trí của tổ hợp mà tại đó ngõ ra bằng 1 (đối với chuẩn 1) hoặc ngõ ra bằng 0 (đối với chuẩn 2). Đối với ví dụ trên ta có thể viết $f(A, B, C, D) = m_1 + m_4 + m_7 = M_0 M_2 M_3 M_5 M_6$ hoặc viết tắt như dạng sau $f(A, B, C, D) = \sum m(1, 4, 7) = \prod M(0, 2, 3, 5, 6)$.

13-4-7 Rút gọn biểu thức dùng bìa Karnaugh

Bìa Karnaugh, ta sẽ gọi tắt là bìa K, là một phương pháp biểu diễn hàm Boolean thích hợp cho việc rút gọn hàm. Mỗi ô của bìa K biểu diễn một tổ hợp của các biến ngõ vào, và giá trị trong ô là ngõ ra tương ứng của tổ hợp, nói cách khác mỗi ô của bìa K tương ứng với một hàng trong bảng sự thật. Ta chỉ giới hạn xem xét các bìa K 3 biến và 4 biến.

Đối với bìa K của 3 biến A, B, C, vị trí của các ô tương ứng với các hàng trong bảng sự thật được sắp xếp như hình sau

		AB			
		00	01	11	10
C	0	0	2	6	4
	1	1	3	7	5

Đối với bảng K của 4 biến A, B, C, D, vị trí của các ô tương ứng với các hàng trong bảng sự thật được sắp xếp như hình sau

		AB			
		00	01	11	10
CD	00	0	4	12	8
	01	1	5	13	9
	11	3	7	15	11
	10	2	6	14	10

Ta thử xét hàm $f(A, B, C) = \sum m(1, 4, 7)$. Hàm này được viết ở dạng chuẩn 1, ngõ ra của hàm bằng 1 tại các hàng 1, 4, và 7 của bảng sự thật. Bảng K 3 biến của hàm này được lập như sau

		AB			
		00	01	11	10
C	0				1
	1	1		1	

Ta thấy là tại các ô tương ứng với vị trí 1, 4 và 7, giá trị của ô là 1, các ô còn lại ta không điền giá trị vì ta đã ngầm hiểu là giá trị của ô đó là 0. Bảng K này cũng có thể được lập như sau

		AB			
		00	01	11	10
C	0	0	0	0	
	1		0		0

Hai bảng K này là hoàn toàn tương đương nhau.

Đối với hàm 4 biến $f(A, B, C, D) = \prod M(0, 1, 5, 7, 8, 13, 14)$, trước tiên ta viết lại hàm này dưới dạng chuẩn 1 như sau $f(A, B, C, D) = \sum m(2, 3, 4, 6, 9, 10, 11, 12, 15)$. Dựa vào một trong hai dạng chuẩn ta có thể lập được bảng K cho hàm như sau

F

	AB			
	00	01	11	10
CD				
00		1	1	
01				1
11	1		1	1
10	1	1		1

Tương tự, ta cũng có thể lập bìa K bằng cách điền các ô có giá trị 0 như sau

F

	AB			
	00	01	11	10
CD				
00	0			0
01	0	0	0	
11		0		
10			0	

Bây giờ ta sẽ thử rút gọn biểu thức dùng bìa K. Để làm được điều này trước tiên ta sẽ định nghĩa hai ô kề nhau. Hai ô kề nhau là hai ô trong bìa K có cùng giá trị và hai tổ hợp các biến của chúng chỉ khác nhau một biến. Ví dụ của một số trường hợp có hai ô kề nhau là

F

	AB			
	00	01	11	10
CD				
00	1			1
01				
11				
10				

F

	AB			
	00	01	11	10
CD				
00	0			
01				
11				
10	0			

F

	AB			
	00	01	11	10
CD				
00				
01		1	1	
11				
10				

Dựa vào định nghĩa hai ô kề nhau ta sẽ có định nghĩa liên kết 2, liên kết 4 và liên kết 8. Các dạng liên kết này xuất hiện trong bìa K của các biểu thức 3 và 4 biến. Một liên kết 2 bao gồm hai ô kề nhau. Một liên kết 4 là hai liên kết 2 kề nhau và một liên kết 8 là hai liên kết 4 kề nhau. Một số trường hợp có liên kết 4 và liên kết 8 là

F		AB			
	CD	00	01	11	10
	00	1			1
	01	1			1
	11				
	10				

F		AB			
	CD	00	01	11	10
	00	0	0		
	01				
	11				
	10	0	0		

F		AB			
	CD	00	01	11	10
	00	1			1
	01				
	11				
	10	1			1

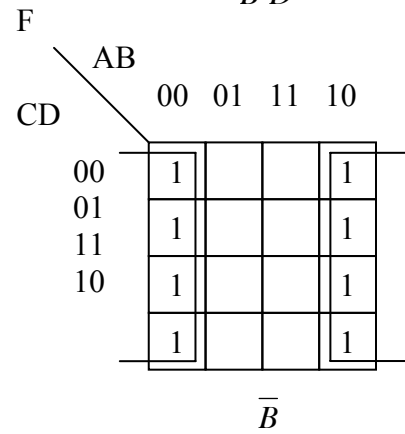
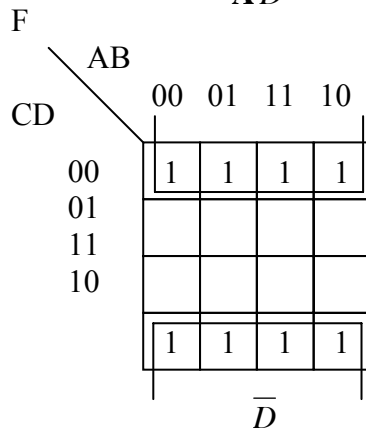
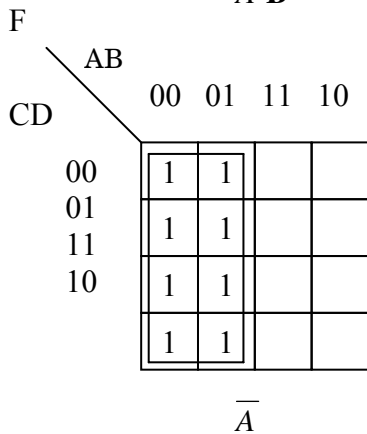
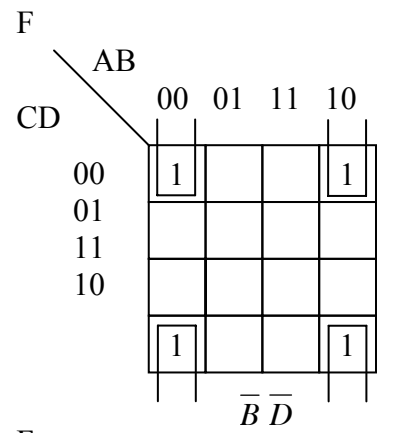
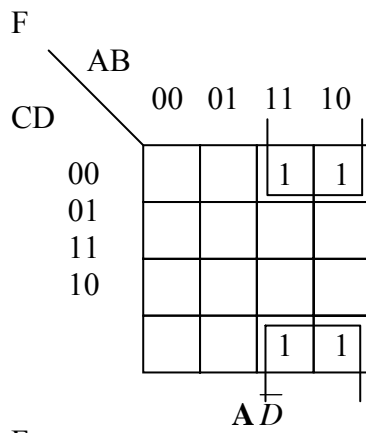
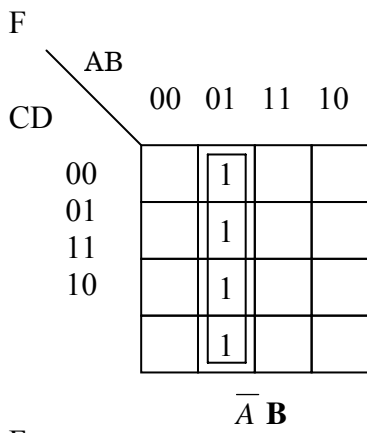
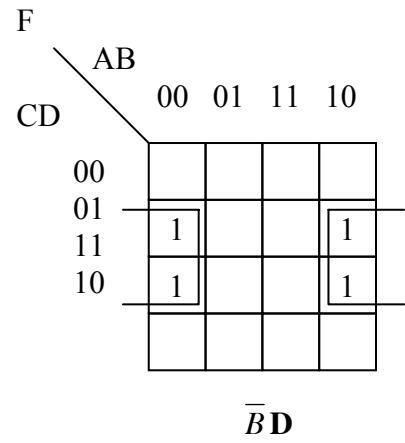
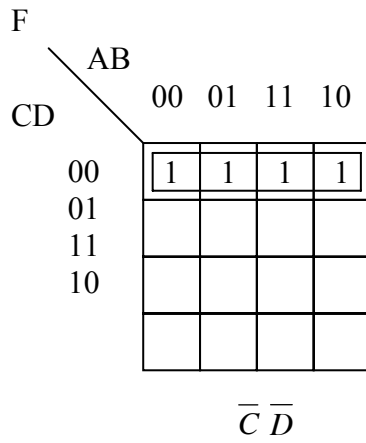
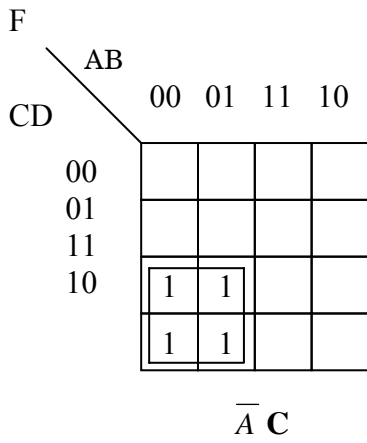
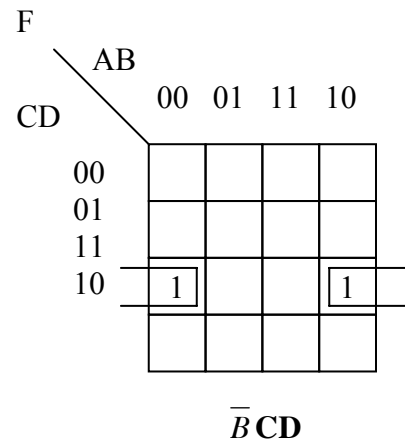
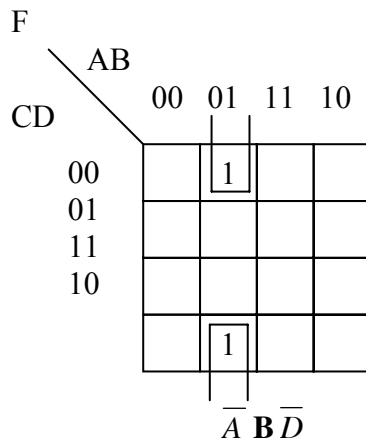
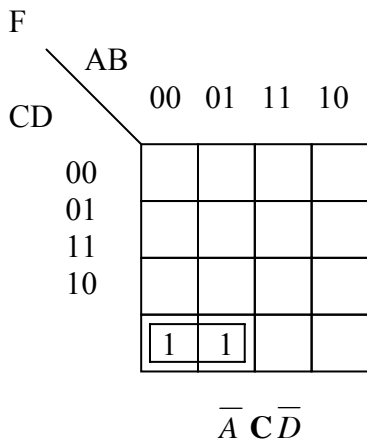
F		AB			
	CD	00	01	11	10
	00		1	1	
	01		1	1	
	11				
	10				

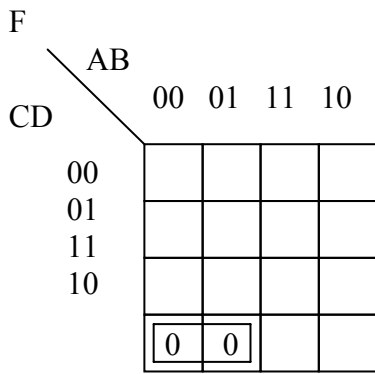
F		AB			
	CD	00	01	11	10
	00	1	1	1	1
	01				
	11				
	10	1	1	1	1

F		AB			
	CD	00	01	11	10
	00	0	0		
	01	0	0		
	11	0	0		
	10	0	0		

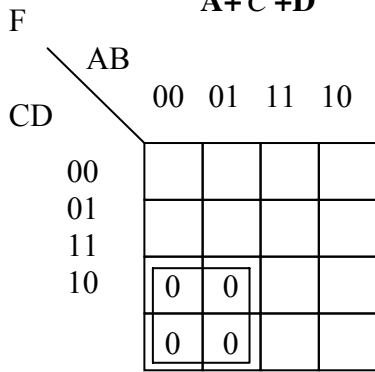
Bây giờ ta sẽ bắt đầu thao tác rút gọn biểu thức dùng bảng K. Trước tiên ta xác định tất cả các liên kết 2, 4 và 8 nếu có. Việc xác định liên kết nào nên được chọn phải tuân theo nguyên tắc là liên kết đó phải loại bỏ được nhiều biến nhất, và nó không phải là một liên kết bao gồm các ô mà đã nằm trong một liên kết khác được chọn trước đó.

Một liên kết 2 sẽ loại đi được một biến, đó chính là biến khác nhau giữa hai tổ hợp. Tương tự, liên kết 4 sẽ loại đi hai biến khác nhau giữa hai tổ hợp và liên kết 8 sẽ loại đi ba biến. Kết quả của việc rút gọn được viết theo cách thức giống với dạng chuẩn 1 và dạng chuẩn 2, tức là nếu ta rút gọn cho các ô có giá trị 1 thì biểu thức được viết dưới dạng tổng của các tích, biến sẽ có bù nếu giá trị là 0 và biến không lấy bù nếu giá trị là 1; nếu ta rút gọn cho các ô có giá trị 0 thì biểu thức phải được viết dưới dạng tổng của các tích, biến sẽ có bù nếu giá trị là 1 và biến không lấy bù nếu giá trị là 0. Một số ví dụ sẽ trình bày cách thức rút gọn cho các liên kết.

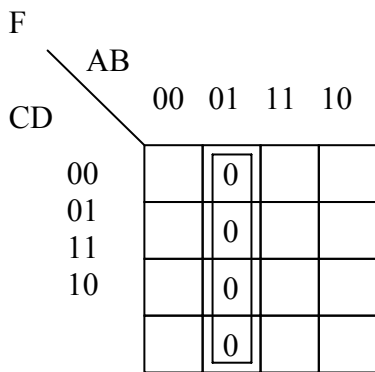




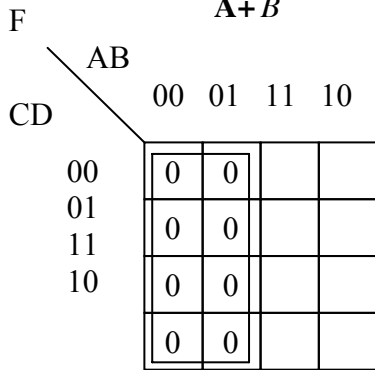
$$A + \bar{C} + D$$



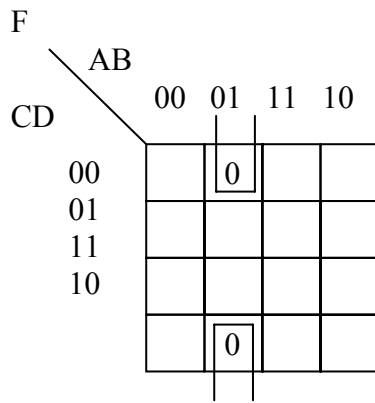
$$A + \bar{C}$$



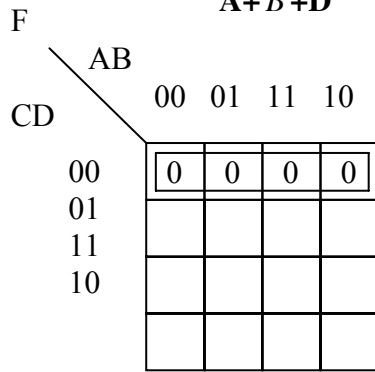
$$A + \bar{B}$$



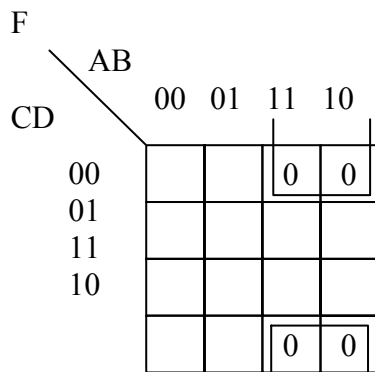
$$A$$



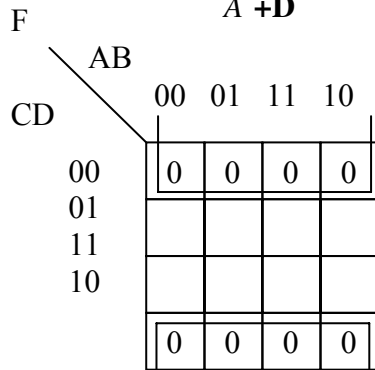
$$A + \bar{B} + D$$



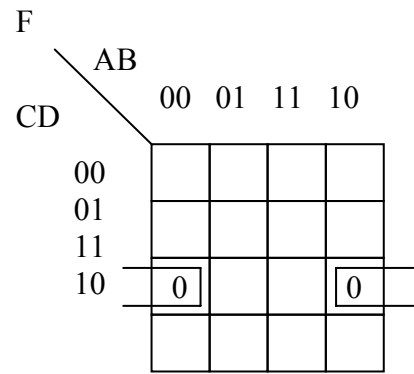
$$C + D$$



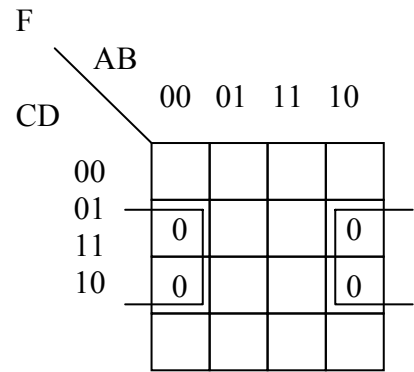
$$\bar{A} + D$$



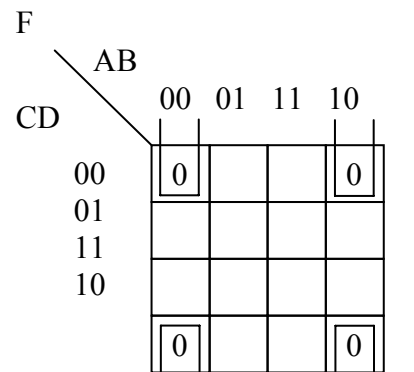
$$D$$



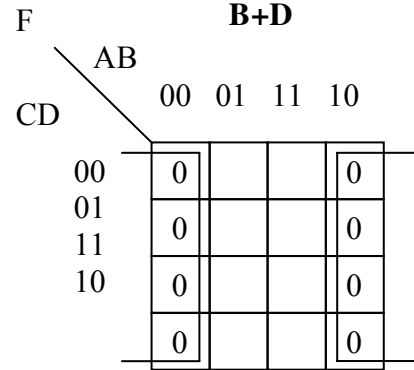
$$B + \bar{C} + \bar{D}$$



$$B + \bar{D}$$



$$B + D$$



$$B$$