

www.mientayvn.com

Khi đọc qua tài liệu này, nếu phát hiện sai sót hoặc nội dung kém chất lượng xin hãy thông báo để chúng tôi sửa chữa hoặc thay thế bằng một tài liệu cùng chủ đề của tác giả khác. Tài liệu này bao gồm nhiều tài liệu nhỏ có cùng chủ đề bên trong nó. Phần nội dung bạn cần có thể nằm ở giữa hoặc ở cuối tài liệu này, hãy sử dụng chức năng Search để tìm chúng.

Bạn có thể tham khảo nguồn tài liệu được dịch từ tiếng Anh tại đây:

http://mientayvn.com/Tai_lieu_da_dich.html

Thông tin liên hệ:

Yahoo mail: thanhlam1910_2006@yahoo.com

Gmail: frbwrthes@gmail.com

Theo yêu cầu của khách hàng, trong một năm qua, chúng tôi đã dịch qua 16 môn học, 34 cuốn sách, 43 bài báo, 5 sổ tay (chưa tính các tài liệu từ năm 2010 trở về trước) Xem ở đây

**DỊCH VỤ
DỊCH
TIẾNG
ANH
CHUYÊN
NGÀNH
NHANH
NHẤT VÀ
CHÍNH
XÁC
NHẤT**

Chỉ sau một lần liên lạc, việc dịch được tiến hành

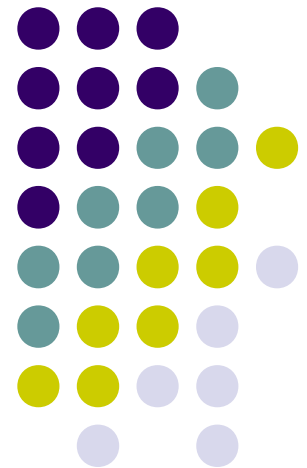
Giá cả: có thể giảm đến 10 nghìn/1 trang

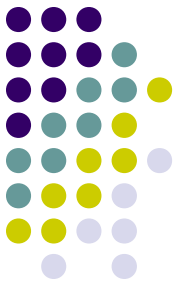
Chất lượng: Tạo dựng niềm tin cho khách hàng bằng công nghệ 1. Bạn thấy được toàn bộ bản dịch; 2. Bạn đánh giá chất lượng. 3. Bạn quyết định thanh toán.

Điện tử tương tự I

Giáo viên: Phùng Kiều Hà
Email: pkieuha@yahoo.com

Bài giảng được giảng viên
Nguyễn Vũ Thắng và Phùng Kiều Hà
Khoa ĐTVT, Đại học Bách khoa HN biên soạn

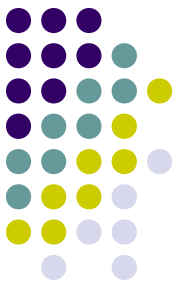




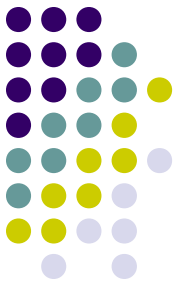
Mục đích môn học

- Nhằm mục tiêu cung cấp cho sinh viên các kiến thức cơ bản về mạch điện tử tương tự, phân tích, tính toán và thiết kế mạch điện tử tương tự

Đánh giá



- Thực hành: bắt buộc (liên hệ thầy Quang Thắng, bộ môn Hệ thống viễn thông, 309 C9)
- Trường hợp cộng hay trừ điểm:
 - Miễn thi: làm mạch, trình bày, nộp báo cáo, bảo vệ trước lớp tốt
 - Cộng 1-2 điểm: làm mạch nhưng kết quả chưa tốt
 - Cộng 1 điểm: có đóng góp trên lớp và làm tốt bài tập
 - Trừ điểm: không có vở bài tập
 - Không được thi: gọi chữa bài vắng mặt hoặc không làm bài 3 lần



Tài liệu tham khảo

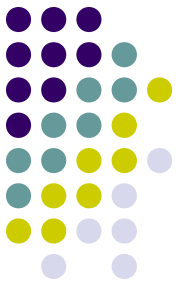
- *Electronics devices and Circuits theory – Robert Boylestad, Louis Nashelsky, Prentice Hall, 8th edition, 2001*
- Electronic principles – Albert Paul Malvino
- Kỹ thuật điện tử - Đỗ Xuân Thụ và các tác giả khác
- Kỹ thuật mạch điện tử - Phạm Minh Hà
- Điện tử căn bản – Phạm Đình Bảo
- *Mạch điện tử, tập 1 – Nguyễn Tấn Phước*
- Các trang web điện tử
 - <http://www.discovercircuits.com/list.htm>
 - <http://www.epanorama.net/links/basics.html>
 - <http://www.datasheetcatalog.com/>



Nội dung dự kiến

Giới thiệu	2 tiết
Điốt và ứng dụng	3 tiết
Mạch khuếch đại tín hiệu nhỏ sử dụng transistor BJT	10 tiết
Mạch khuếch đại tín hiệu nhỏ sử dụng transistor FET	8 tiết
Ảnh hưởng điện trở nguồn và tải	2 tiết
Đáp ứng tần số	2 tiết
Hồi tiếp	5 tiết
Mạch ghép	5 tiết
Khuếch đại công suất	3 tiết
Những vấn đề cơ bản về khuếch đại thuật toán và ứng dụng	8 tiết
Khuếch đại cộng hưởng và khuếch đại dải rộng	1 tiết
Một số mạch thực tế và bảo vệ bài tập lớn	4 tiết
Tổng kết	2 tiết

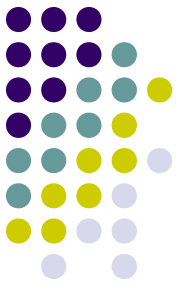
* Chú ý: Kiểm tra giữa kỳ sau khi kết thúc nội dung mạch ghép (khoảng sau 8 tuần học)



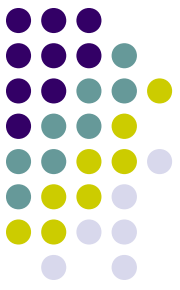
Chương 1: Giới thiệu

- Vai trò mạch điện tử tương tự
- Ứng dụng
- Khái niệm về mạch điện tử và nhiệm vụ
- Nhắc lại một số kiến thức cần thiết
- Tham số cơ bản của bộ khuếch đại

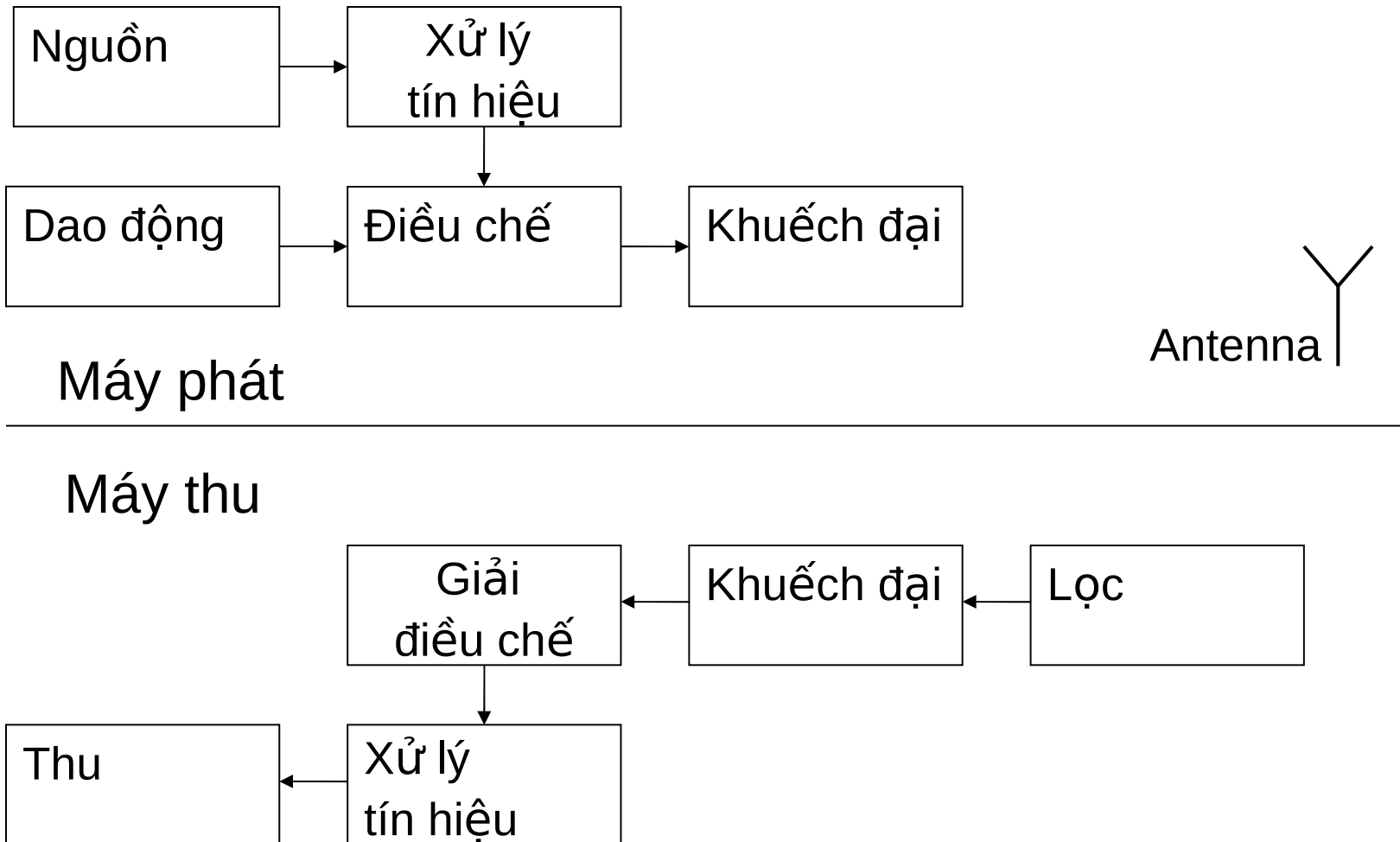
Vai trò mạch điện tử tương tự



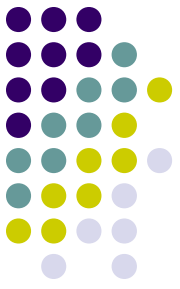
- Vai trò:
 - Tất cả các hệ thống thông tin, hệ thống điện tử, điều khiển tự động...; số hay tương tự; đều sử dụng mạch điện tử tương tự hoặc dựa trên nền tương tự.
 - Mạch tương tự: ADC, DAC, nguồn, RF...
 - Mạch số: các bộ vi xử lý
- Thiết bị cơ bản:
 - Điốt, transistor lưỡng cực BJT, transistor trường FET (JFET, MOSFET), bộ khuếch đại thuật toán op-amp, các thiết bị khác (điốt biến dung, điốt quang, LCD, pin mặt trời, triac...)



Ví dụ ứng dụng: hệ thống thu phát



Khái niệm về mạch điện tử và nhiệm vụ



- **Nhiệm vụ:**
 - Gia công tín hiệu theo thuật toán
- **Tín hiệu:**
 - Số đo (điện áp, dòng điện) của một quá trình
- **Tín hiệu:**
 - TƯƠNG TỰ và số
- **Thay đổi:**
 - BIÊN ĐỘ, tần số và pha
- **Gia công:**
 - KHUẾCH ĐẠI, chỉnh lưu, điều khiển, đo, nhớ, điều chế, tách sóng, tính toán...



Kiến thức cơ bản

- Bán dẫn:
 - Vật liệu, liên kết, trôi, độ linh động, tạp chất, điện tử và lỗ trống, dải năng lượng, khuếch tán...
- Điốt:
 - Cấu tạo, hoạt động, ứng dụng
- BJT, JFET, MOSFET
 - Cấu tạo, hoạt động, cách mắc, phân cực
 - Cần xét 1 chiều và xoay chiều

Chú ý: kích thước transistor
- Phần mềm mô phỏng:
 - PSPICE hoặc Workbench



Mô hình mạng 4 cực

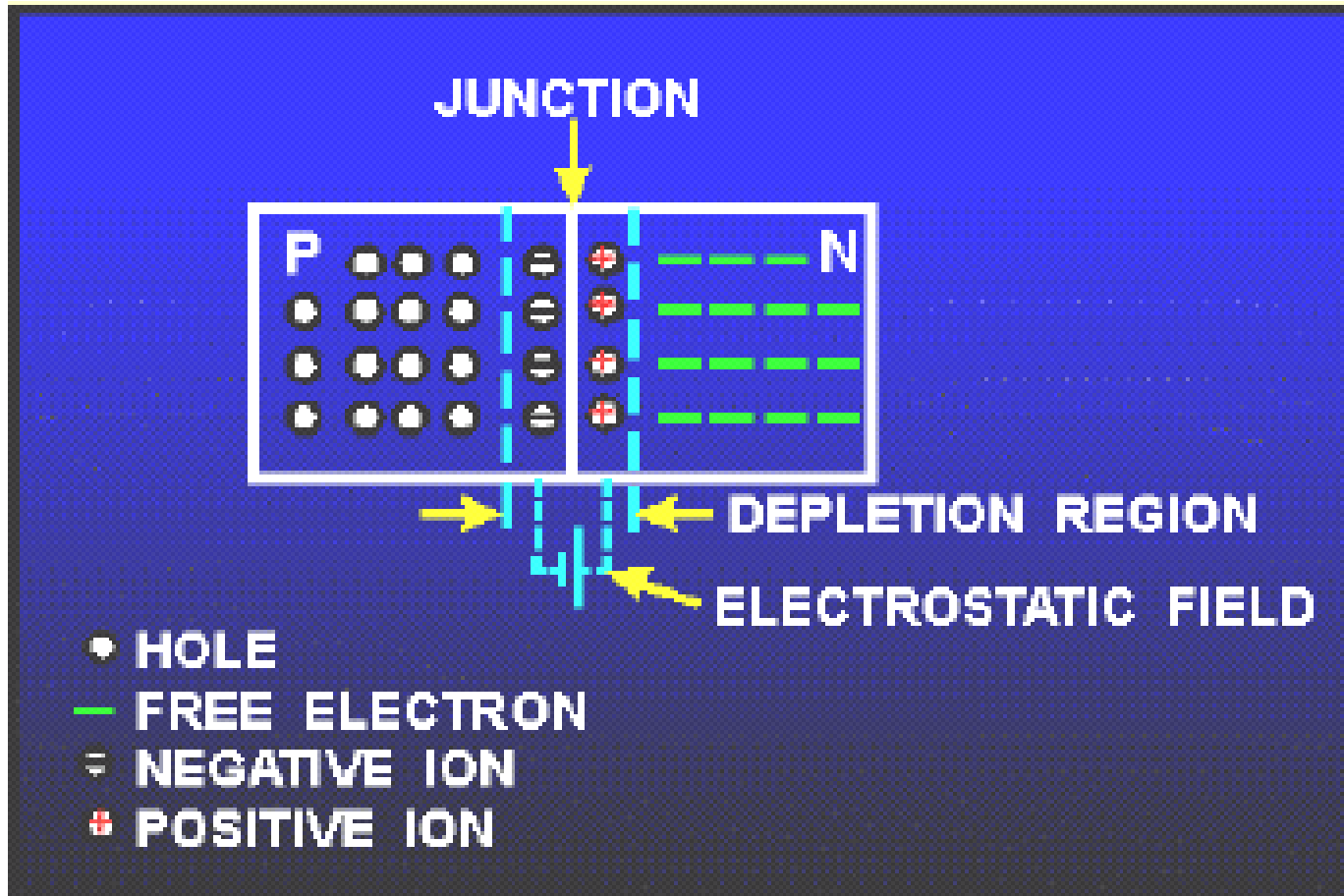
- Hệ số khuếch đại: A, K
 - Dòng và áp vào: I_{in}, V_{in}
 - Dòng và áp ra: I_{out}, V_{out}
 - Trở kháng vào và ra: Z_{in}, Z_{out}
- $\Rightarrow Z_{in}, Z_{out}, K_u, K_i$

Chương 2: Điốt và ứng dụng

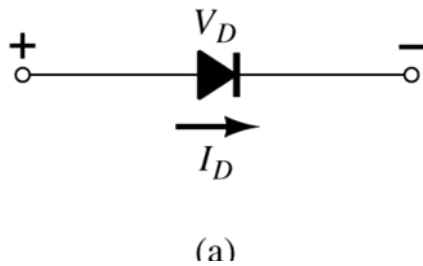


- Điốt – Cấu tạo, hoạt động
- Mạch chỉnh lưu
 - Nửa chu kỳ
 - Cả chu kỳ
 - Mạch cầu
 - Kết hợp với tụ
- Mạch cắt
- Mạch ghim
- Mạch nhân áp
- Điốt Zener và ứng dụng

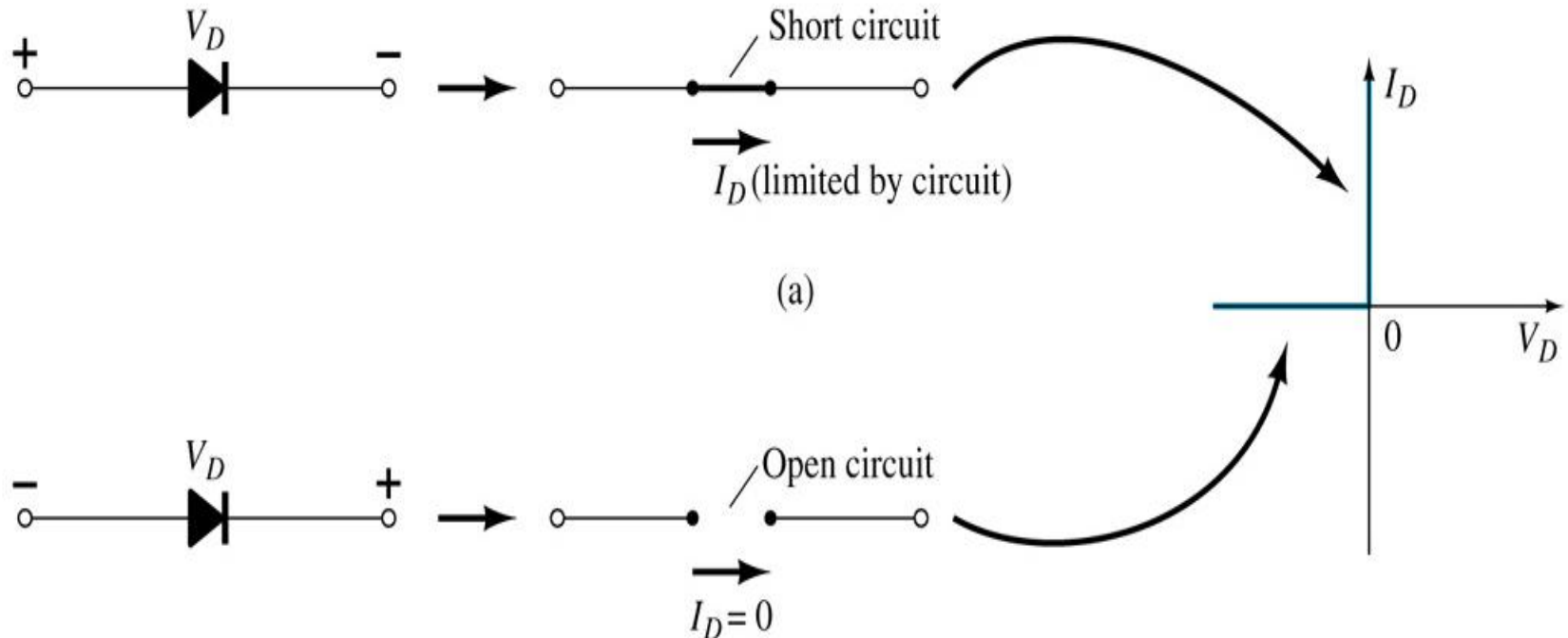
Điốt bán dẫn – Cấu tạo



Điốt bán dẫn



- Linh kiện 2 cực: dẫn điện theo một chiều, ngăn dòng chiều ngược lại



Điốt bán dẫn – Lý tưởng



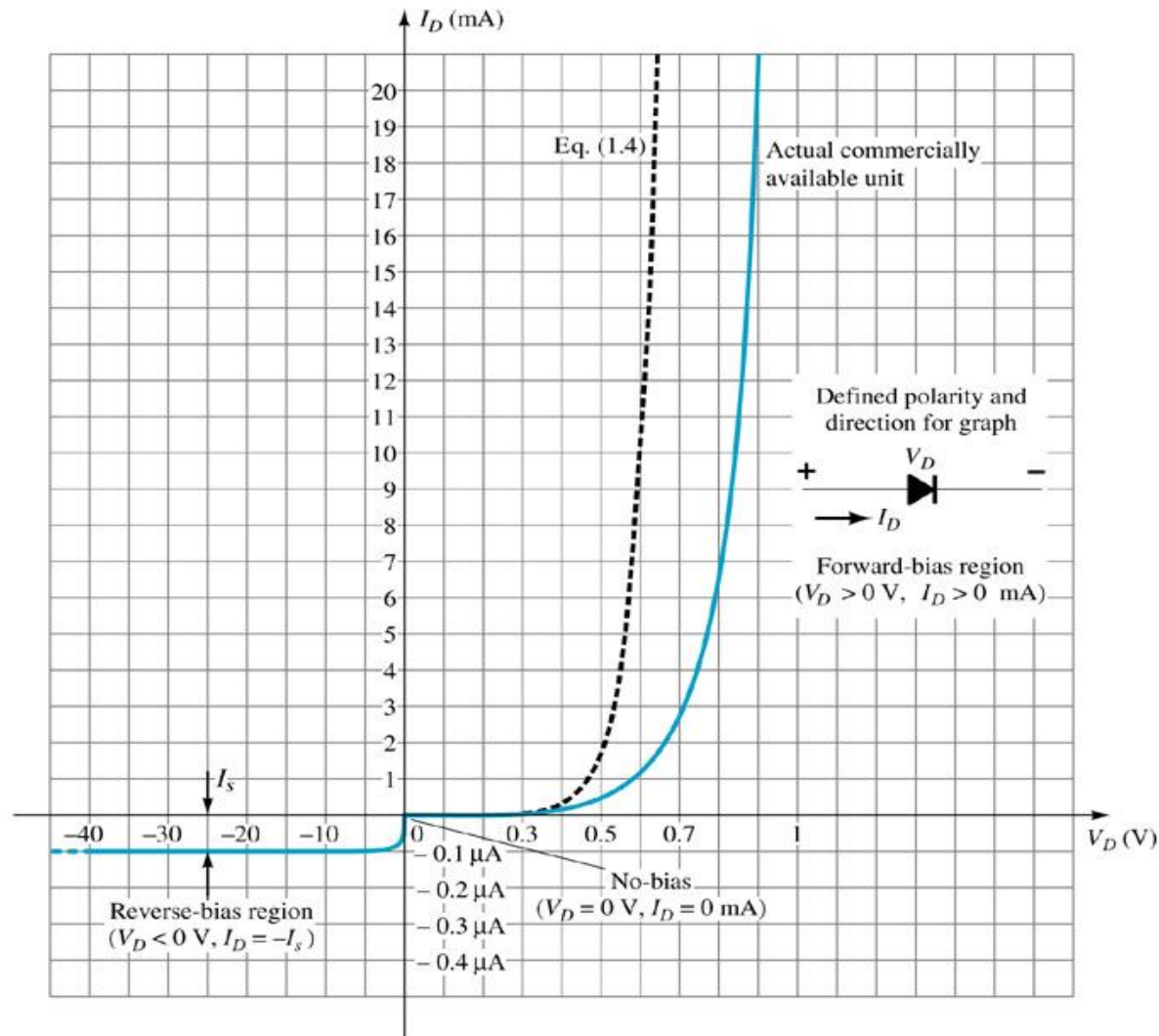
Vùng dẫn

- điện áp qua điốt bằng 0V,
- dòng điện bằng ∞ ,
- điện trở thuận $R_F = V_F/I_F$,
- điốt coi như bị ngắn mạch

Vùng không dẫn

- toàn bộ điện áp đặt vào điốt,
- dòng điện bằng 0A,
- điện trở ngược $R_R = V_R/I_R$,
- điốt coi như hở mạch

Điốt bán dẫn – Thực tế



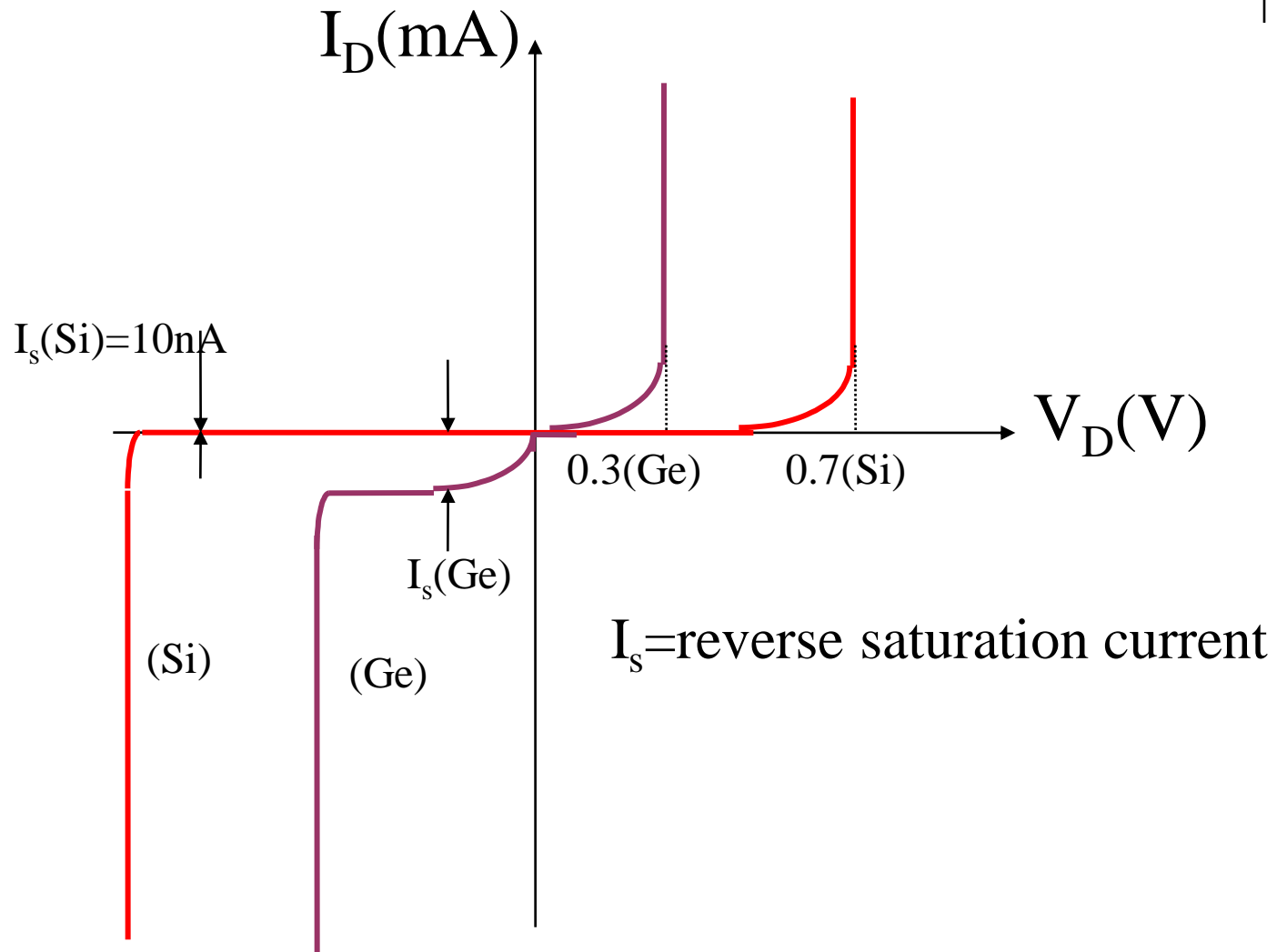
Điốt bán dẫn – Thực tế



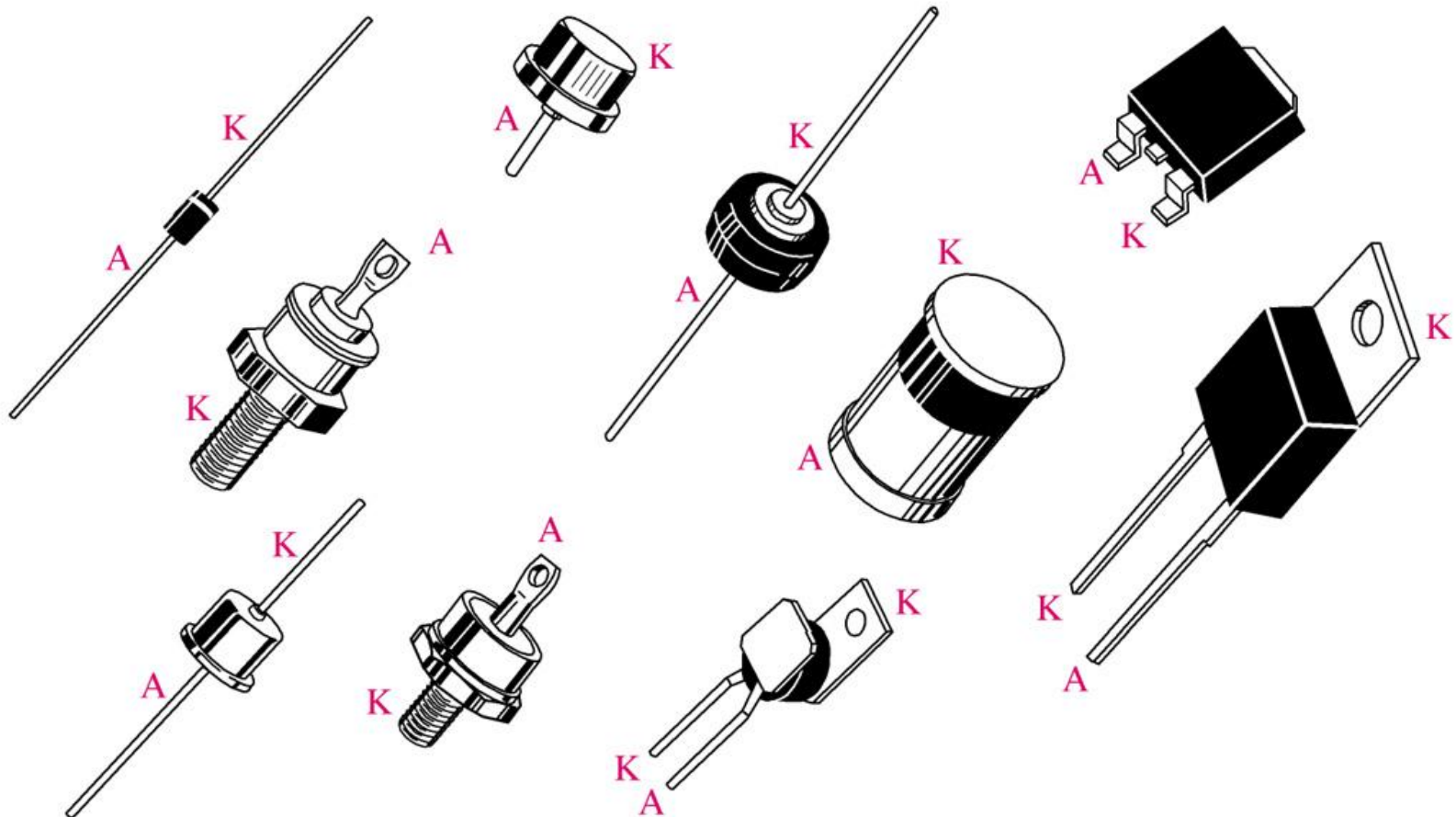
Silicon	Germanium
*PIV ($\approx 1000\text{V}$) lớn hơn	PIV ($\approx 400\text{V}$) nhỏ hơn
Chịu được dòng lớn hơn	Chịu được dòng kém hơn
Khoảng nhiệt độ hoạt động rộng (đến 200°C)	Khoảng nhiệt độ hoạt động hẹp (nhỏ hơn 100°C)
Điện áp phân cực thuận lớn hơn (0.7V)	Điện áp phân cực thuận nhỏ hơn (0.3V)

* PIV - giá trị đỉnh của điện áp ngược

Điốt bán dẫn – Thực tế



Điốt bán dẫn – Thực tế



Điốt bán dẫn – Đo thử



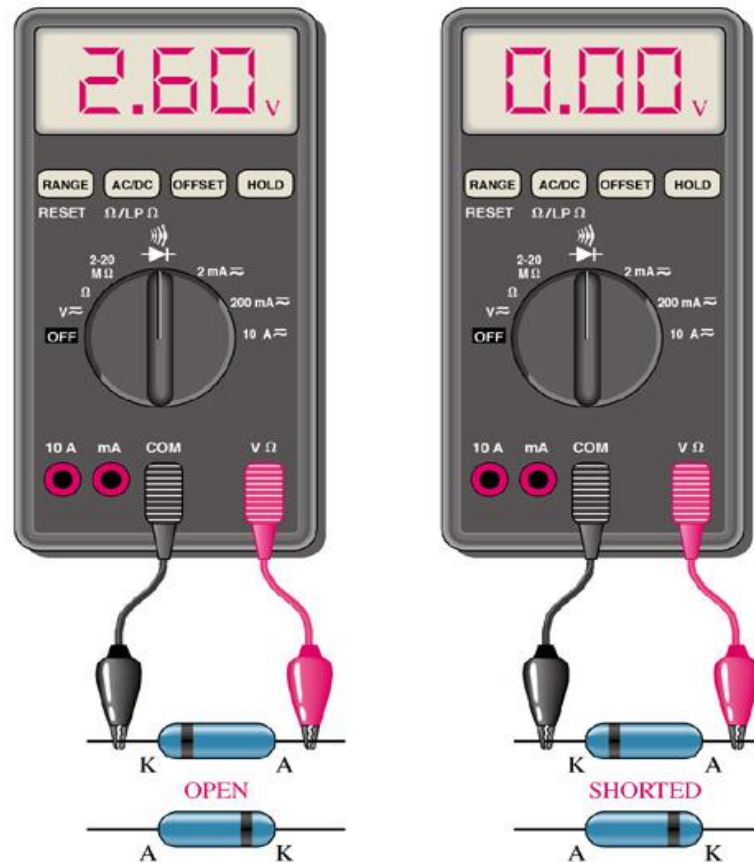
(a) Forward-bias test



(b) Reverse-bias test

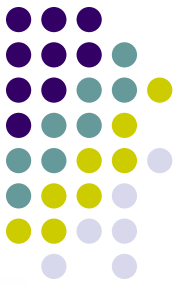


Điốt bán dẫn – Đo thử

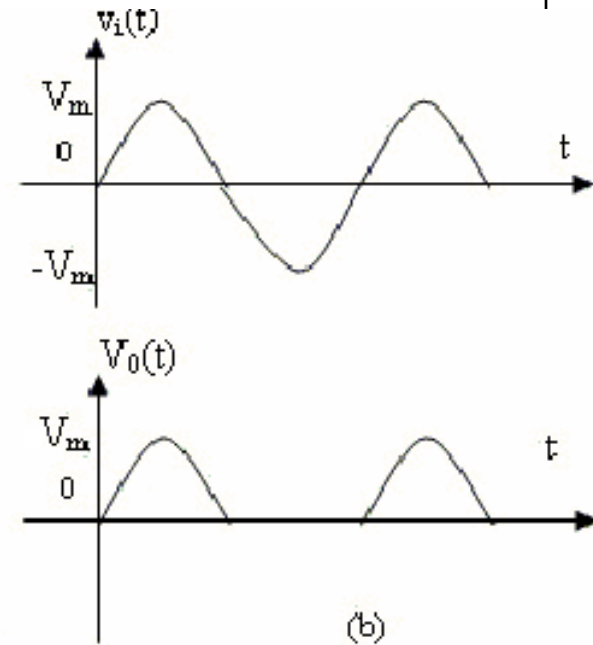
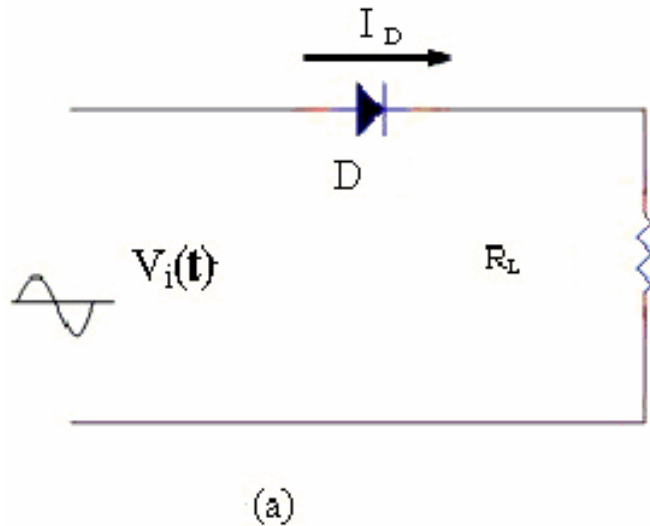


(a) Forward- and reverse-bias tests for an open diode give same indication. Some meters will display "OL."

(b) Forward- and reverse-bias tests for a shorted diode give same 0 V reading. If the diode is resistive, the reading is less than 2.6 V.

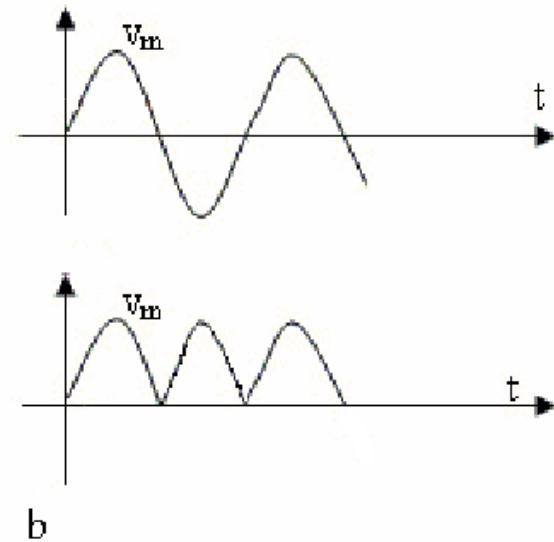
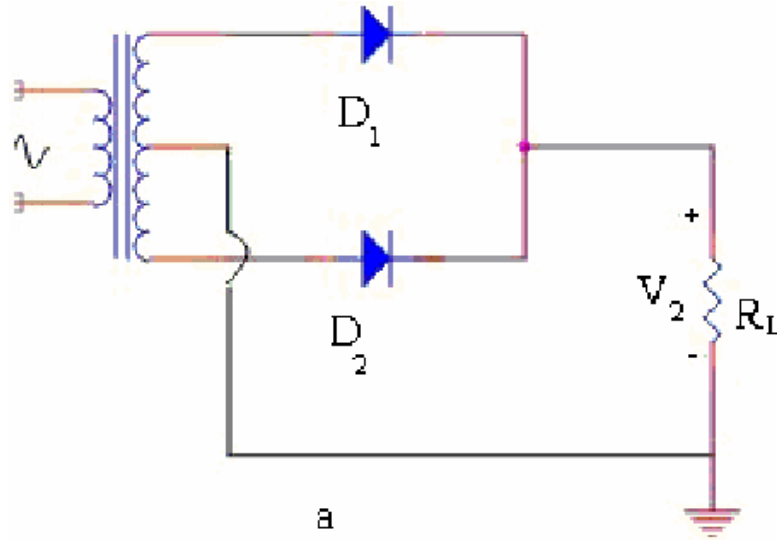


Mạch chỉnh lưu nửa chu kỳ



- $V_i(t) > 0 \Rightarrow D$ đóng
- $V_i(t) < 0 \Rightarrow D$ ngắt

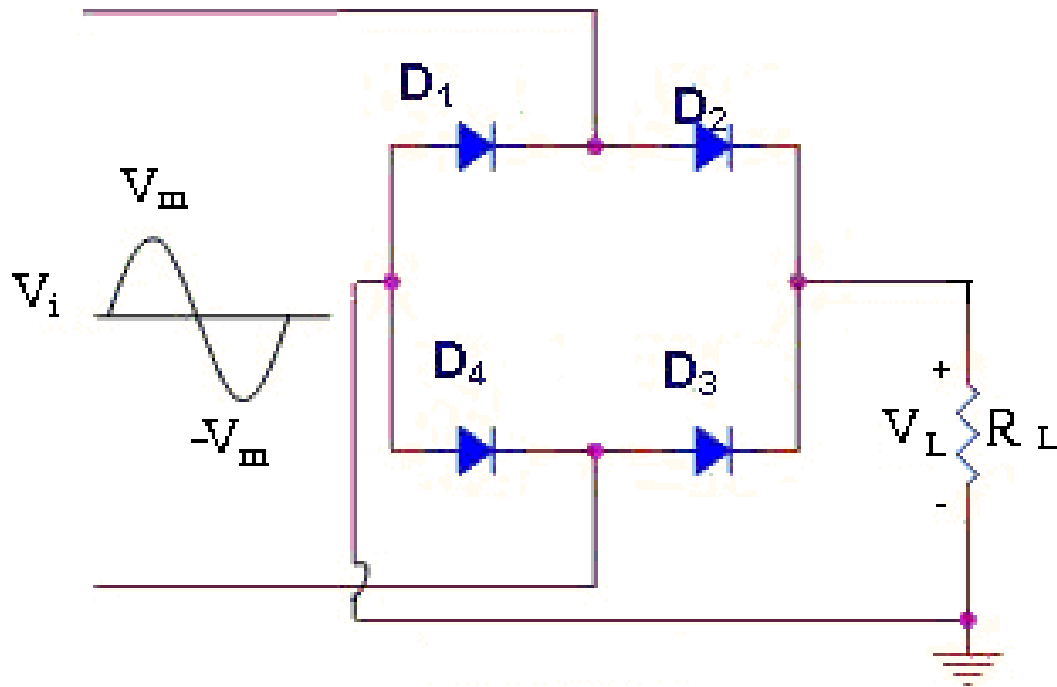
Mạch chỉnh lưu cả chu kỳ



- $V_i > 0 \Rightarrow D_1$ đóng, D_2 ngắt
- $V_i < 0 \Rightarrow D_1$ ngắt, D_2 đóng

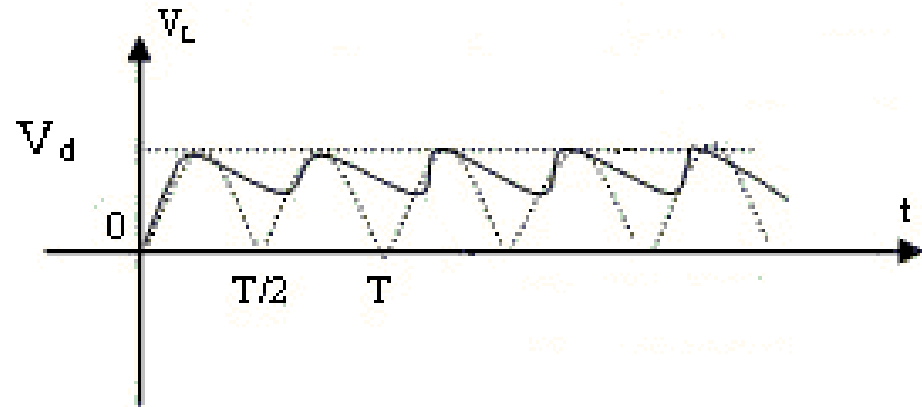
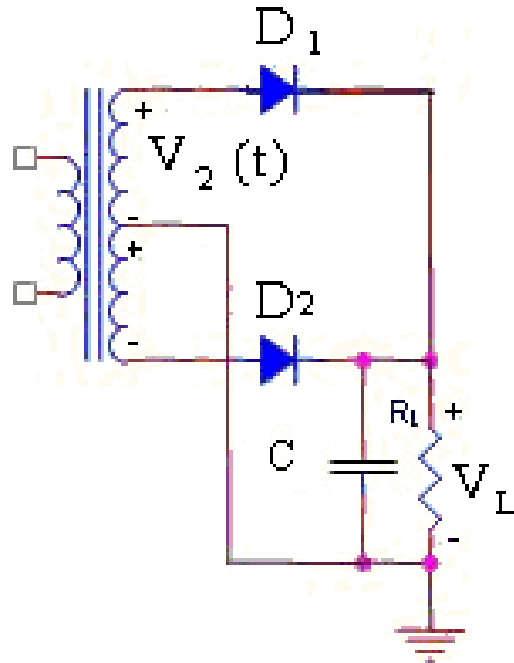


Mạch chỉnh lưu cầu



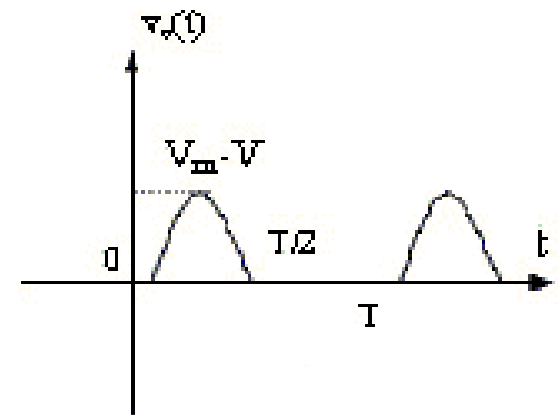
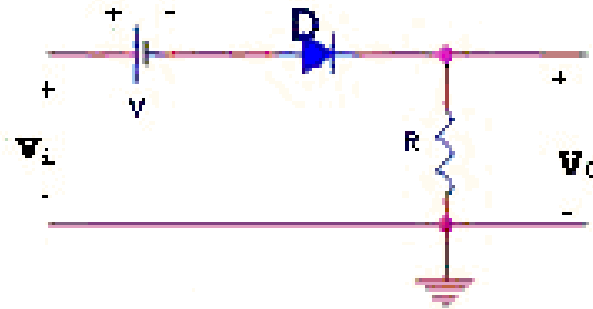
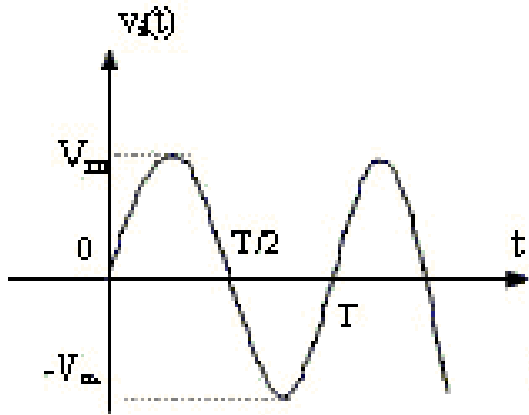
- $V_i > 0 \Rightarrow D_2, D_4$ đóng; D_1, D_3 ngắt
- $V_i < 0 \Rightarrow D_2, D_4$ ngắt; D_1, D_3 đóng

Kết hợp với tụ



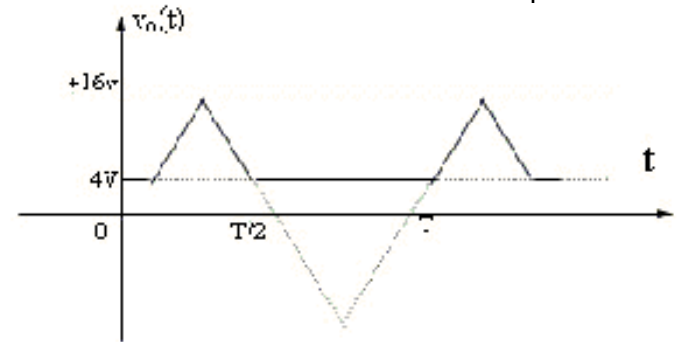
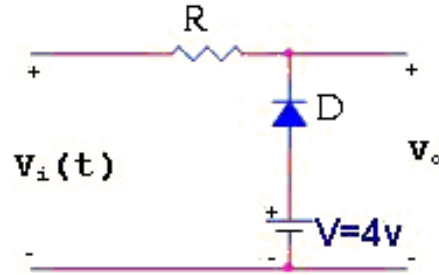
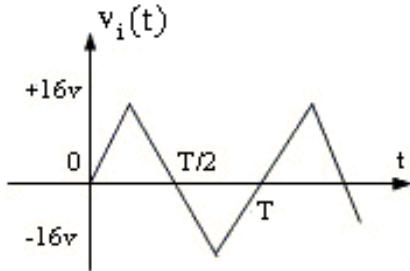
- $V_i > 0 \Rightarrow D1$ đóng, $D2$ ngắt
- $V_i < 0 \Rightarrow D1$ ngắt, $D2$ đóng
- Tụ C có tác dụng làm giảm sự nhấp nháy của tín hiệu ra

Mạch cắt



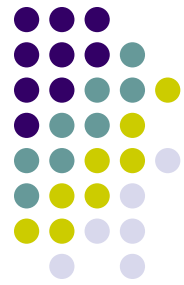
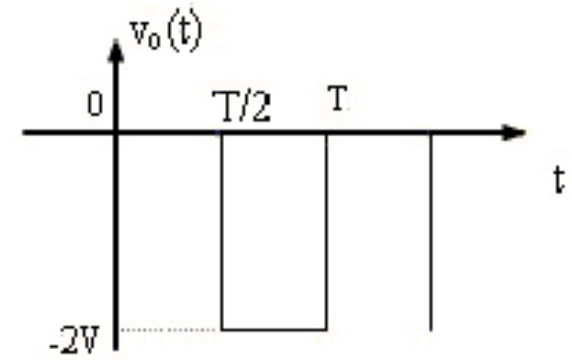
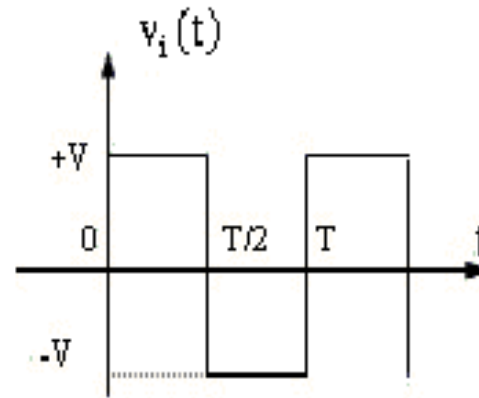
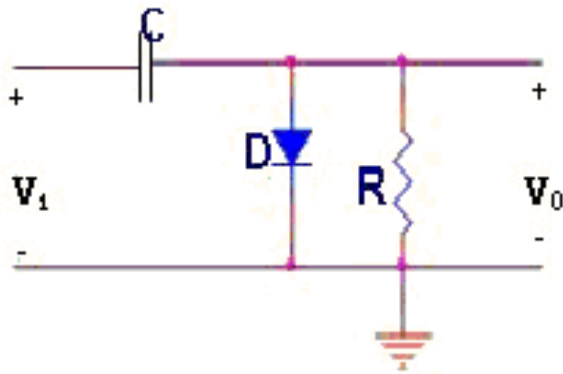
- Nối tiếp hoặc song song
- Nối tiếp:
 - $V_i > V \Rightarrow D \text{ on} \Rightarrow V_o = V_i - V$
 - $V_i < V \Rightarrow D \text{ off} \Rightarrow V_o = 0$

Mạch cắt



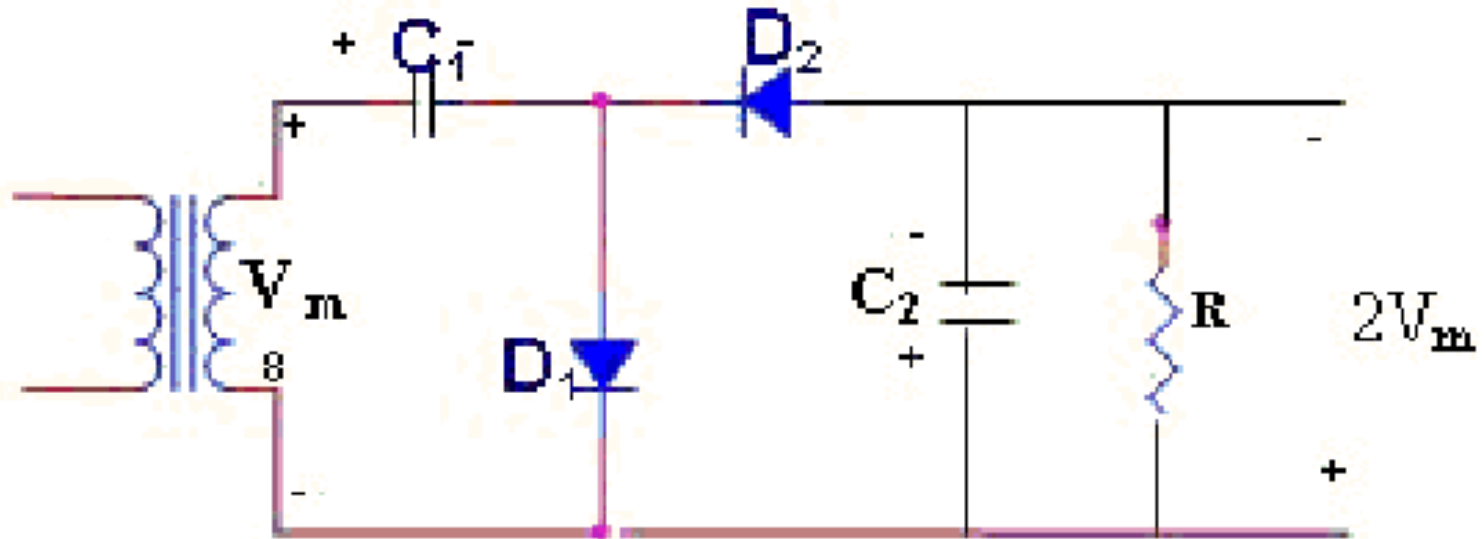
- Song song kết hợp với nguồn ngoài
 - $V_i > 4V \Rightarrow D \text{ off} \Rightarrow V_o = V_i$
 - $V_i < 4V \Rightarrow D \text{ on} \Rightarrow V_o = 4V$

Mạch ghim



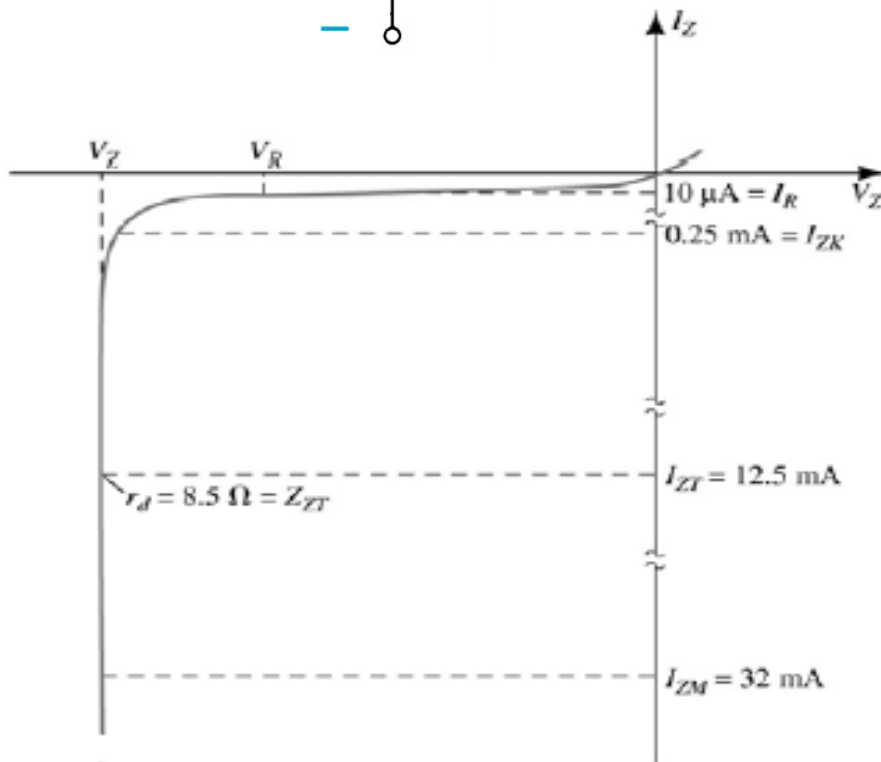
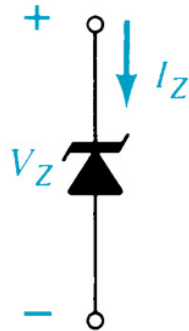
- Dịch mức thành phần một chiều (DC)
- Bắt buộc sử dụng tụ điện kết hợp với điốt

Mạch bội áp



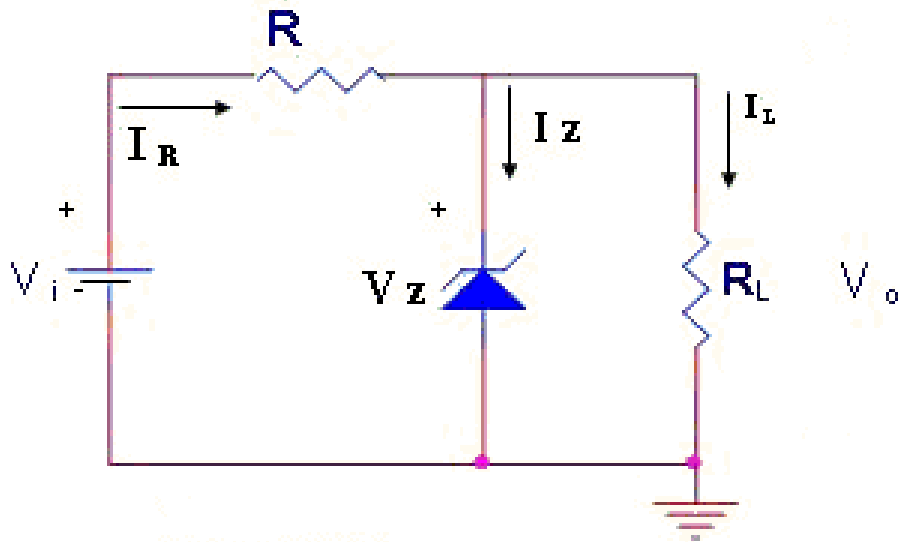
- Nửa chu kỳ dương: D_1 on, D_2 off, $V_{C1} = V_m$
- Nửa chu kỳ âm: D_1 off, D_2 on, $V_{C2} = V_m + V_{C1} = 2V_m$

Điốt Zener



- Phân cực thuận: giống điốt thông thường
- Phân cực ngược:
 - Làm việc trong vùng đánh thủng, tại PIV hay V_Z
 - $V_Z = \text{const}$
- Ứng dụng: luôn làm việc ở chế độ phân cực ngược để tạo điện áp tham chiếu
- $V_Z = 1,8\text{V} \quad 200\text{V}$

Điốt Zener



- $I_R = (V_{in} - V_Z) / R$; $I_L = V_Z / R_L$;
 $P_Z = I_Z * V_Z < P_{Zmax}$
- $V_{in} = \text{const}$, R_L thay đổi:
 $R_{Lmax} > R_L > R_{Lmin}$
 $R_{Lmax} = V_Z / (I_R - I_{Zmax})$
 $R_{Lmin} = R V_Z / (V_i - V_Z)$
- V_{in} thay đổi, $R_L = \text{const}$:
 $V_{imax} > V_i > V_{imin}$
 $V_{imax} = R I_{Rmax} + V_Z$
 $V_{imin} = V_Z (R + R_L) / R_L$

Bài tập



- Chương 2: 1, 5, 6, 10, 11, 15, 21, 23, 24, 27, 30, 34, 37, 42, 47, 49, 52

Chương 3: Mạch khuếch đại tín hiệu nhỏ sử dụng BJT



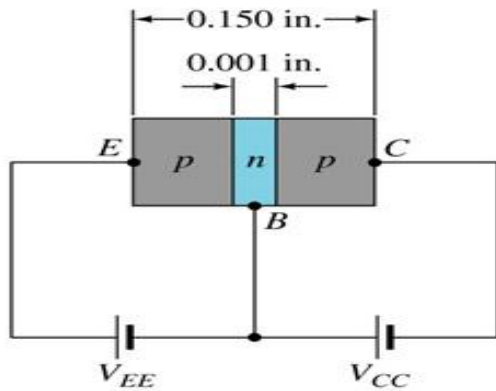
- Nhắc lại kiến thức cơ bản – chương 3,4
- Mạch khuếch đại tín hiệu nhỏ
- Các phương pháp phân tích
 - Dùng sơ đồ tương đương: kiểu tham số hỗn hợp, kiểu mô hình r_e - chương 7
 - Dùng đồ thị - chương 7
- Đặc điểm kỹ thuật
- Các yếu tố ảnh hưởng đến hoạt động
- Ổn định hoạt động



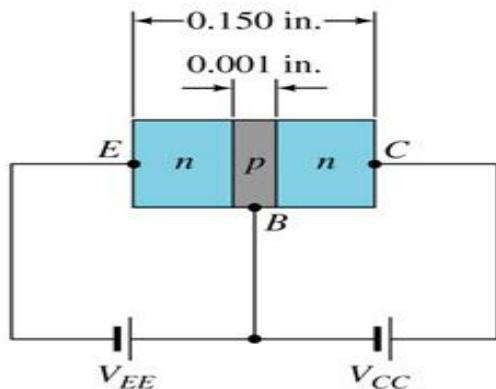
Nhắc lại kiến thức cơ bản

- Cấu trúc và hoạt động
- Các cách mắc mạch
- Định thiên cho bộ khuếch đại làm việc ở chế độ tuyến tính
 - Bằng dòng bazơ cố định
 - Bằng phân áp
 - Bằng hồi tiếp điện áp

Cấu trúc và hoạt động



(a)

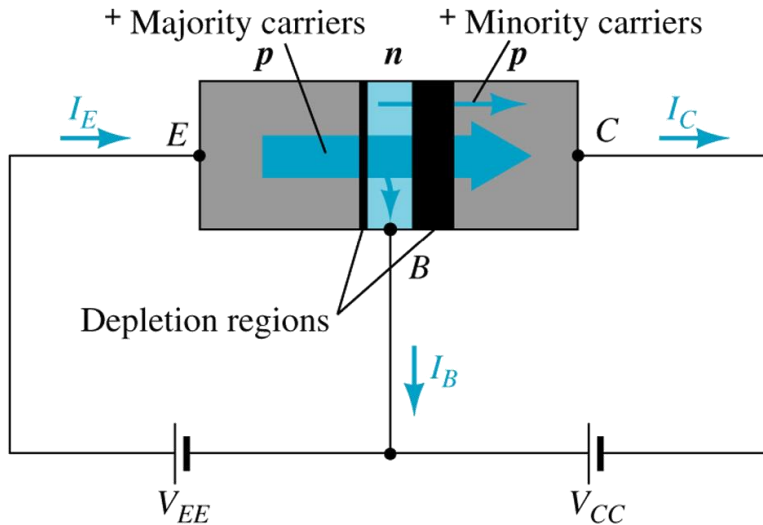


(b)

- Emitơ và colectơ là bán dẫn cùng loại, còn bazơ là bán dẫn khác loại
- Lớp bazơ nằm giữa, và mỏng hơn rất nhiều so với emitơ và colectơ



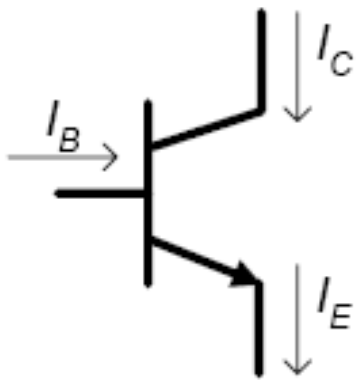
Cấu trúc và hoạt động



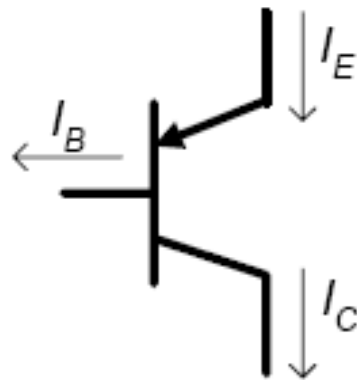
- Tiếp giáp BE phân cực thuận: (e) được tiêm từ miền E vào miền B, tạo thành dòng I_E
- Tiếp giáp BC phân cực ngược: hầu hết các (e) vượt qua miền B để sang miền C, tạo thành dòng I_C
- Một số (e) tái hợp với lỗ trống trong miền B, tạo thành dòng I_B



Cấu trúc và hoạt động



npn



pnp

- Mũi tên đặt tại tiếp giáp BE, với hướng từ bán dẫn loại P sang bán dẫn loại N
- Mũi tên chỉ chiều dòng điện
 - pnp: E->B
 - npn: B->E



Tham số kỹ thuật

- $I_E = I_C + I_B$
- $I_C = \beta I_B$
- $\beta = 100 \quad 200$ (có thể lớn hơn)
- $I_C = \alpha I_E + I_{CBO}$
- $I_C \approx \alpha I_E$ (bỏ qua I_{CBO} vì rất nhỏ)
- $\alpha = 0.9 \quad 0.998$.

β là hệ số khuếch đại dòng điện

α là hệ số truyền đạt dòng điện

$$\alpha = \frac{\beta}{\beta + 1}$$

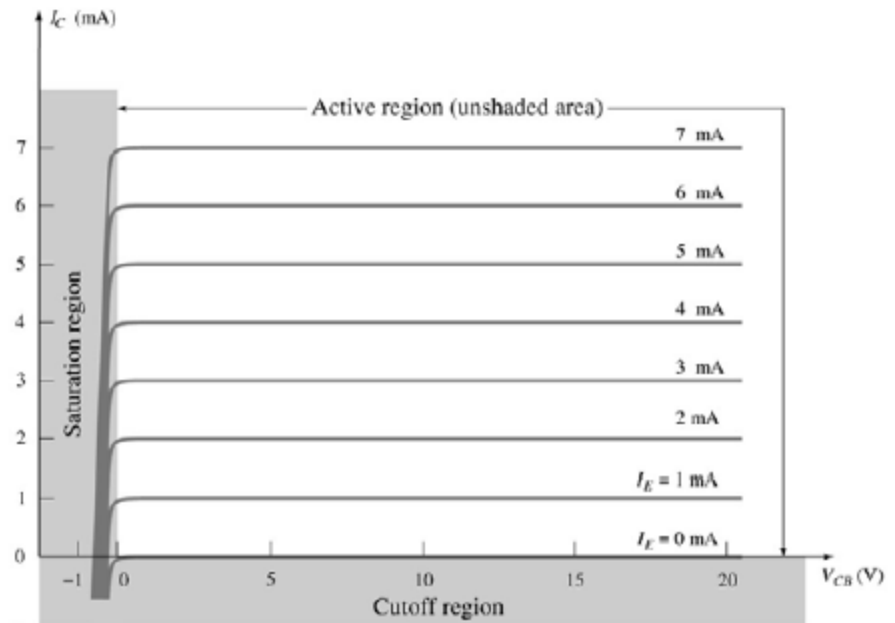
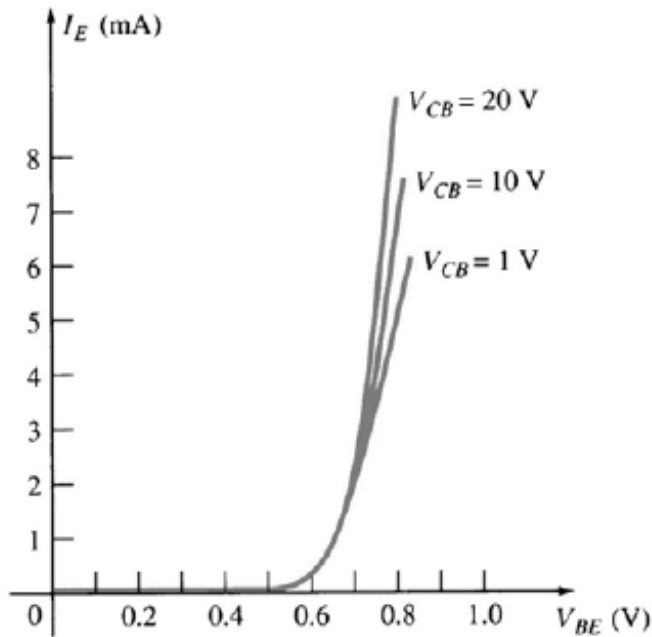


Cách mắc mạch

- Có 3 cách mắc mạch (hoặc gọi là cấu hình)
 - CB (chung bazơ)
 - CE (chung emitter)
 - CC (chung collector)
- Cấu hình được phân biệt bởi cực nào được nối với đầu vào và đầu ra

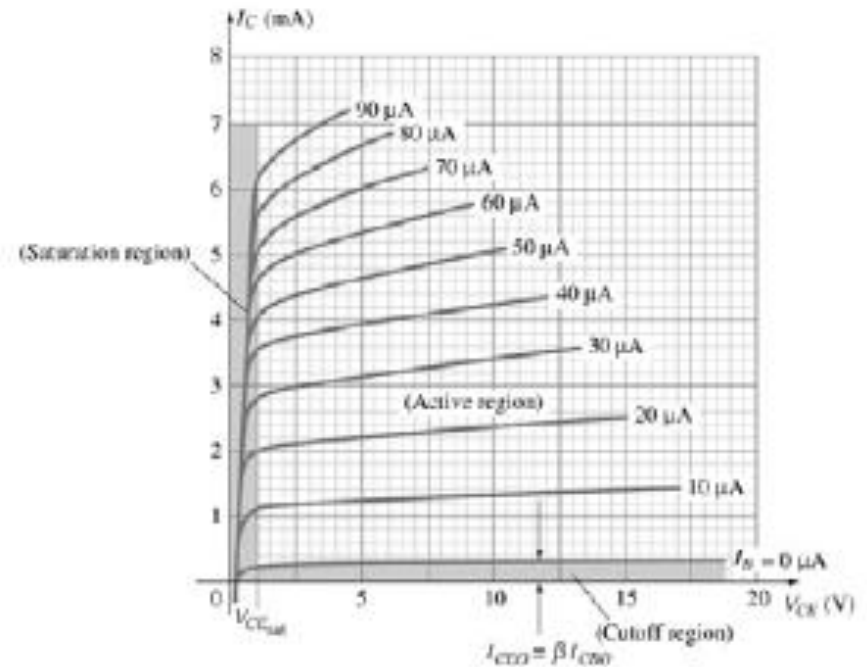
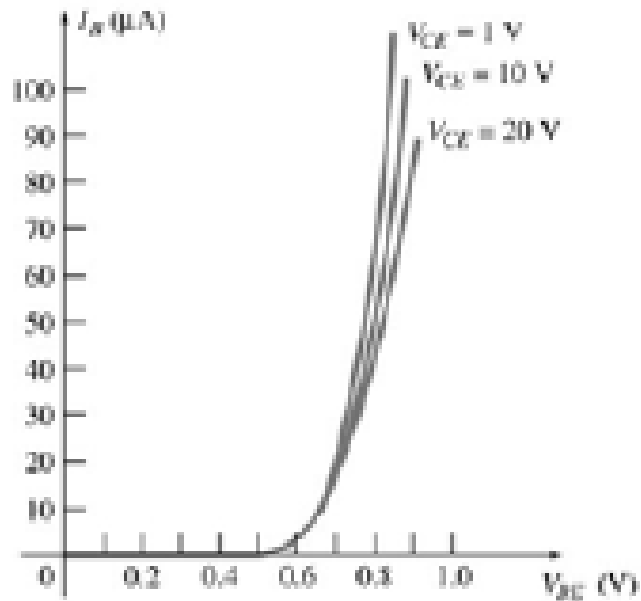
Configuration	Input terminal	Output terminal
CB	E	C
CE	B	C
CC	B	E

Đặc tuyến



- Đặc tuyến vào và ra kiểu mắc chung B (CB)

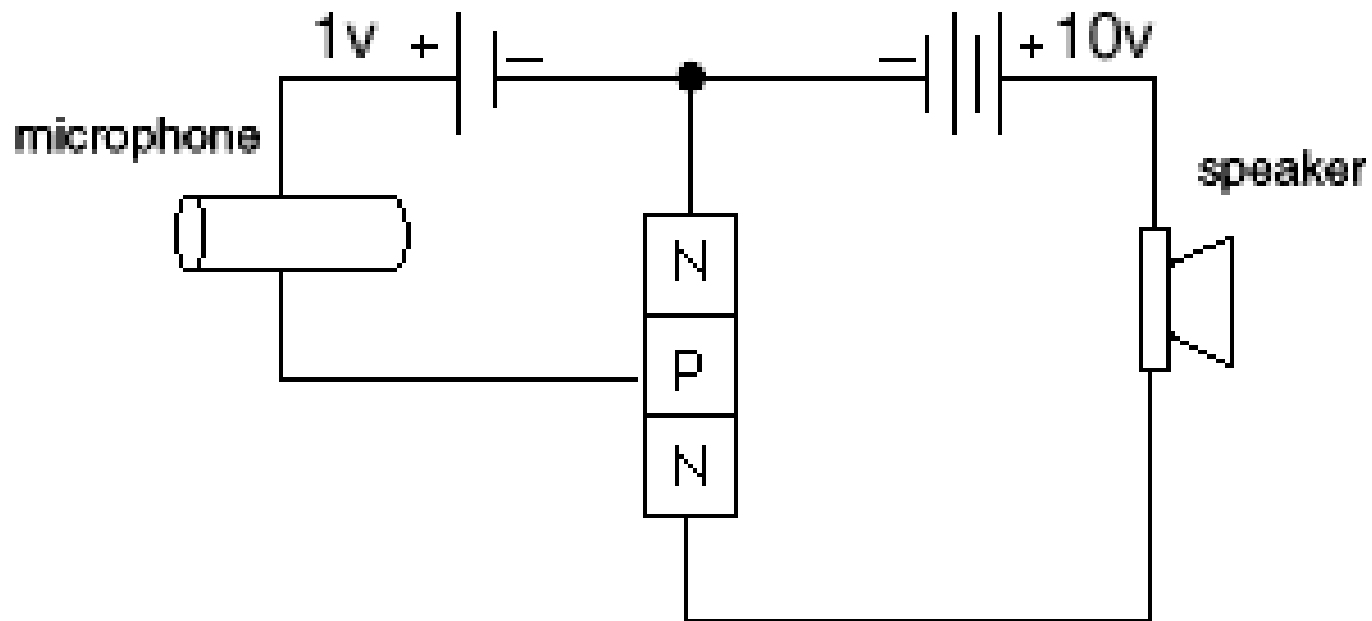
Đặc tuyến



- Đặc tuyến vào và ra kiểu mắc chung E (CE)



Sự khuếch đại trong BJT





Phân cực cho BJT

- Để có thể khuếch đại tín hiệu, BJT cần được “đặt” ở vùng tích cực (vùng cắt và vùng bão hòa được dùng trong chế độ chuyển mạch)
- ⇒ tiếp giáp BE phân cực thuận, tiếp giáp BC phân cực ngược
- Phân cực: thiết lập điện áp, dòng điện một chiều theo yêu cầu
 - NPN: $V_E < V_B < V_C$
 - PNP: $V_E > V_B > V_C$



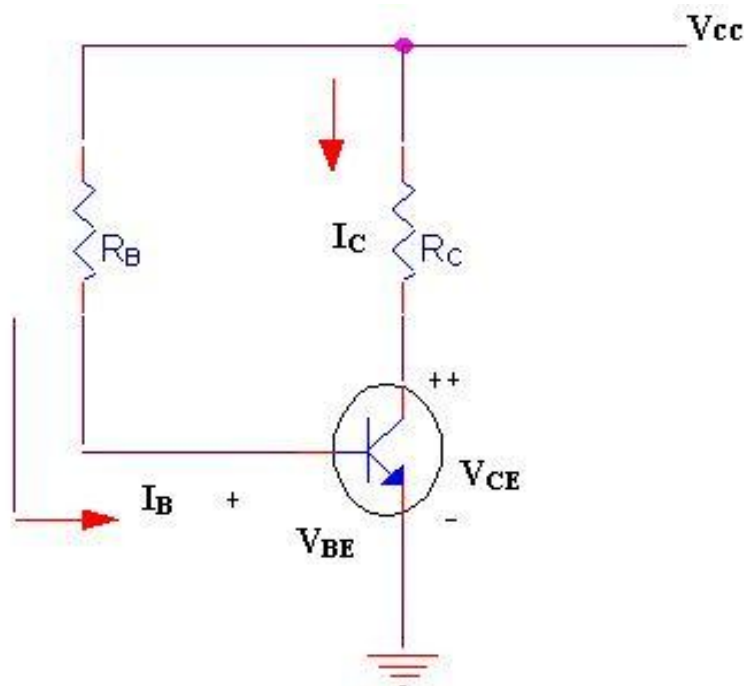
Phân cực cho BJT

- Chú ý: các tham số kỹ thuật và mối liên hệ

$$V_{BE} \approx 0,6 \quad 0,7V \text{ (Si)} ; 0,2 \quad 0,3 \text{ (Ge)}$$

$$I_E = I_C + I_B \quad I_C = \beta I_B \quad I_C \approx \alpha I_E$$

Mạch phân cực bằng dòng bazơ cố định



Vòng BE:

$$V_{CC} - I_B R_B - U_{BE} = 0$$

$$\Rightarrow I_B = (V_{CC} - U_{BE}) / R_B$$

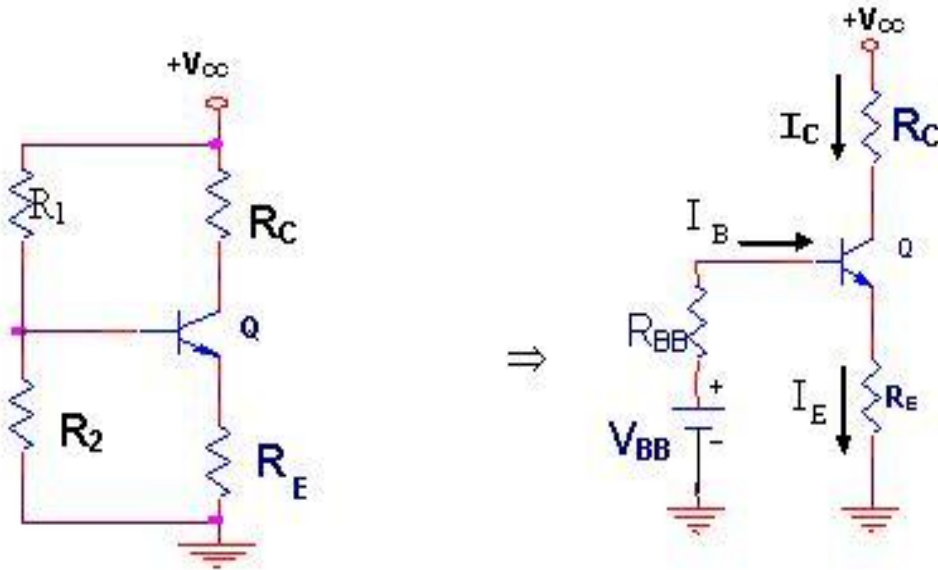
$$I_C = \beta * I_B$$

Vòng CE :

$$\Rightarrow U_{CE} = V_{CC} - I_C R_C$$

Đơn giản nhưng không ổn định

Mạch phân cực bằng bộ phân áp



Dòng và áp không phụ thuộc β

Thevenin:

$$R_{BB} = R_1 // R_2$$

$$E_{BB} = R_2 V_{CC} / (R_1 + R_2)$$

⇒ Tương đương mạch phân cực bằng dòng bazơ

Tính toán xấp xỉ:

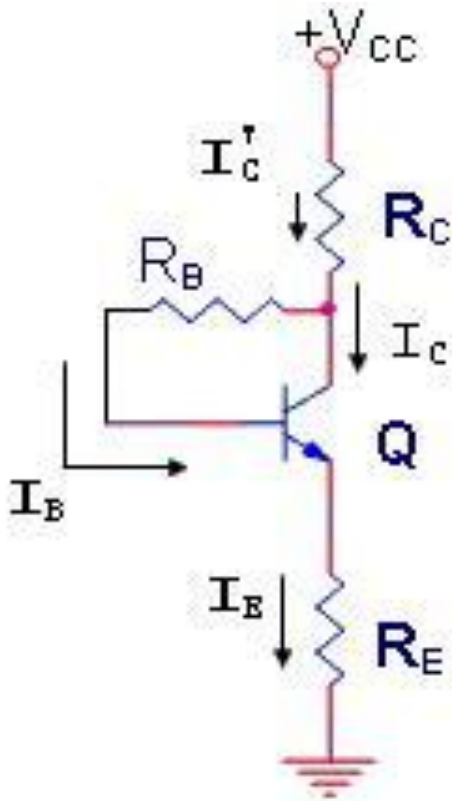
$$\text{Nếu } \beta * R_E \geq 10R_2 \rightarrow I_2 \approx I_1$$

$$\Rightarrow V_B = R_2 * V_{CC} / (R_1 + R_2)$$

$$\Rightarrow V_E = V_B - U_{BE} \Rightarrow I_C \approx I_E = V_E / R_E$$

$$\Rightarrow U_{CE} = V_{CC} - I_C (R_C + R_E)$$

Mạch phân cực bằng điện áp hồi tiếp



Vòng BE:

$$V_{CC} - I'_C R_C - I_B R_B - U_{BE} - I_E R_E = 0$$

$$I_B = (V_{CC} - U_{BE}) / (R_B + \beta(R_C + R_E))$$

với $I'_C \approx I_C$

Vòng CE:

$$U_{CE} = V_{CC} - I_C(R_C + R_E)$$

Độ ổn định tương đối tốt



Mạch khuếch đại tín hiệu nhỏ

- Tín hiệu nhỏ:
 - Không có giới hạn chính xác, phụ thuộc tương quan giữa tín hiệu vào và tham số linh kiện
 - Vùng làm việc được coi là tuyến tính
- Khuếch đại xoay chiều:
 - $P_{in} > P_{out}$
- Mô hình BJT:
 - Mô hình là 1 mạch điện tử miêu tả xấp xỉ hoạt động của thiết bị trong vùng làm việc đang xét
 - Khuếch đại BJT tín hiệu nhỏ được coi là tuyến tính cho hầu hết các ứng dụng



Các phương pháp phân tích

- Mạch KĐ dùng BJT được coi là tuyến tính
=> có thể sử dụng nguyên lý xếp chồng
- Phân tích dựa trên các sơ đồ tương đương:
 - Sơ đồ tương đương tham số hỗn hợp H
 - Sơ đồ tương đương tham số dẫn nạp Y
 - Sơ đồ tương đương mô hình r_e
- Phân tích bằng đồ thị



Các phương pháp phân tích

Tham số vật lý của BJT

1) $\beta_{ac} = i_c/i_b \mid U_{ce} = \text{const}$

Xấp xỉ theo tỷ lệ dòng 1 chiều: $\beta = I_c/I_b$

2) $\alpha = i_c/i_e \mid U_{cb} = \text{const}$

3) $r_e = u_{be}/i_e \mid U_{ce} = \text{const}$

điện trở emitter được coi như là điện trở động của điốt, $r_e = 0.026/I_E(\Omega)$, trong đó I_E là dòng DC

4) $r_c = u_{cb}/i_c \mid I_e = \text{const}$

điện trở collector rất lớn, khoảng vài $M\Omega$

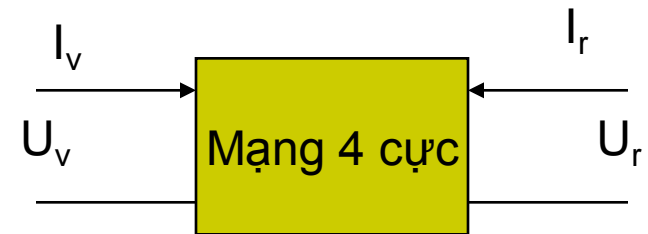
5) $r_b = 0$



Các phương pháp phân tích

Sơ đồ tương đương hỗn hợp H

- Công thức mạng 4 cực:
$$U_v = h_{11}I_v + h_{12}U_r$$
$$I_r = h_{21}I_v + h_{22}U_r$$
- Giá trị các tham số được xác định tại một điểm làm việc danh định (có thể không phải điểm Q thực tế)
- Chỉ số e (hoặc b, c) cho các cấu trúc CE (hoặc CB, CC)





Các phương pháp phân tích

Sơ đồ tương đương hỗn hợp H

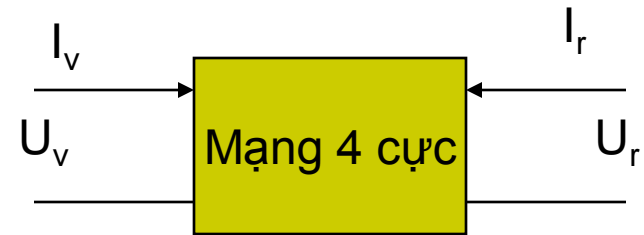
Tham số	EC	BC	CC
$h_{11} (h_i)$	1k Ω	20 Ω	1k Ω
$h_{12} (h_r)$	2,5x10 ⁻⁴	3x10 ⁻⁴	≈ 1
$h_{21} (h_f)$	50	-0,98	-50
$h_{22} (h_o)$	25 μ A/V	0,5 μ A/V	25 μ A/V
1/ h_{22}	40k Ω	2M Ω	40k Ω



Các phương pháp phân tích

Sơ đồ tương đương dẫn nạp Y

- Công thức mạng 4 cực:
$$I_v = y_{11}U_v + y_{12}U_r$$
$$I_r = y_{21}U_v + y_{22}U_r$$
- Chỉ số e (hoặc b, c) cho các cấu trúc CE (hoặc CB, CC)
- Bảng khoảng giá trị tham khảo trong sách





Các phương pháp phân tích

Sơ đồ tương đương mô hình r_e

Mô hình hoá BJT bằng một điốt và nguồn dòng điều khiển được, đưa vào cấu trúc mạng 4 cực

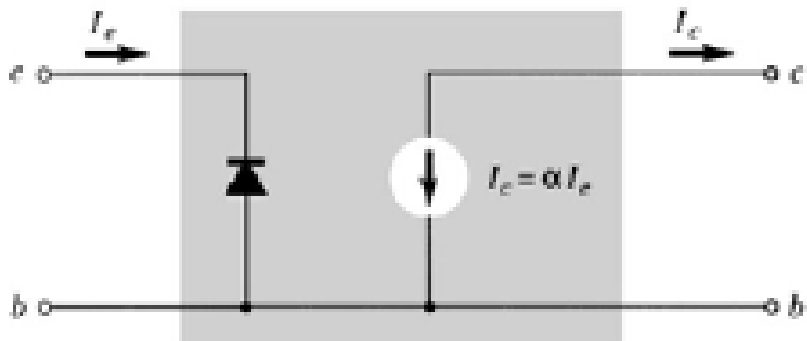
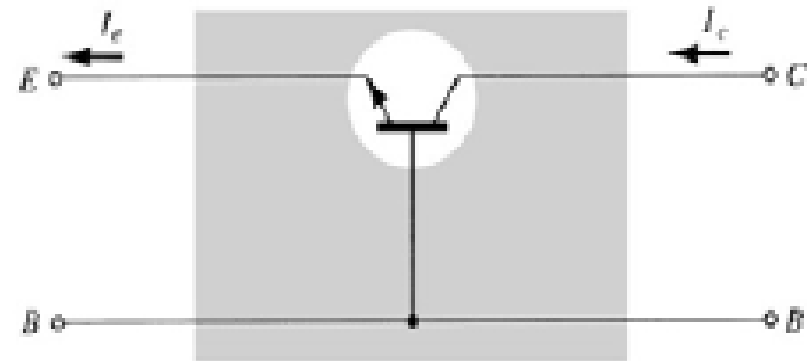
Trong đó:

- ✓ Đầu vào: tiếp giáp BE (phân cực thuận) làm việc như 1 điốt
- ✓ Đầu ra: nguồn dòng điều khiển được, với dòng điều khiển là dòng vào, mô tả liên hệ $I_c = \beta I_b$ hoặc $I_c = \alpha I_e$.

Các loại: CE, CC, CB

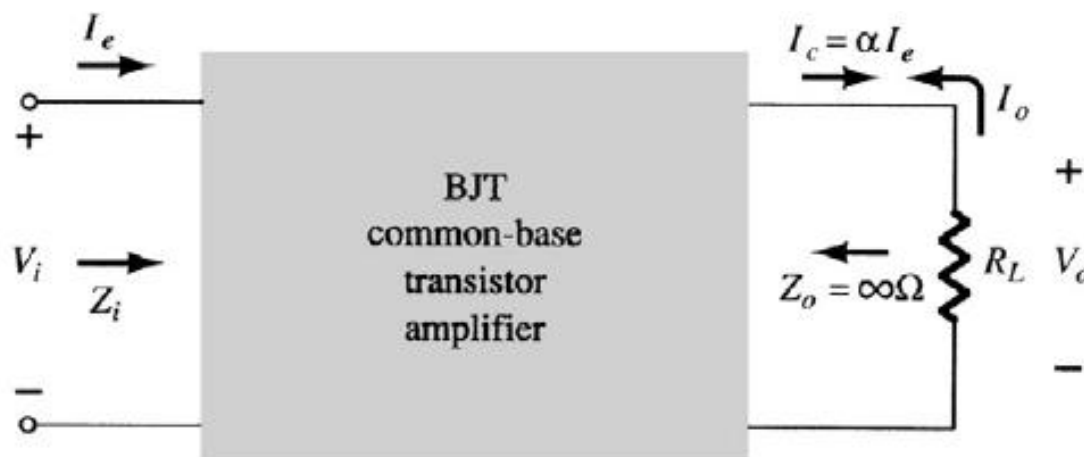
Sơ đồ tương đương mô hình r_e

Cấu hình CB



- Chung B giữa đầu vào và đầu ra
- Đầu vào: r_e là điện trở xoay chiều của 1 điốt:
 $r_e = 26\text{mV}/I_E$
- Cách ly giữa đầu vào và đầu ra
- Đầu ra: dòng điều khiển I_e , $I_c = \alpha I_e$

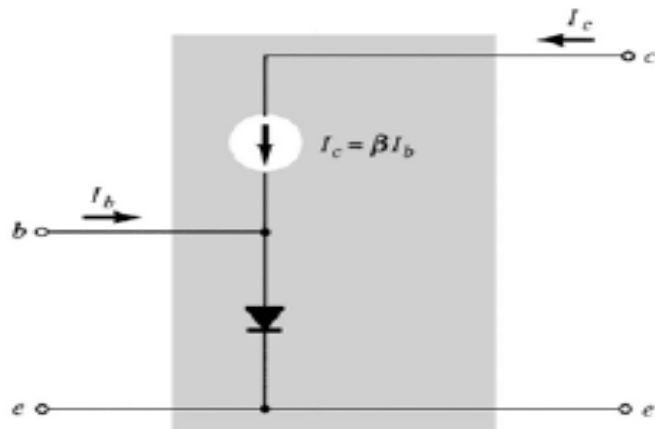
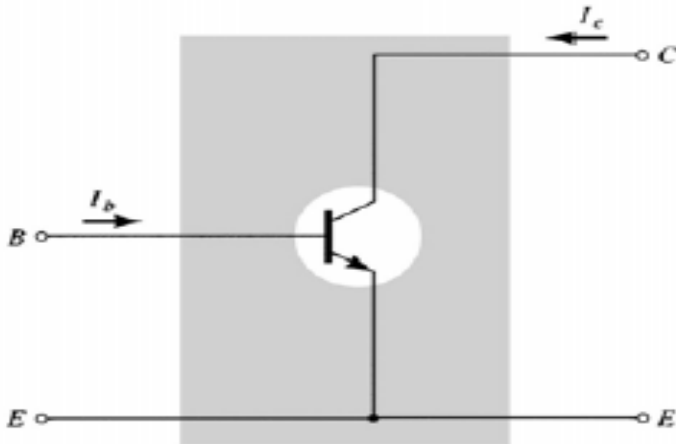
Sơ đồ tương đương mô hình r_e Cấu hình CB



- 1) $Z_i = r_e$ (n Ω -50 Ω)
- 2) $Z_o = r_o \approx \infty$ (nM Ω) với Z_o là độ dốc của đường đặc tuyến ra. $Z_o = \infty$ nếu đường này nằm ngang
- 3) $A_v = \alpha R_L / r_e \approx R_L / r_e$ tương đối lớn, U_o & U_i đồng pha
- 4) $A_i = -\alpha \approx 1$

Sơ đồ tương đương mô hình r_e

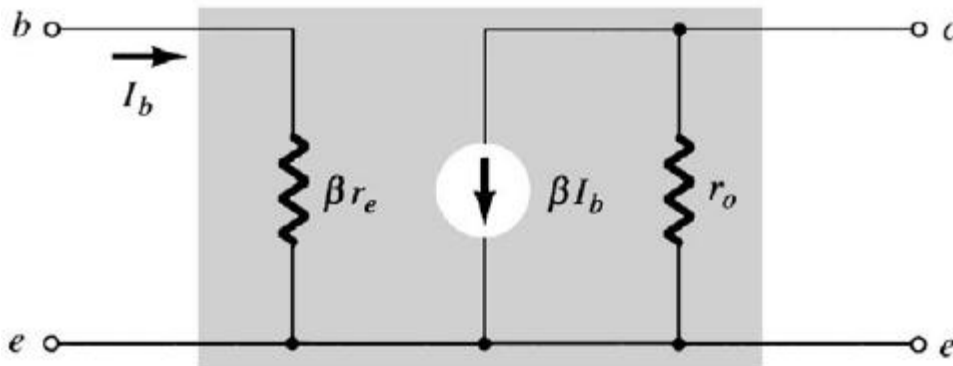
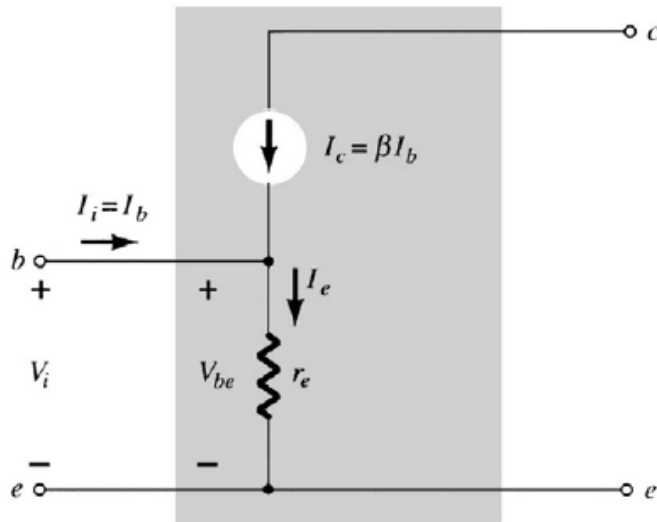
Cấu hình CE



- Chung E giữa vào và ra
- Đầu vào: 1 điốt tương đương, với $r_e =$ điện trở xoay chiều của điốt
- Đầu ra: nguồn dòng điều khiển $I_c = \beta I_b$



Sơ đồ tương đương mô hình r_e Cấu hình CE



- $Z_i = U_{be}/I_b \approx \beta I_b r_e / I_b \approx \beta r_e$

Khoảng n100Ω - nKΩ

- $Z_o = r_o \approx \infty$

(không được đưa vào trong mô hình r_e)

Xác định từ phân tích đặc tuyến ra: $r_o = 40-50K\Omega$

- $A_v = - R_L / r_e$ ($r_o = \infty$)

- $A_i = I_c / I_b = \beta$

Sơ đồ có Z_i, Z_o trung bình; A_v, A_i lớn

Sơ đồ tương đương mô hình r_e

Cấu hình CC



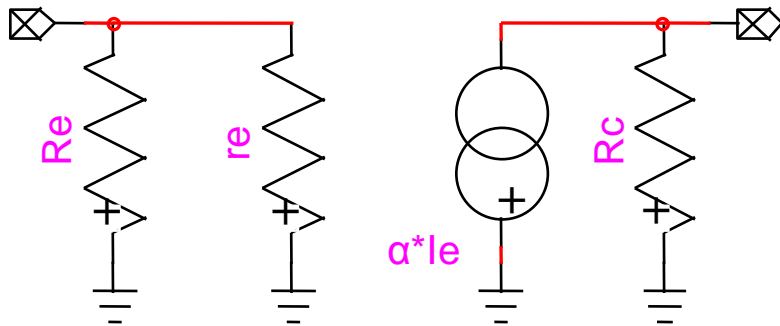
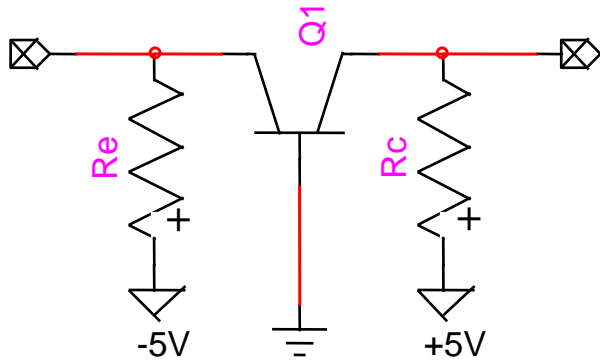
- Sơ đồ giống cấu hình CE
 - Tham khảo sách Electronic Devices and Circuit theory



So sánh mô hình tương đương

<i>Mô hình tham số H</i>	<i>Mô hình r_e</i>
Cố định. Không biến đổi theo điểm làm việc	Có biến đổi theo điểm làm việc
Có xét đến tín hiệu hồi tiếp	Bỏ qua tín hiệu hồi tiếp
Có xét đến điện trở ra	Bỏ qua điện trở ra

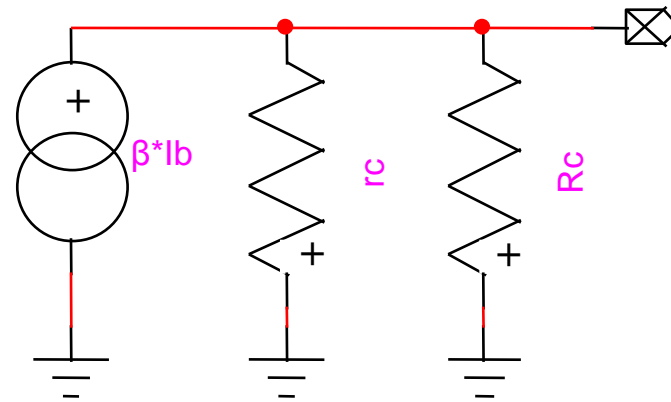
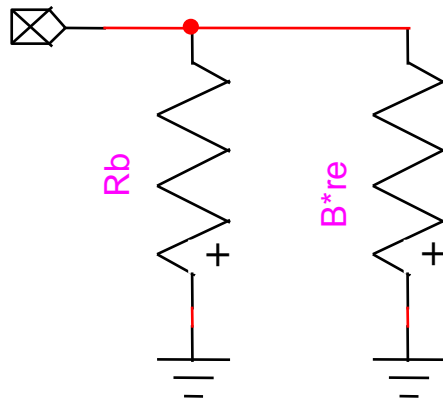
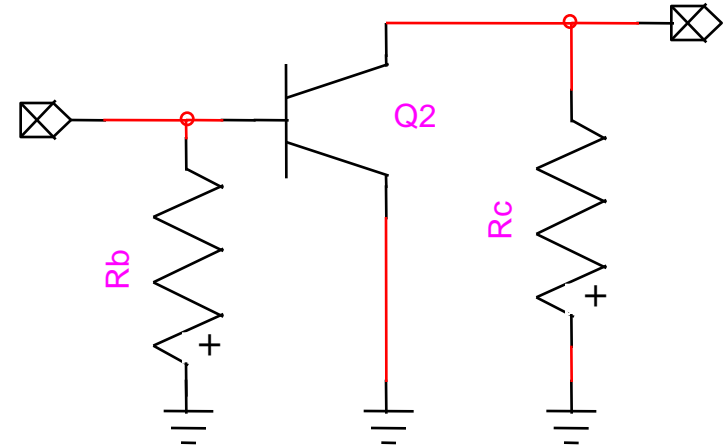
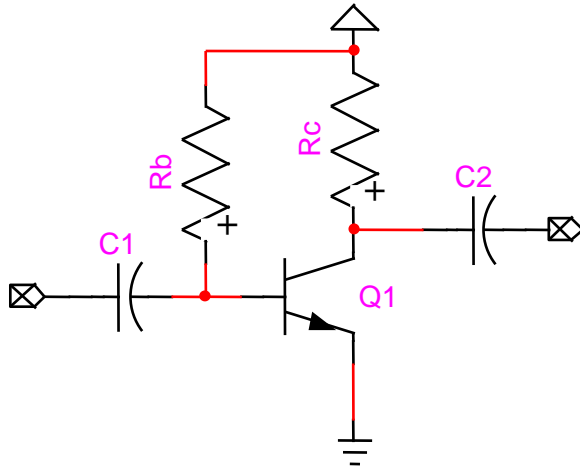
Phân tích một số sơ đồ Cấu hình CB



- 1) $Z_i = R_e \parallel r_e$
Trở kháng vào tương đối nhỏ
- 2) $Z_o = R_c$
Trở kháng ra lớn
- 3) $A_v = \alpha R_c / r_e \approx R_c / r_e$
Tương đối lớn
 U_i & U_o cùng pha
- 4) $A_i = -\alpha \approx -1$

Phân tích một số sơ đồ

Cấu hình CE phân cực cố định





Phân tích một số sơ đồ

Cấu hình CE phân cực cố định

1) $Z_i = R_b \parallel \beta r_e$ nếu $R_b \geq 10\beta r_e$, $Z_i \approx \beta r_e$

2) $Z_o = R_c \parallel r_o$ nếu $r_o \geq 10R_c$, $Z_o \approx R_c$

3) $A_v = - (R_c \parallel r_o) / r_e \approx - R_c / r_e$

(β không xuất hiện tuy nhiên vẫn cần để xác định r_e)

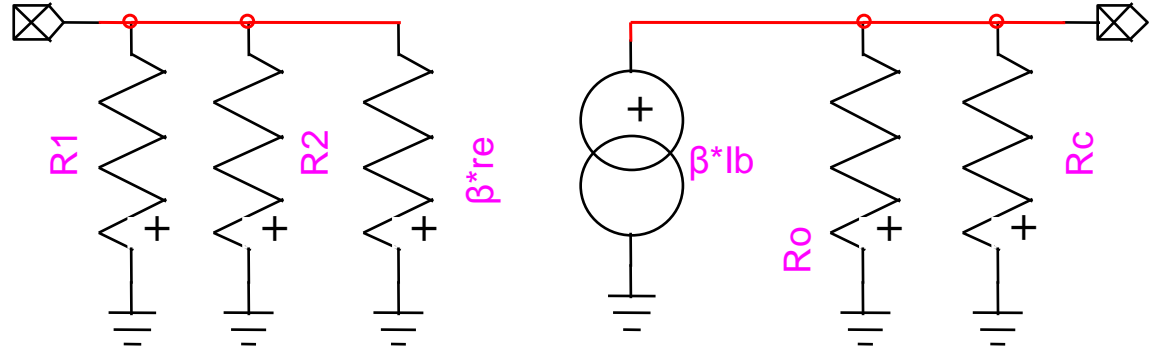
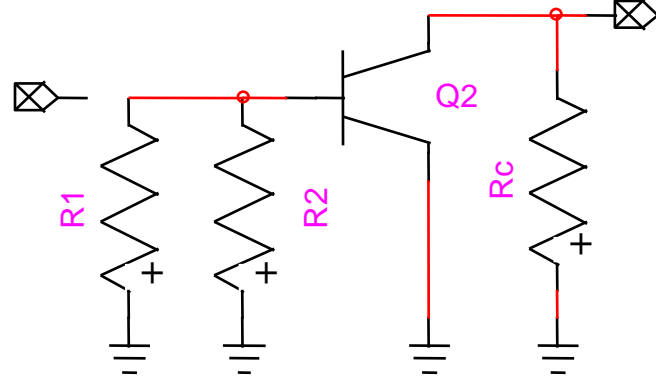
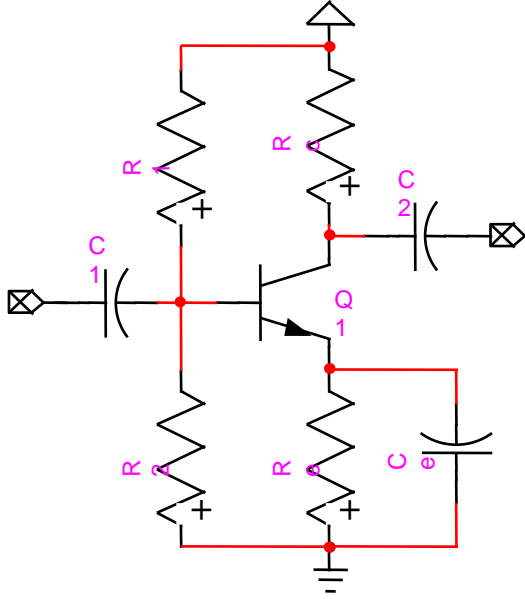
U_i & U_o lệch pha 180°

4) $A_i = \beta R_b r_o / [(r_o + R_c)(R_b + \beta r_e)] \approx \beta$

(I_i là nguồn dòng. I_o là dòng collector)

Phân tích một số sơ đồ

Cấu hình CE phân áp





Phân tích một số sơ đồ

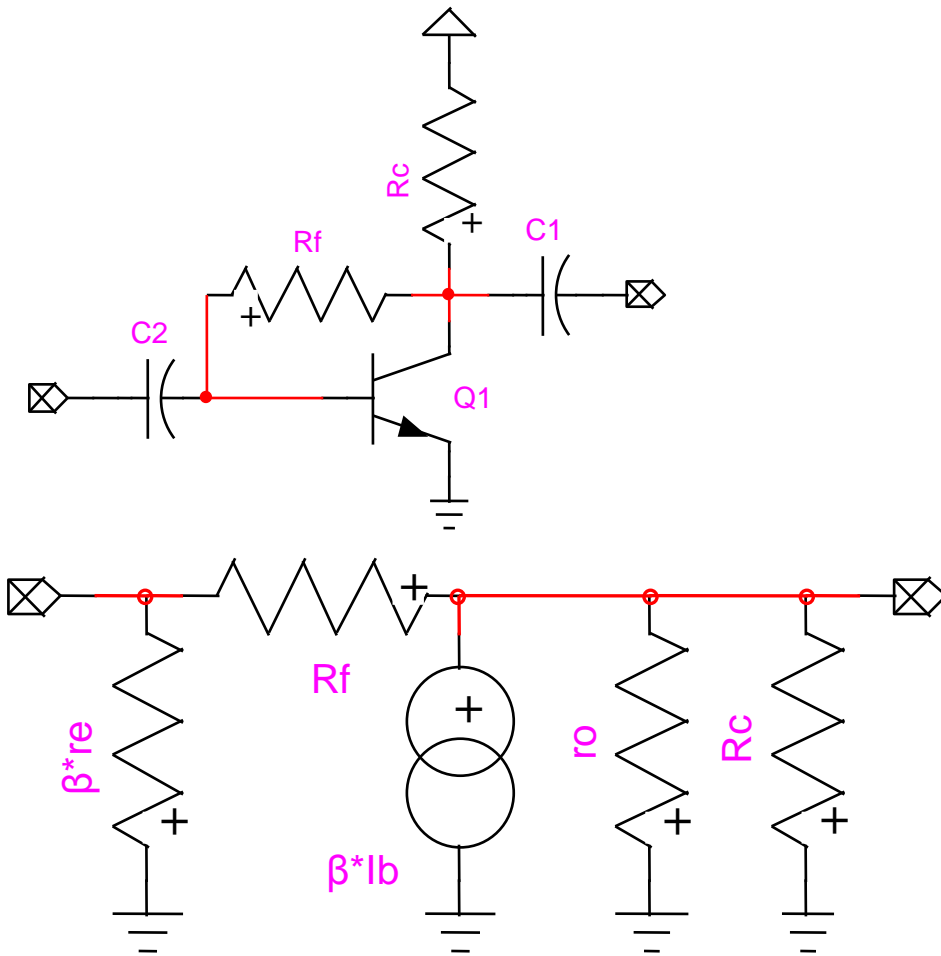
Cấu hình CE phân áp

- 1) $Z_i = R_1 || R_2 || \beta r_e = R' || \beta r_e$
- 2) $Z_o = R_c || r_o$ (If $r_o \geq 10R_c$, $Z_o \approx R_c$)
- 3) $A_v = - (R_c || r_o) / r_e \approx - R_c / r_e$

Giống như đã có trong cấu hình CE phân cực cố định

- 4) $A_i = \beta R' r_o / [(r_o + R_c)(R' + \beta r_e)]$
 $\approx \beta R' / (R' + \beta r_e)$ nếu $r_o \geq 10R_c$
 $\approx \beta$ nếu $R' \geq 10 \beta r_e$

Phân tích một số sơ đồ Cấu hình CE hồi tiếp



$$1) \quad Z_i = r_e / (1/\beta + R_C/R_f)$$

$$2) \quad Z_o = R_C // R_f$$

$$3) \quad A_v = -R_C/r_e$$

$$4) \quad A_i = \beta R_f / (R_f + \beta R_C) \\ \approx R_f / R_C$$

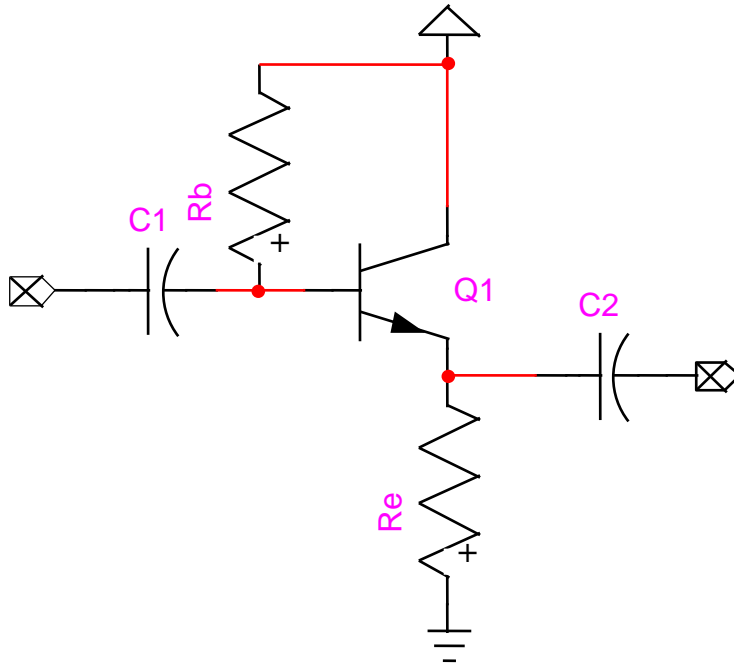
nếu $\beta R_C \gg R_f$

Khi $r_o \neq \infty$ cần thêm r_o
trong công thức

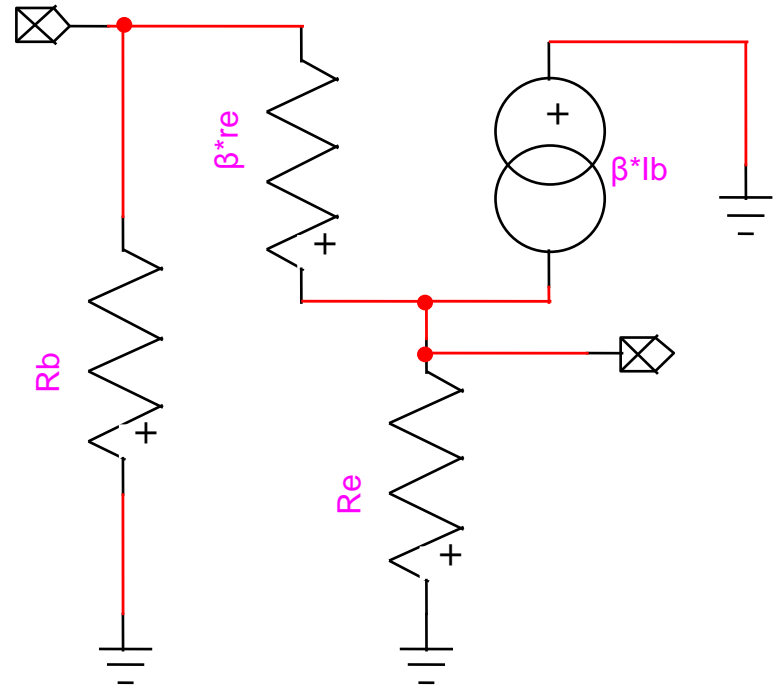


Phân tích một số sơ đồ

Cấu hình CC phân cực cố định



Sử dụng dạng sơ đồ
cho cấu hình CE





Phân tích một số sơ đồ

Cấu hình CC phân cực cố định

$$1) \quad Z_i = R_b \parallel [\beta r_e + (\beta + 1)R_e] \approx R_b \parallel \beta(r_e + R_e)$$

Trở kháng vào cao

$$2) \quad Z_o = R_e \parallel r_e \approx r_e \quad \text{vì} \quad R_e \gg r_e$$

Trở kháng ra nhỏ

$$3) \quad A_v = R_e / (R_e + r_e) \approx 1$$

Điện áp ra cùng pha và nhỏ hơn điện áp vào 1 chút

=> “mạch lặp emitter”

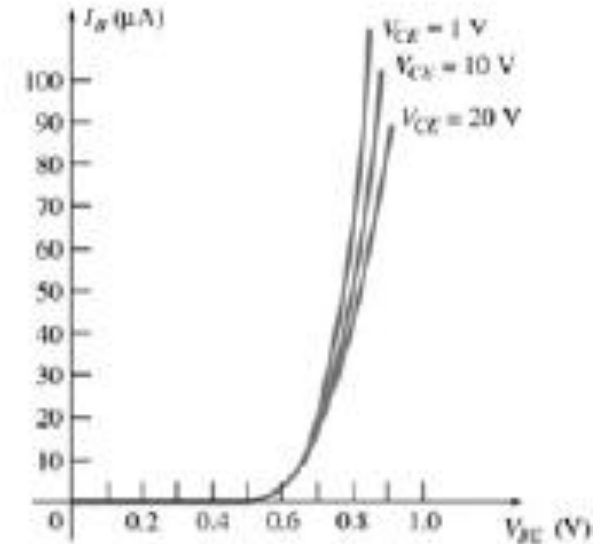
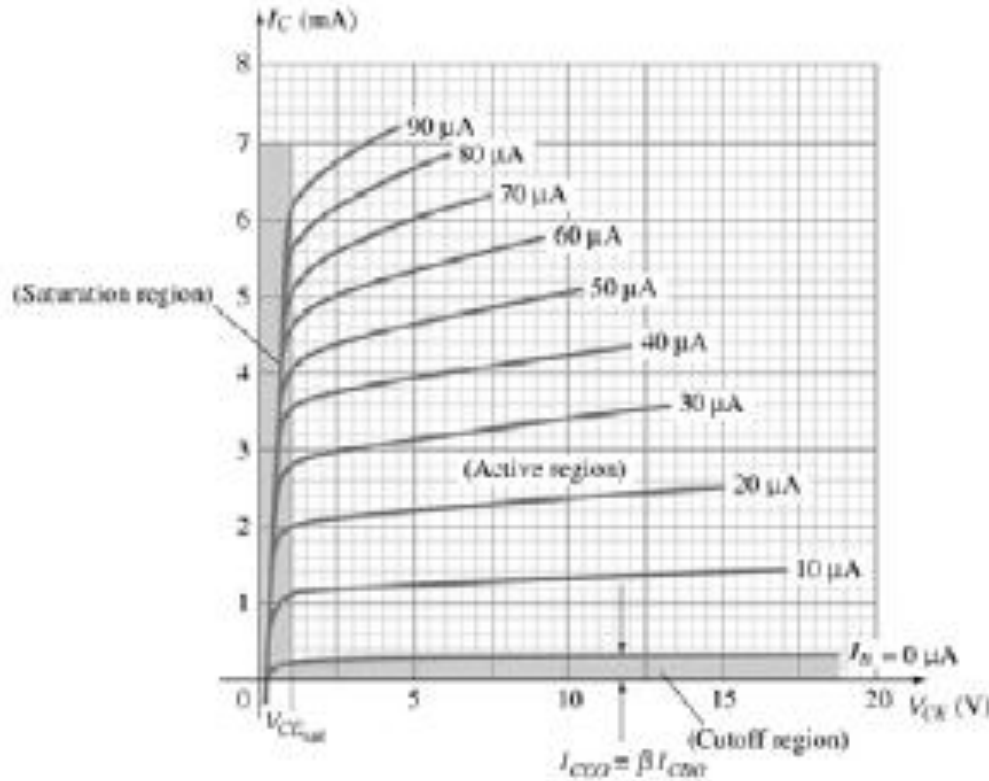
$$4) \quad A_i = -\beta R_b / [R_b + \beta(r_e + R_e)]$$

Ứng dụng: phối hợp trở kháng.



Các phương pháp phân tích

Phương pháp đồ thị



Đặc tuyến vào ra transistor BJT mắc CE

Các phương pháp phân tích

Phương pháp đồ thị



Điểm làm việc Q và đường tải:

- Điểm làm việc Q: điểm làm việc cố định trên đường đặc tuyến, được xác định bằng phân cực
- Đường tải: hình vẽ của tất cả giá trị phối hợp có thể của I_C and V_{CE} .
- 2 loại đường tải:

Đường tải tĩnh (chế độ 1 chiều): $V_{CE} = V_{CC} - I_C R_C$

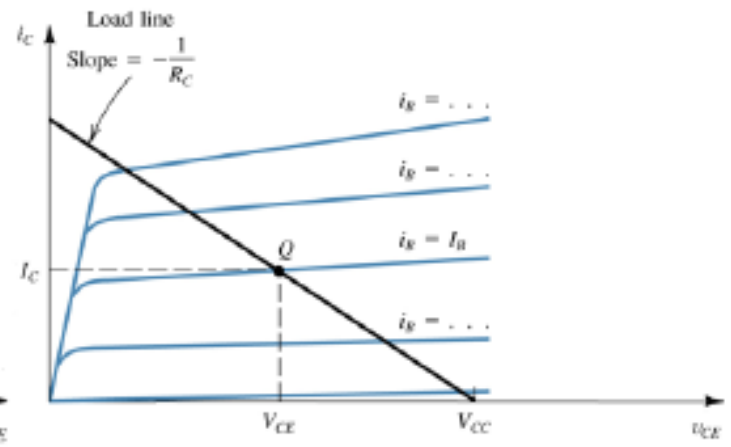
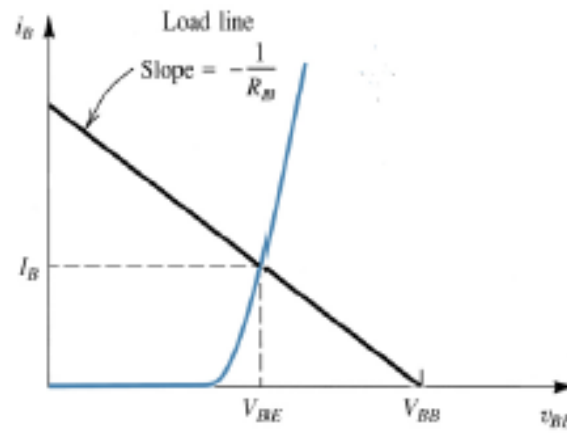
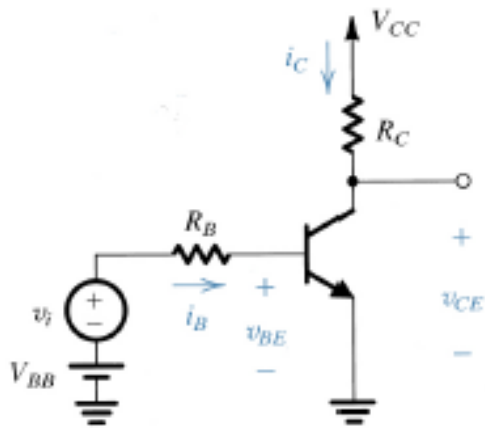
Đường tải động (chế độ xc): $v_{ce} = V_{CC} - i_c (R_C // R_L)$

Dốc hơn so với đường tải tĩnh => ảnh hưởng đến điện áp ra



Các phương pháp phân tích

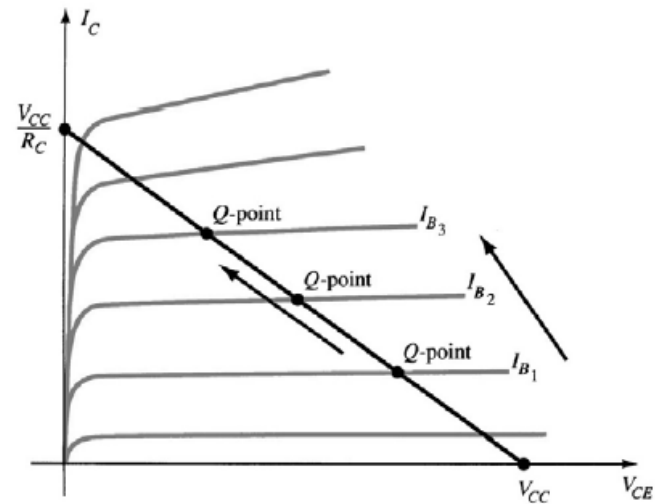
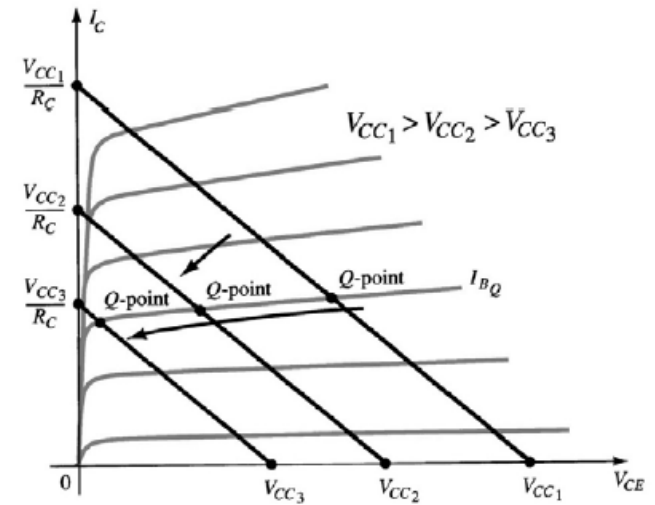
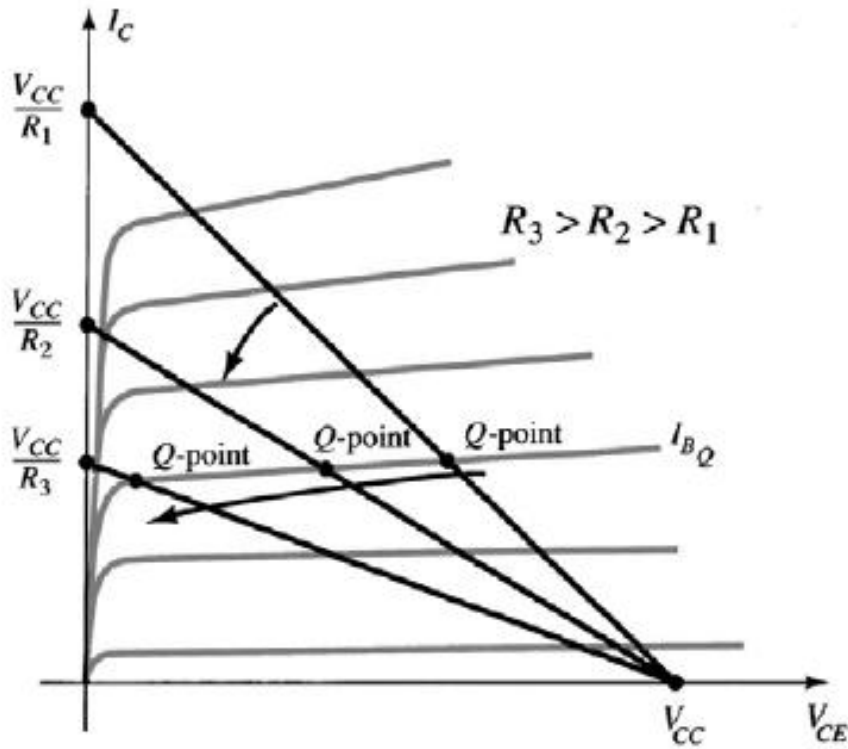
Phương pháp đồ thị





Các phương pháp phân tích

Phương pháp đồ thị

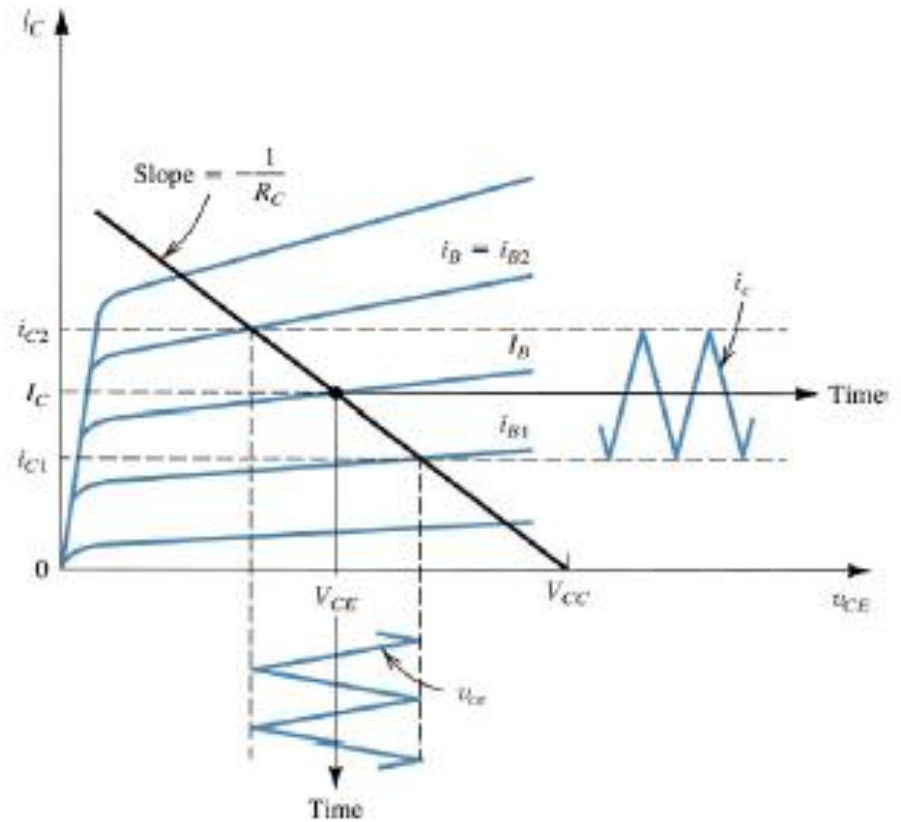
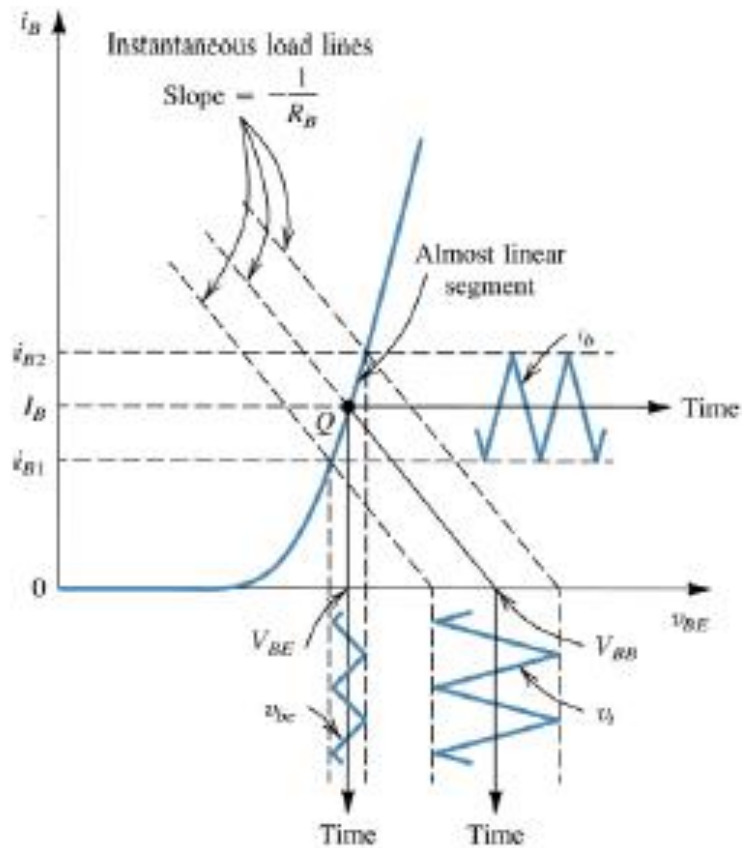


Vị trí Q khi: R_c , V_{cc} , I_b lần lượt thay đổi



Các phương pháp phân tích

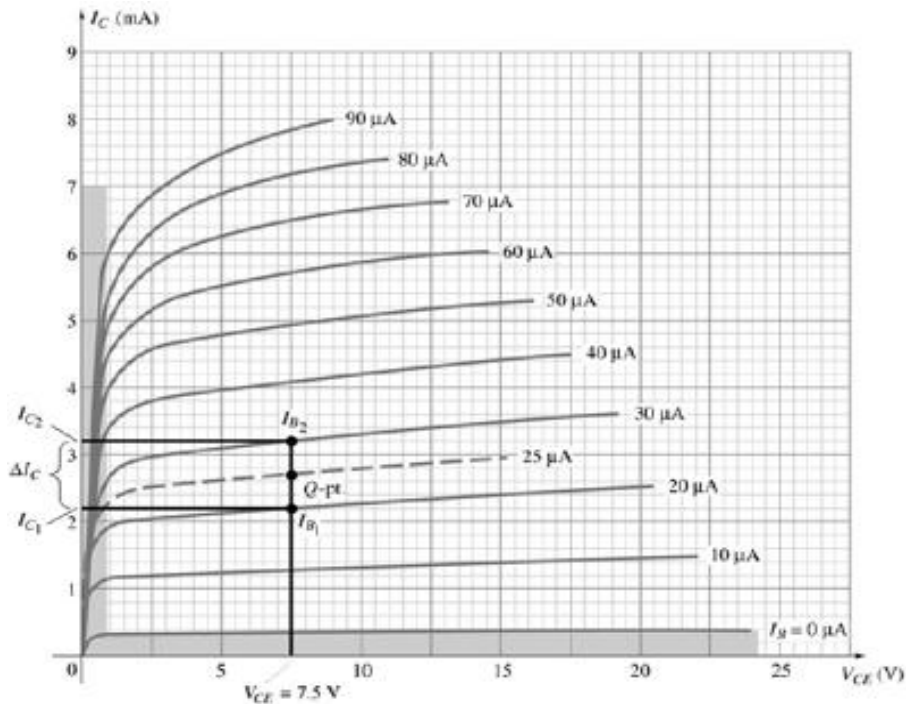
Phương pháp đồ thị





Các phương pháp phân tích

Phương pháp đồ thị



- Tín hiệu vào: thay đổi dòng vào Δi_b bằng thay đổi Δv_{be}
- Tín hiệu ra: thay đổi Δv_{ce} , Δi_c
- $A_i = i_o/i_i = \Delta i_c/\Delta i_b$
- $A_V = v_o/v_i = \Delta v_{ce}/\Delta v_{be}$
- $Z_{in} = v_i/i_i = \Delta v_{be}/\Delta i_b$
- $Z_{out} = v_o/i_o = \Delta v_{ce}/\Delta i_c$

Các phương pháp phân tích

Phương pháp đồ thị



Ảnh hưởng của vị trí điểm Q (điều kiện 1 chiều) đến của tín hiệu xoay chiều ra

- Điểm Q gần vùng cắt (cutoff): BJT sẽ rơi vào vùng cắt dù khi giá trị vào rất bé, dẫn tới cắt phần dương điện áp ra
- Điểm Q gần vùng bão hoà (saturation): BJT rơi vào vùng bão hoà dễ dàng, dẫn tới cắt phần âm điện áp ra
- Tín hiệu vào quá lớn gây ra cắt cả phần âm và dương điện áp ra



Đặc điểm kỹ thuật

- Tên: 2N+số, ví dụ 2N4123, 2N2218...
- Thông số cơ bản:

Tối đa: U_{ce} , U_{cb} , U_{eb} , I_c , P_{dis} , T

Đặc tính điện:

- OFF chars.: điện áp đánh thủng của CE, CB, EB, $I_{ccutoff}$, $I_{ecutoff}$
- ON chars.: DC β , $U_{ce(sat)}$, $U_{be(sat)}$
- Tín hiệu nhỏ: current-gain – bandwidth product ($\beta \cdot f$), small-signal β

Ảnh hưởng của các yếu tố kỹ thuật đến hoạt động thiết bị



- Ảnh hưởng của cấu trúc BJT:
 - Vật liệu chế tạo: Ge, Si
 - Mức độ pha tạp
 - Kích thước BJT...
- Ảnh hưởng của tần số làm việc
- Ảnh hưởng của thời gian sử dụng
- Ảnh hưởng của độ ổn định nguồn
- Ảnh hưởng của nhiệt độ



Các ảnh hưởng khác

- Ảnh hưởng của tần số làm việc
 - Xét trong phần đáp ứng tần số
- Ảnh hưởng của thời gian sử dụng
- Ảnh hưởng của độ ổn định nguồn
 - Gây méo tín hiệu ra
- Ảnh hưởng của cấu trúc BJT:
 - Vật liệu chế tạo: Ge, Si – V_{be} , β , nhiệt độ...
 - Mức độ pha tạp – áp, dòng, β , nhiệt độ...
 - Kích thước BJT - dòng



Ảnh hưởng của nhiệt độ

Nhiệt độ ảnh hưởng nhiều đến các tham số thiết bị

Khi nhiệt độ tăng:

- Hệ số β tăng
- Dòng dò I_{cbo} tăng
- Điện áp V_{be} giảm

=> gây ra sự không ổn định của mạch do sự dịch chuyển của điểm làm việc Q

⇒ chất lượng tín hiệu ra giảm

Đối với BJT chế tạo từ Si, β chịu ảnh hưởng nhiều của nhiệt độ



Hệ số ổn định

- ✓ $S(I_{co}) = \Delta I_c / \Delta I_{cbo}$ – ảnh hưởng nhiều đến BJT dùng Germani
- ✓ $S(U_{be}) = \Delta I_c / \Delta U_{be}$ – ảnh hưởng ít
- ✓ $S(\beta) = \Delta I_c / \Delta \beta$ – ảnh hưởng nhiều đến BJT dùng Silic

Tổng ảnh hưởng đến dòng I_c

$$\Delta I_c = S(I_{co}) * \Delta I_{cbo} + S(U_{be}) * \Delta U_{be} + S(\beta) * \Delta \beta$$

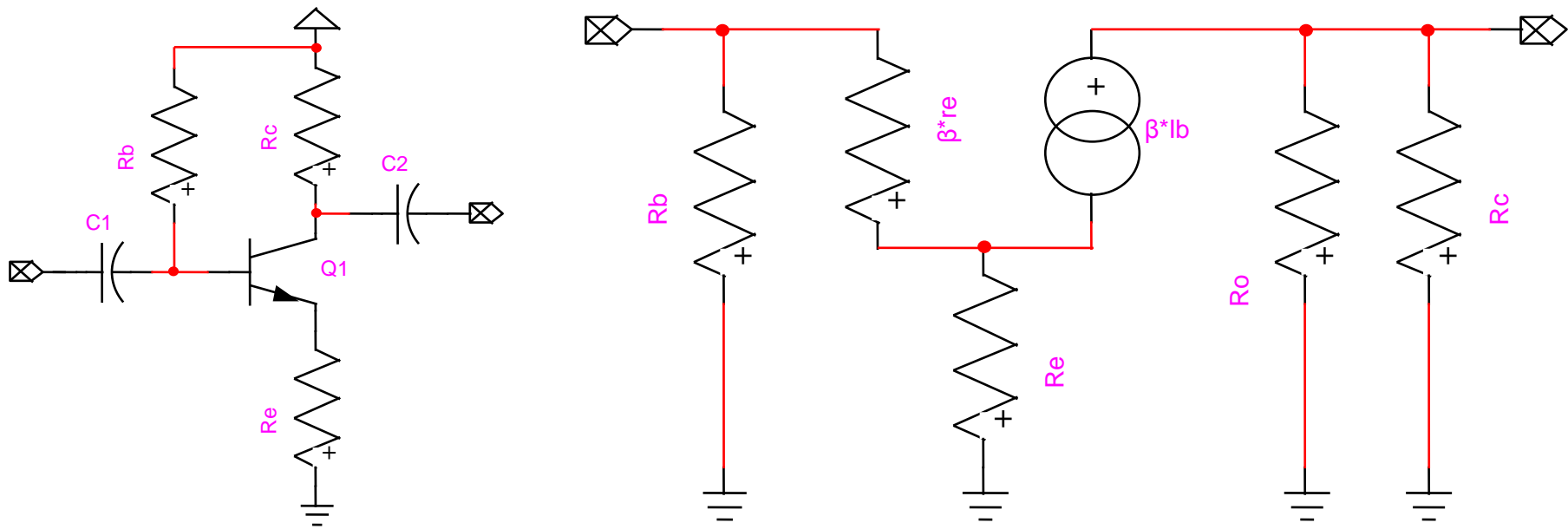


Ổn định hoạt động BJT

- Hồi tiếp âm điện áp hoặc dòng điện
- Làm mát - bằng quạt hoặc nước
- Ổn định nguồn cung cấp
- Chọn BJT thích hợp



Ổn định bằng hồi tiếp âm điện áp



Ổn định chế độ một chiều bằng điện trở R_E
(hồi tiếp âm điện áp)

$$I_B = (V_{CC} - U_{BE}) / (R_B + \beta R_E) \quad \& \quad I_C = \beta I_B$$



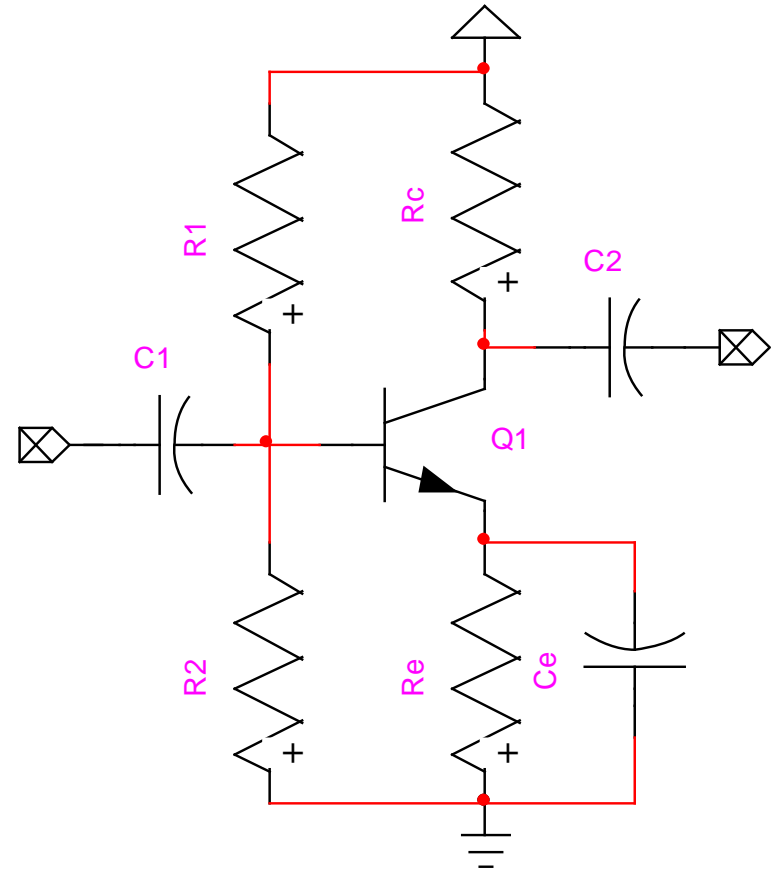
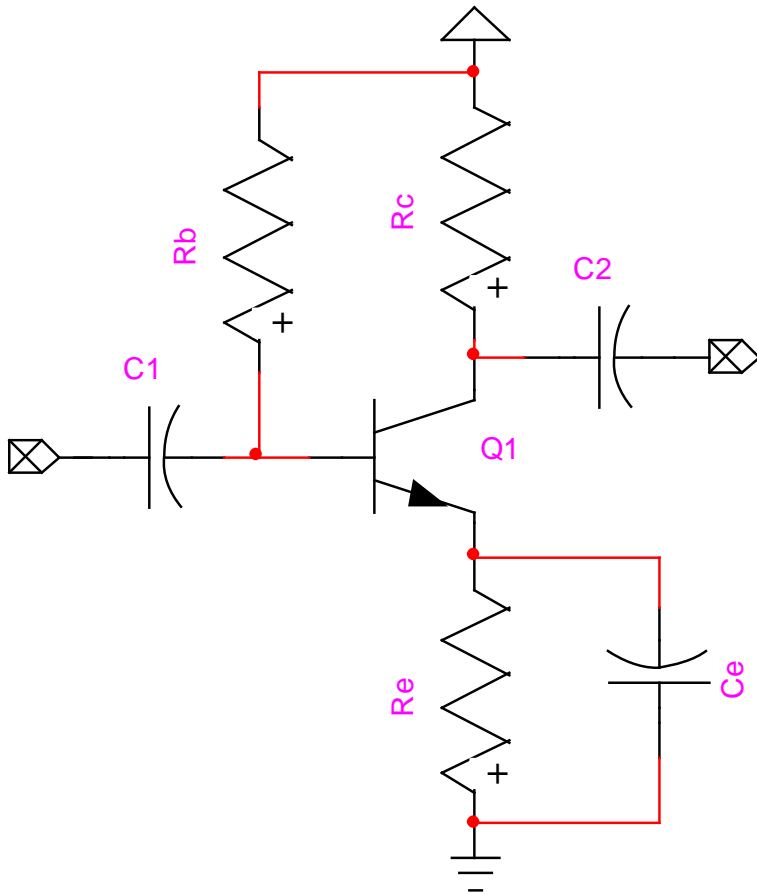
Ổn định bằng hồi tiếp âm điện áp

- $Z_i = R_B // \beta(r_e + R_E)$
- $Z_o = R_C$
- $A_v = -R_C / (r_e + R_E)$
- $A_i = \beta R_B / [R_B + \beta(r_e + R_E)]$

Trở kháng vào tăng nhưng hệ số khuếch đại điện áp giảm

=> sử dụng tụ để ngắn mạch R_E ở chế độ xoay chiều

Sơ đồ CE dùng tụ ngắn mạch R_E





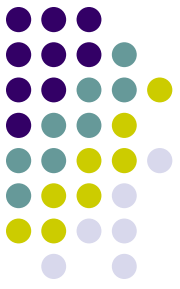
Bài tập

- Chương 3: 3, 5, 11, 14, 21, 28, 30, 33
- Chương 4: 5, 6, 7, 10, 11, 14, 19, 26, 28, 32, 33
- Chương 7: 6, 8, 10, 23
- Chương 8: 1, 4, 7, 11, 14, 15, 16, 19, 28

Chương 4: Mạch khuếch đại tín hiệu nhỏ sử dụng FET



- Giới thiệu chung
- Phân loại
 - JFET
 - MOSFET kênh có sẵn (Depletion MOS)
 - MOSFET kênh cảm ứng (Enhancement MOS)
- Cách phân cực
- Mạch khuếch đại tín hiệu nhỏ
- Sơ đồ tương đương và tham số xoay chiều



Giới thiệu chung

- Trở kháng vào rất lớn, $nM\Omega$ - $n100M\Omega$
- Được điều khiển bằng điện áp (khác với BJT)
- Tiêu tốn ít công suất
- Hệ số tạp âm nhỏ, phù hợp với nguồn tín hiệu nhỏ
- Ít bị ảnh hưởng bởi nhiệt độ
- Phù hợp với vai trò khóa đóng mở công suất nhỏ
- Kích thước nhỏ, công nghệ chế tạo phù hợp với việc sử dụng để thiết kế IC

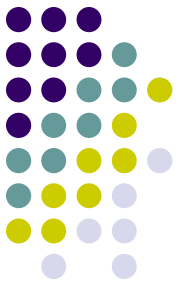


Phân loại

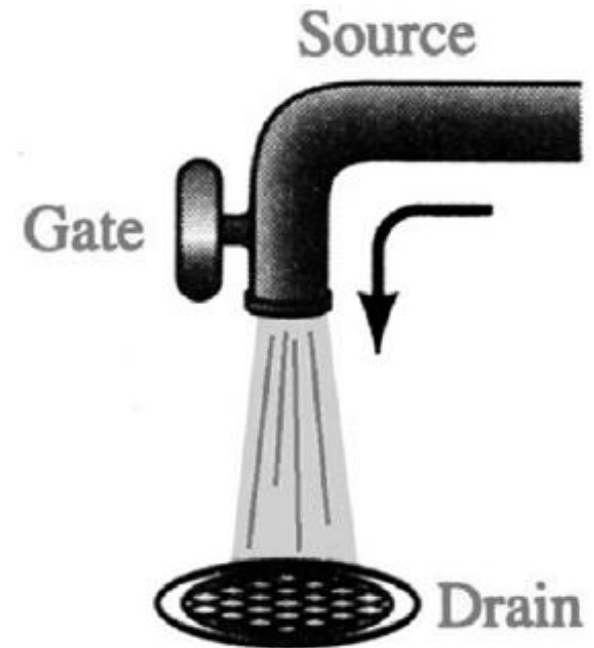
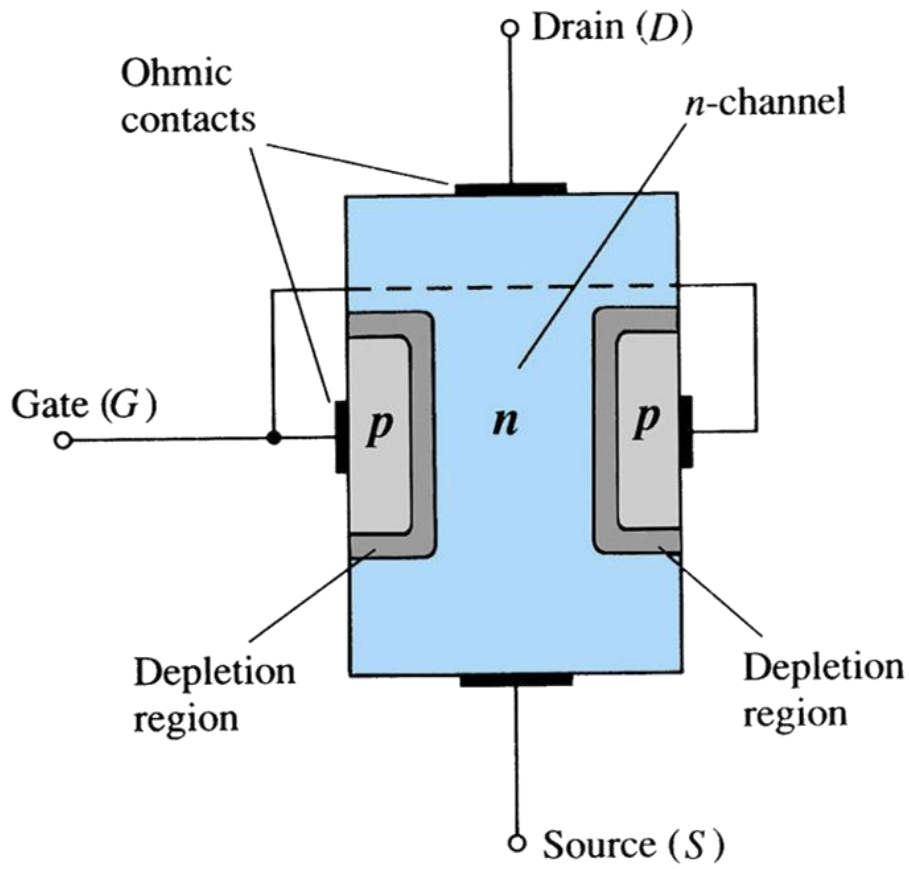
- JFET-Junction Field Effect Transistor
 - Kênh N
 - Kênh P
- MOSFET-Metal Oxide Semiconductor FET
 - Kênh có sẵn (Depletion MOS) :
 - Kênh N và P
 - Kênh cảm ứng (Enhancement MOS):
 - Kênh N và P

JFET

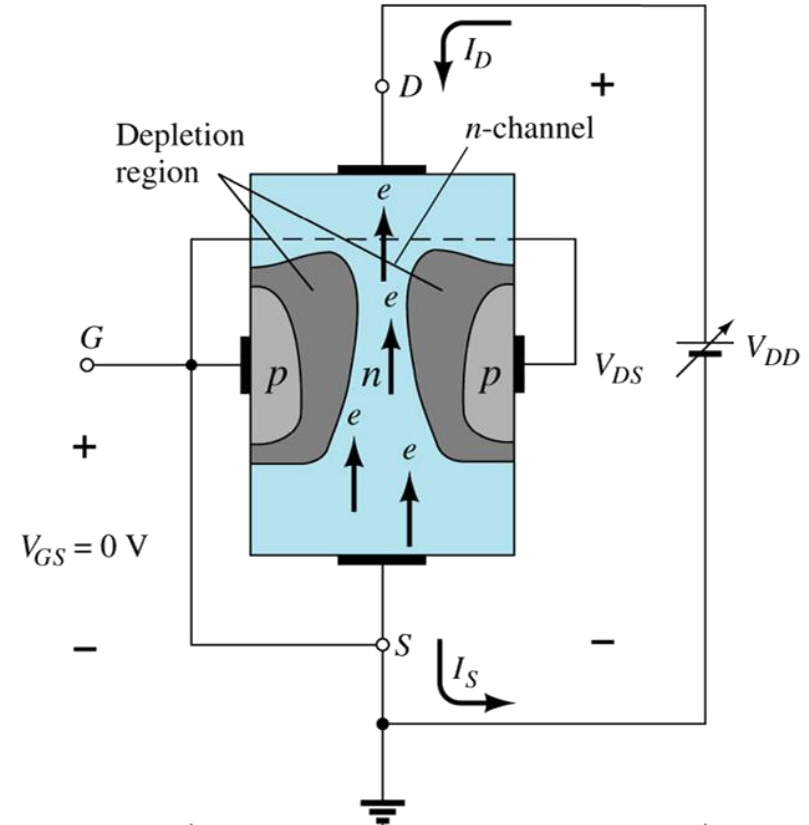
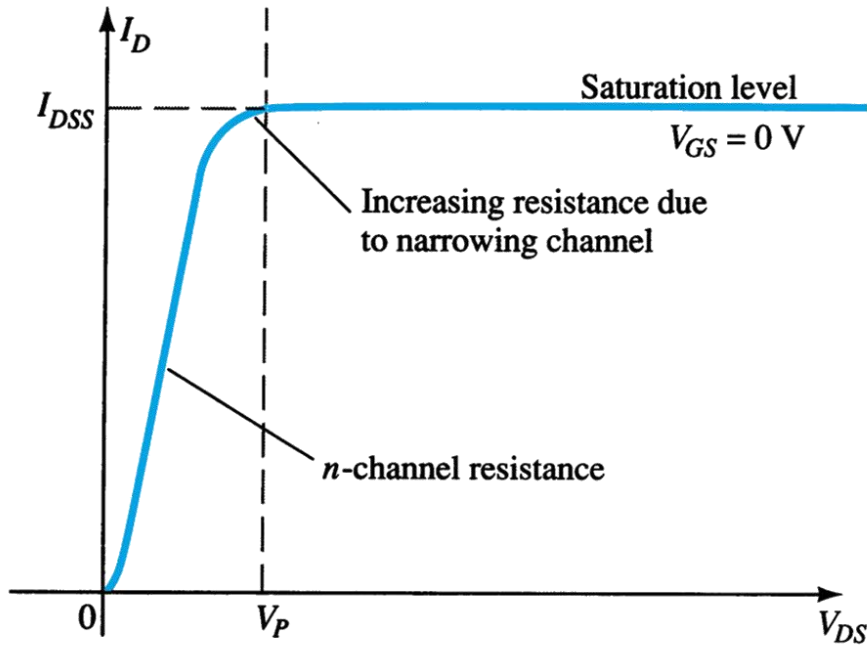
- Cấu trúc
- Hoạt động
- Đặc tuyến
- So sánh với BJT
- Ví dụ, bảng tham số kỹ thuật



JFET – Cấu trúc

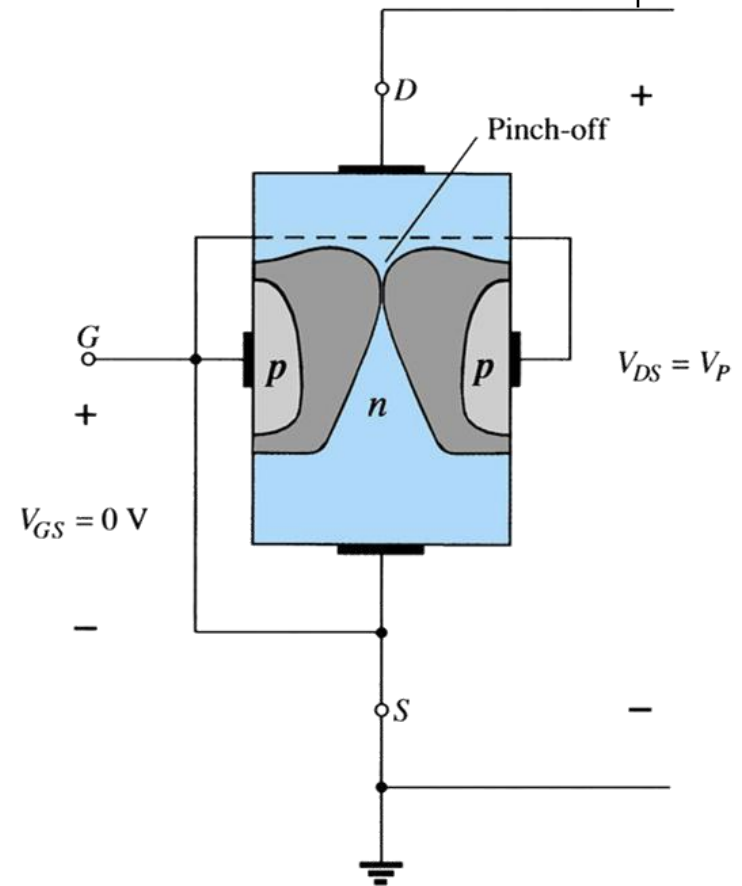
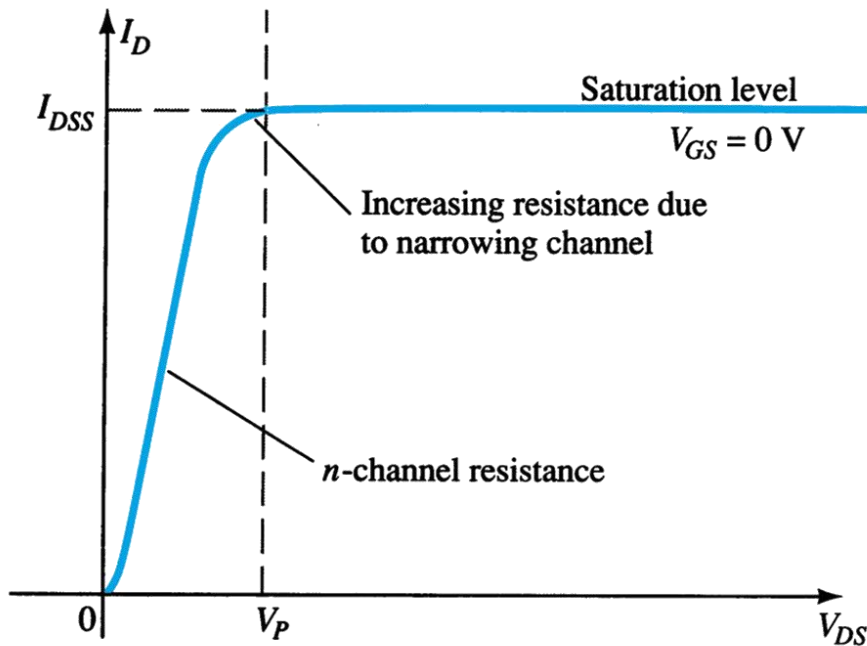
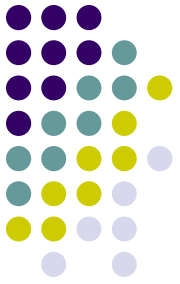


JFET – Hoạt động



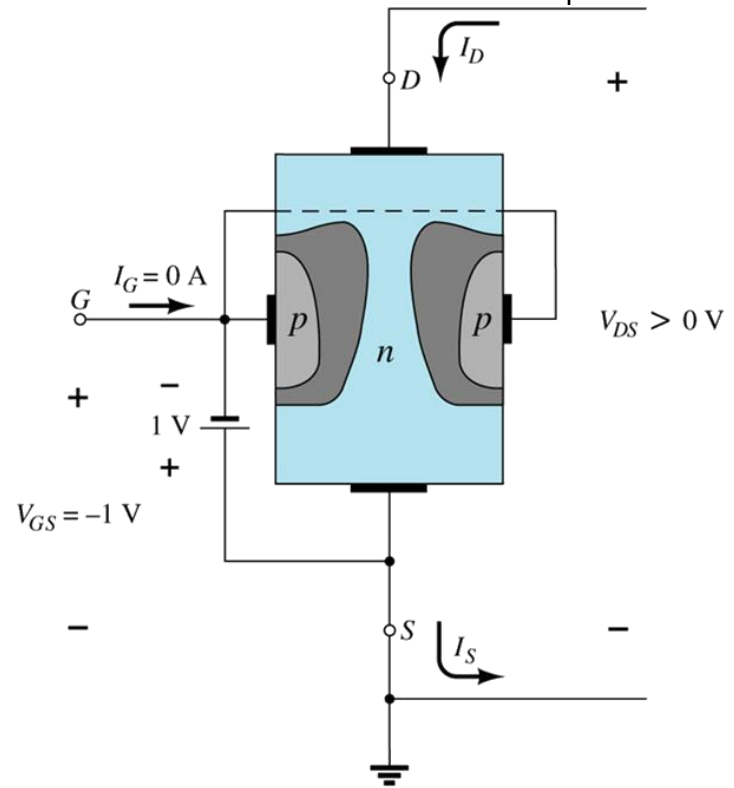
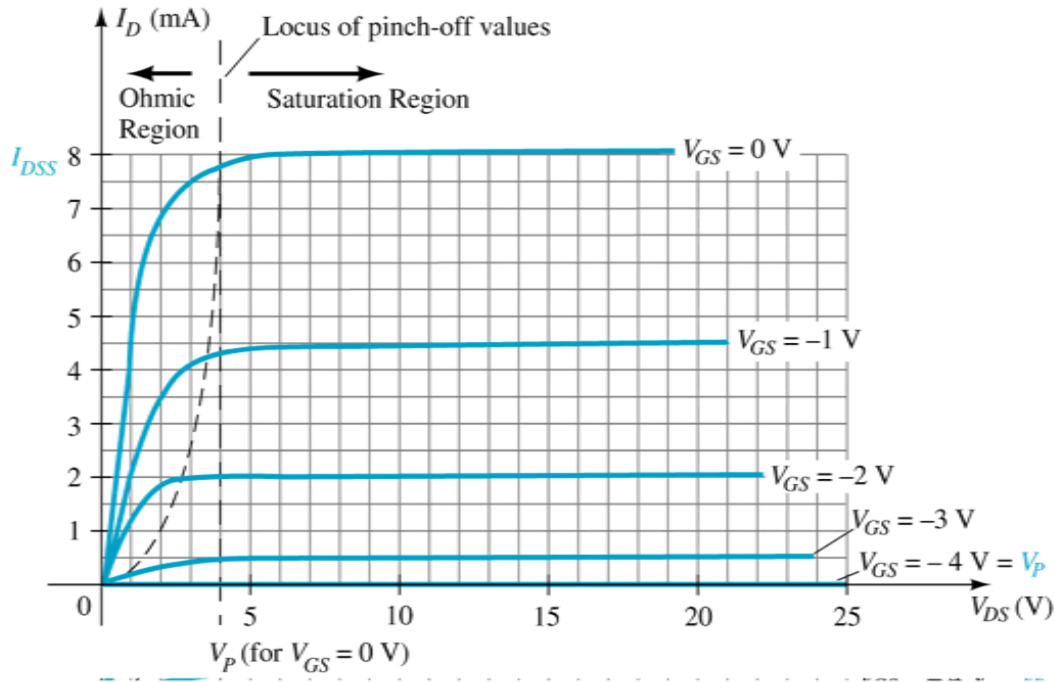
- $V_{GS} = 0$, $V_{DS} > 0$ tăng dần, I_D tăng dần

JFET – Hoạt động



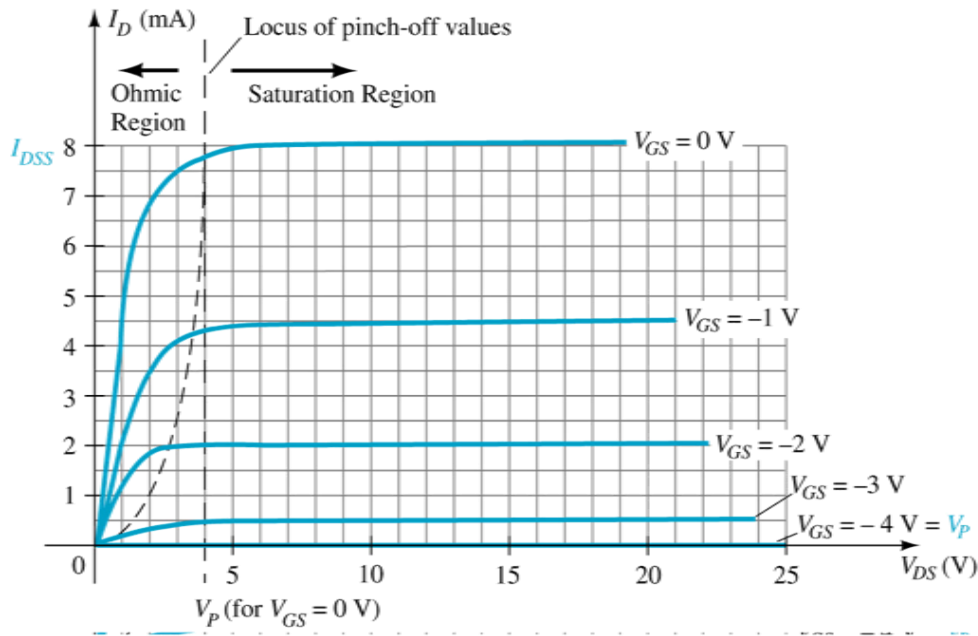
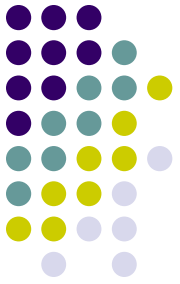
- $V_{GS} = 0$, $V_{DS} = V_P$, $I_D = I_{DSS}$
- V_P điện áp thắt kênh (pinch-off)

JFET – Hoạt động

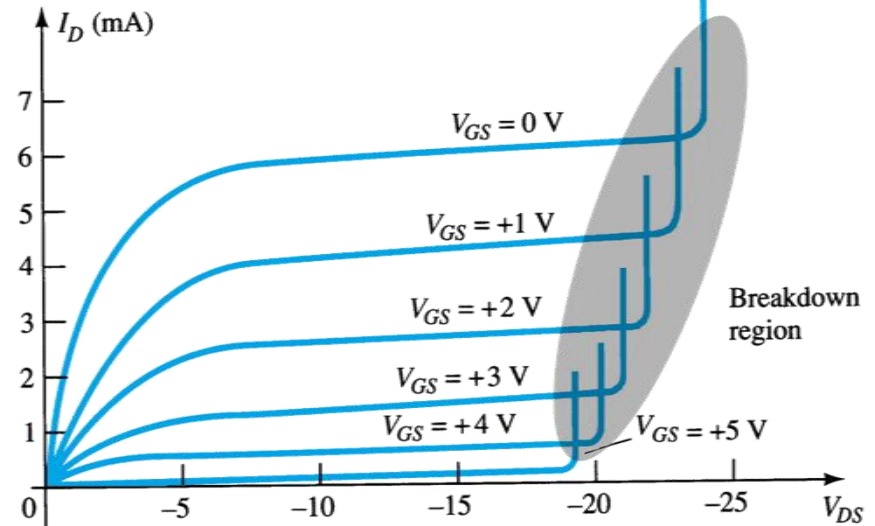


- $V_{GS} < 0$, $V_{DS} > 0$, giá trị mức bão hòa của I_D cũng giảm dần
- $V_{GS} = V_P$, $I_D = 0$

JFET – Đặc tuyến

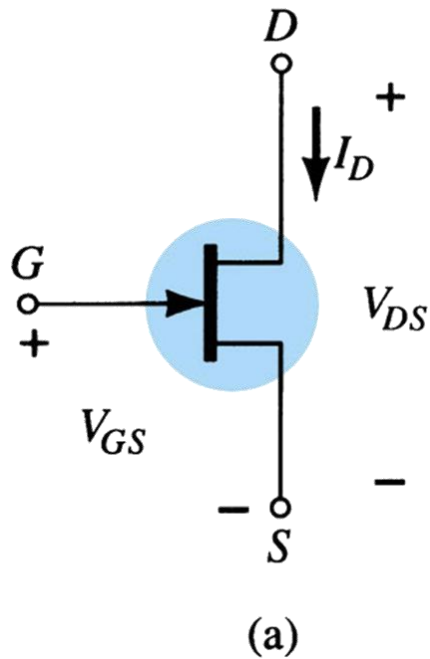


N-channel, $I_{DSS} = 8\text{mA}$, $V_P = -4\text{V}$



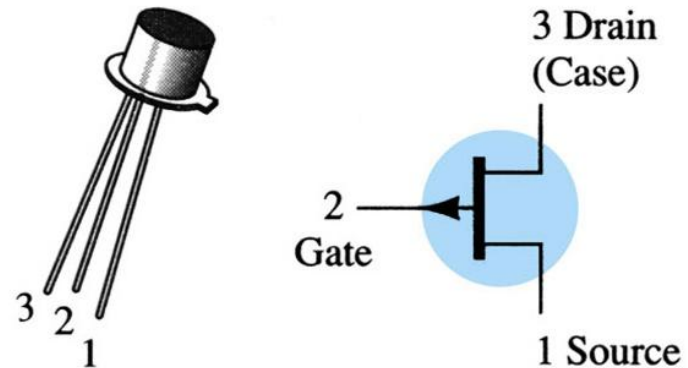
P-channel, $I_{DSS} = 6\text{mA}$, $V_P = 6\text{V}$

JFET – Kí hiệu



2N2844

CASE 22-03, STYLE 12
TO-18 (TO-206AA)

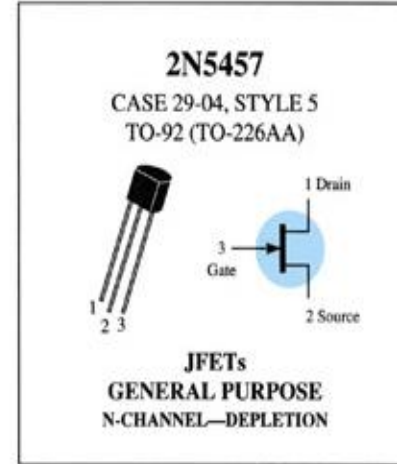


JFETs
GENERAL PURPOSE
P-CHANNEL

JFET 2N5457

MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Drain-Source Voltage	V_{DS}	25	Vdc
Drain-Gate Voltage	V_{DG}	25	Vdc
Reverse Gate-Source Voltage	V_{GSR}	-25	Vdc
Gate Current	I_G	10	mAdc
Total Device Dissipation @ $T_A = 25^\circ\text{C}$ Derate above 25°C	P_D	310 2.82	mW mW/°C
Junction Temperature Range	T_J	125	°C
Storage Channel Temperature Range	T_{stg}	-65 to +150	°C



Refer to 2N4220 for graphs.

ELECTRICAL CHARACTERISTICS ($T_A = 25^\circ\text{C}$ unless otherwise noted)

Characteristic	Symbol	Min	Typ	Max	Unit
----------------	--------	-----	-----	-----	------

OFF CHARACTERISTICS

Gate-Source Breakdown Voltage ($I_G = -10 \mu\text{Adc}$, $V_{DS} = 0$)	$V_{(BR)GS}$	-25	-	-	Vdc
Gate Reverse Current ($V_{GS} = -15 \text{Vdc}$, $V_{DS} = 0$) ($V_{GS} = -15 \text{Vdc}$, $V_{DS} = 0$, $T_A = 100^\circ\text{C}$)	I_{GSS}	-	-	-1.0 -200	nAdc
Gate Source Cutoff Voltage ($V_{DS} = 15 \text{Vdc}$, $I_D = 10 \text{nAdc}$)	$V_{GS(off)}$	-0.5	-	-6.0	Vdc
Gate Source Voltage ($V_{DS} = 15 \text{Vdc}$, $I_D = 100 \mu\text{Adc}$)	V_{GS}	-	-2.5	-	Vdc

ON CHARACTERISTICS

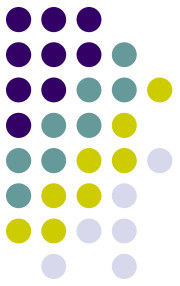
Zero-Gate-Voltage Drain Current* ($V_{DS} = 15 \text{Vdc}$, $V_{GS} = 0$)	I_{DSS}	1.0	3.0	5.0	mAdc
---	-----------	-----	-----	-----	------

SMALL-SIGNAL CHARACTERISTICS

Forward Transfer Admittance Common Source* ($V_{DS} = 15 \text{Vdc}$, $V_{GS} = 0$, $f = 1.0 \text{kHz}$)	$ y_{fs} $	1000	-	5000	μmhos
Output Admittance Common Source* ($V_{DS} = 15 \text{Vdc}$, $V_{GS} = 0$, $f = 1.0 \text{kHz}$)	$ y_{os} $	-	10	50	μmhos
Input Capacitance ($V_{DS} = 15 \text{Vdc}$, $V_{GS} = 0$, $f = 1.0 \text{MHz}$)	C_{iss}	-	4.5	7.0	pF
Reverse Transfer Capacitance ($V_{DS} = 15 \text{Vdc}$, $V_{GS} = 0$, $f = 1.0 \text{MHz}$)	C_{rss}	-	1.5	3.0	pF

*Pulse Test: Pulse Width $\leq 630 \text{ms}$; Duty Cycle $\leq 10\%$





Datasheet-2N5457

Rating	Symbol	Value	Unit
Drain-Source voltage	V_{DS}	25	Vdc
Drain-Gate voltage	V_{DG}	25	Vdc
Reverse G-S voltage	V_{GSR}	-25	Vdc
Gate current	I_G	10	nAdc
Device dissipation 25°C	P_D	310	mW
Derate above 25°C		2.82	mW/°C
Junction temp range	T_J	125	°C
Storage channel temp range	T_{stg}	-60 to +150	°C



Datasheet-2N5457-characteristics

Characteristic	Symbol	Min	Typ	Max	Unit
V_{G-S} breakdown	$V_{(BR)GSS}$	-25			Vdc
$I_{\text{gate reverse}}(V_{gs}=-15, V_{ds}=0)$	I_{GSS}			-1.0	nAdc
V_{G-S} cutoff	$V_{GS(off)}$	-0.5		-1.0	Vdc
V_{G-S}	V_{GS}		-2.5	-6.0	Vdc
I_{D-zero} gate volage	I_{DSS}	1.0	3.0	5.0	mAdc
C_{in}	C_{iss}		4.5	7.0	pF
$C_{\text{reverse transfer}}$	C_{rss}		1.5	3.0	pF

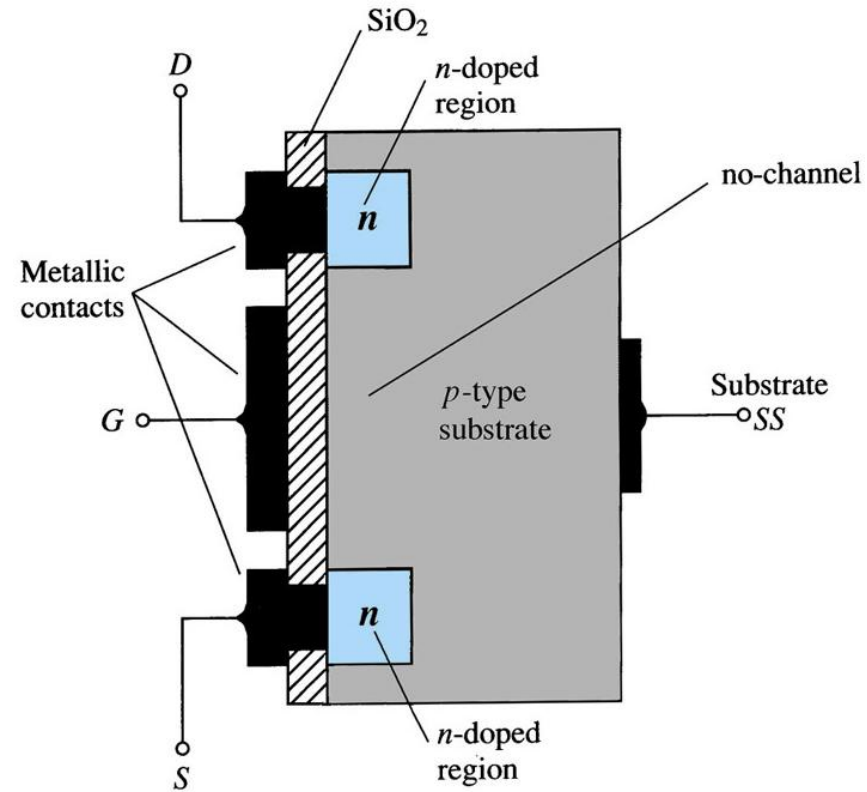
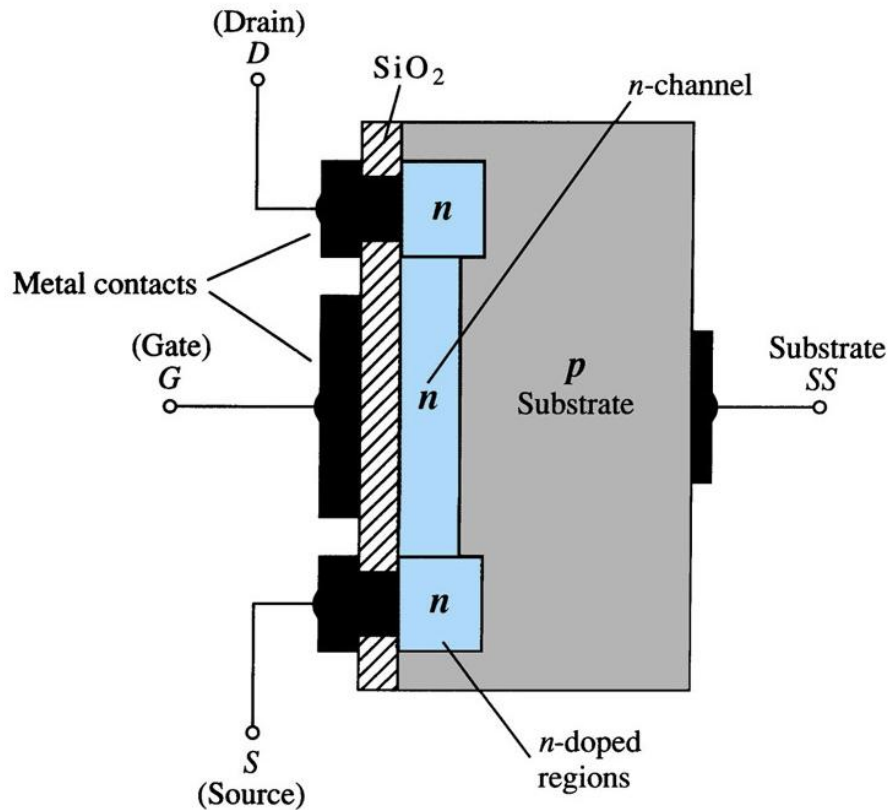
MOSFET



- Cấu trúc
- Hoạt động
- Đặc tuyến

Chú ý: rất cẩn thận khi sử dụng so với JFET vì lớp oxit bán dẫn của MOS dễ bị đánh thủng do tĩnh điện

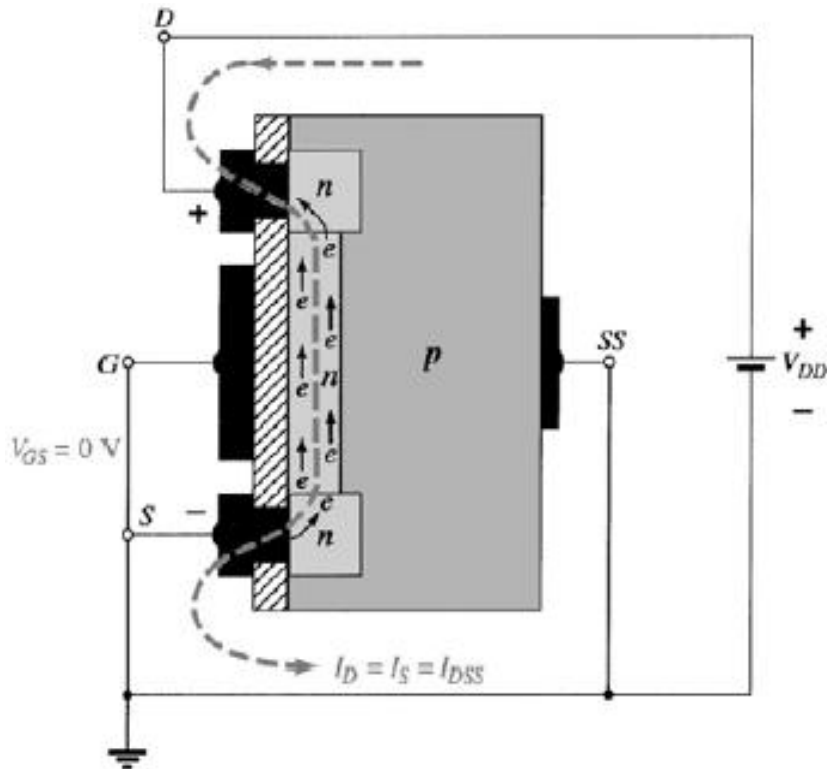
MOSFET – Cấu trúc



N-channel depletion DMOS

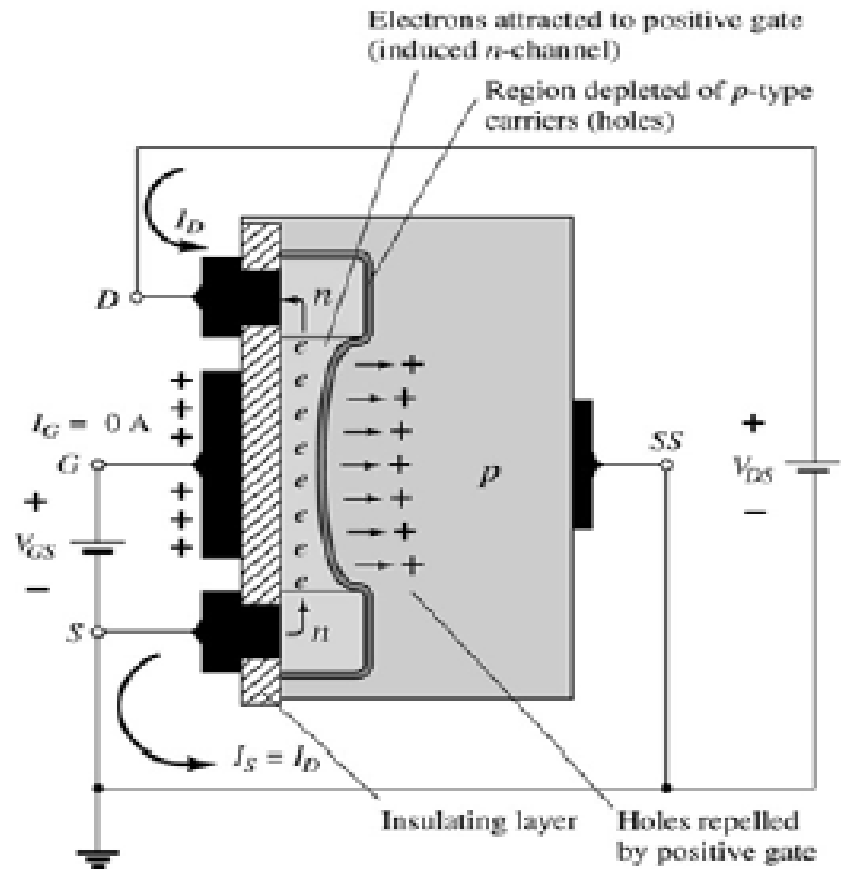
N-channel enhancement EMOS

MOSFET – Hoạt động



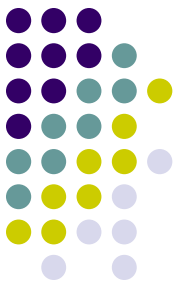
N-channel DMOS

$$V_{GS} = 0, V_{DS} > 0$$

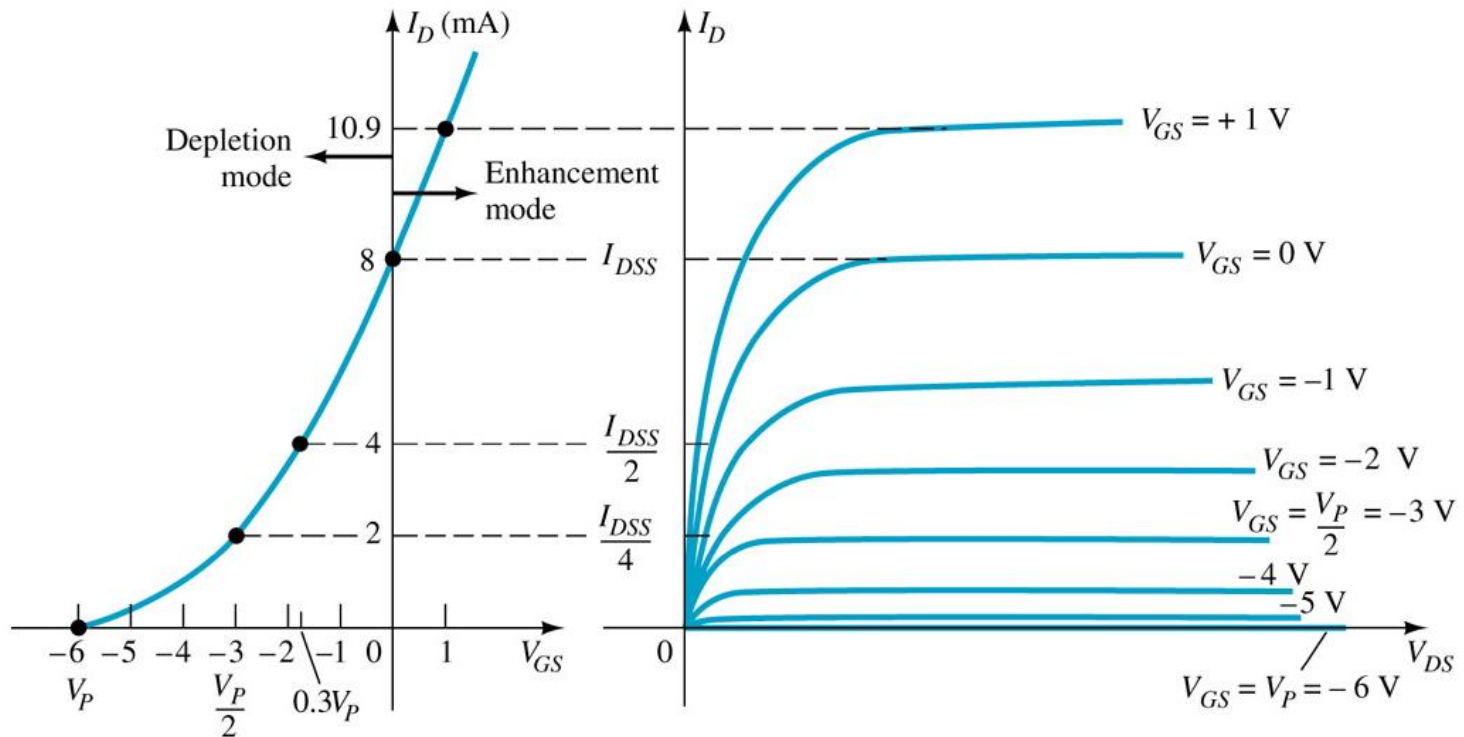


N-channel EMOS

$$V_{GS} > 0, V_{DS} > 0$$



DMOS – Đặc tuyến truyền đạt

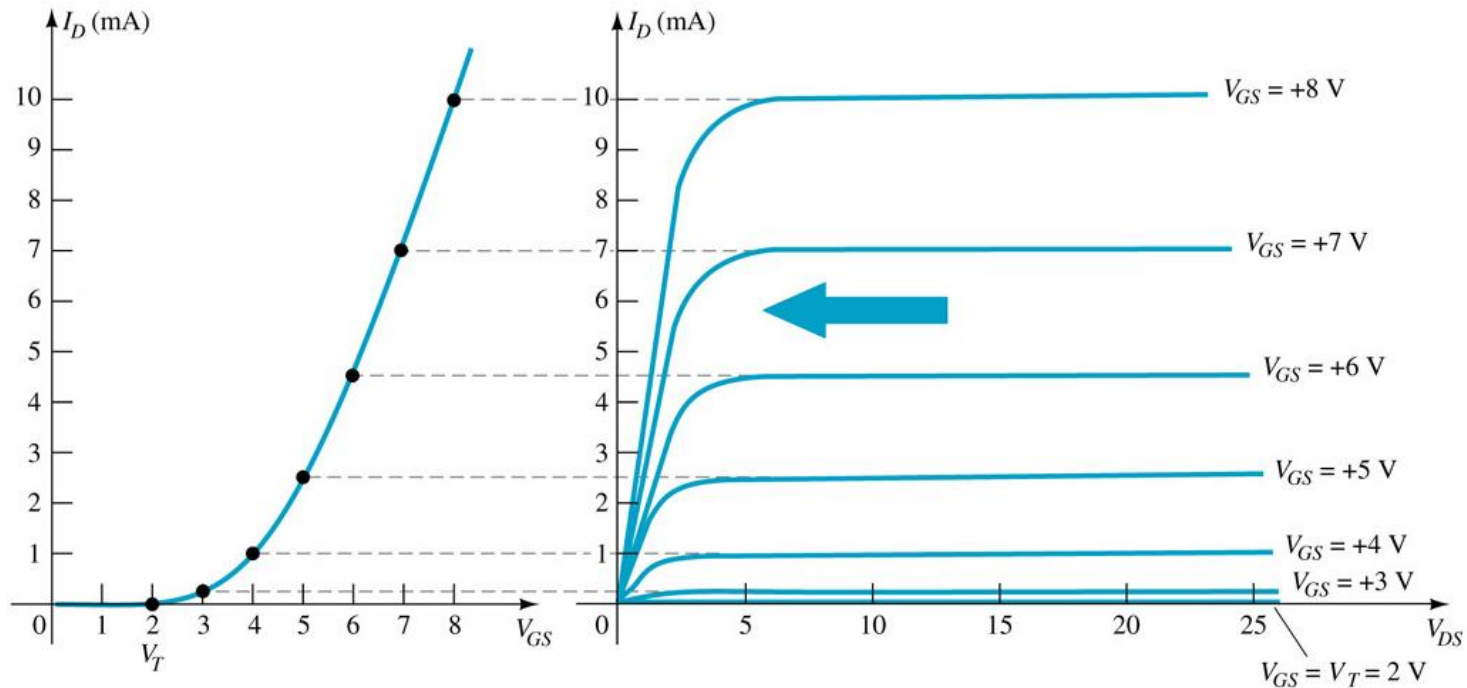


Tương tự như của JFET, đặc tuyến truyền đạt $I_D = f(V_{GS})$ tuân theo phương trình Shockley: $I_D = I_{DSS}(1 - V_{GS}/V_P)^2$

nhưng có thể hoạt động ở vùng $V_{GS} > 0, I_D > 0$

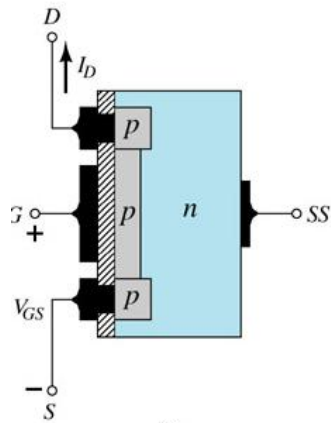


EMOS – Đặc tuyến truyền đạt

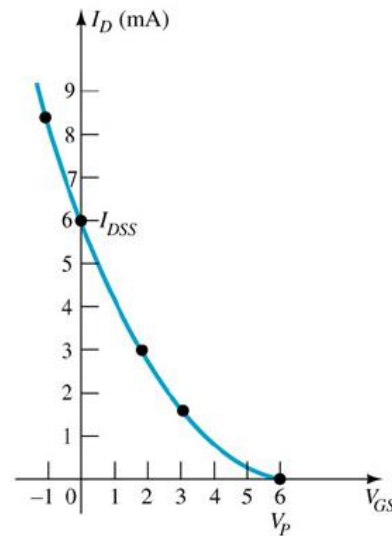


- Phương trình đặc tuyến truyền đạt:
 $I_D = k(V_{GS} - V_T)^2$ với điện áp mở $V_T > 0$ (kênh N)
- $V_{GS} < V_T$, $I_D = 0$

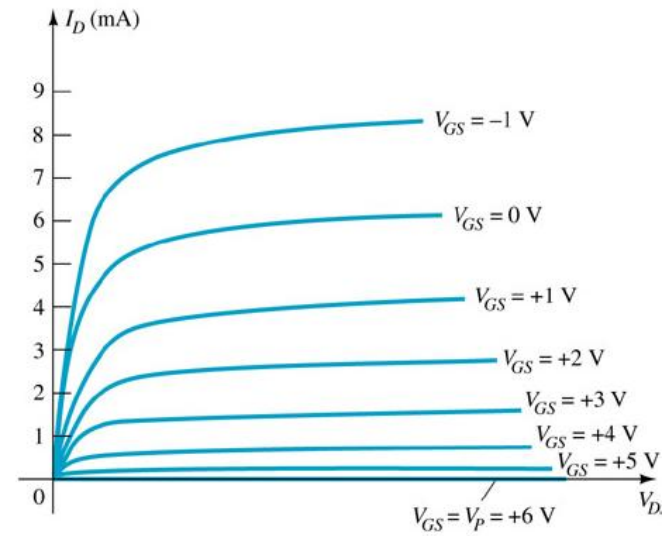
MOSFET – Đặc tuyến truyền đạt



(a)

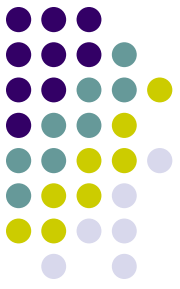


(b)

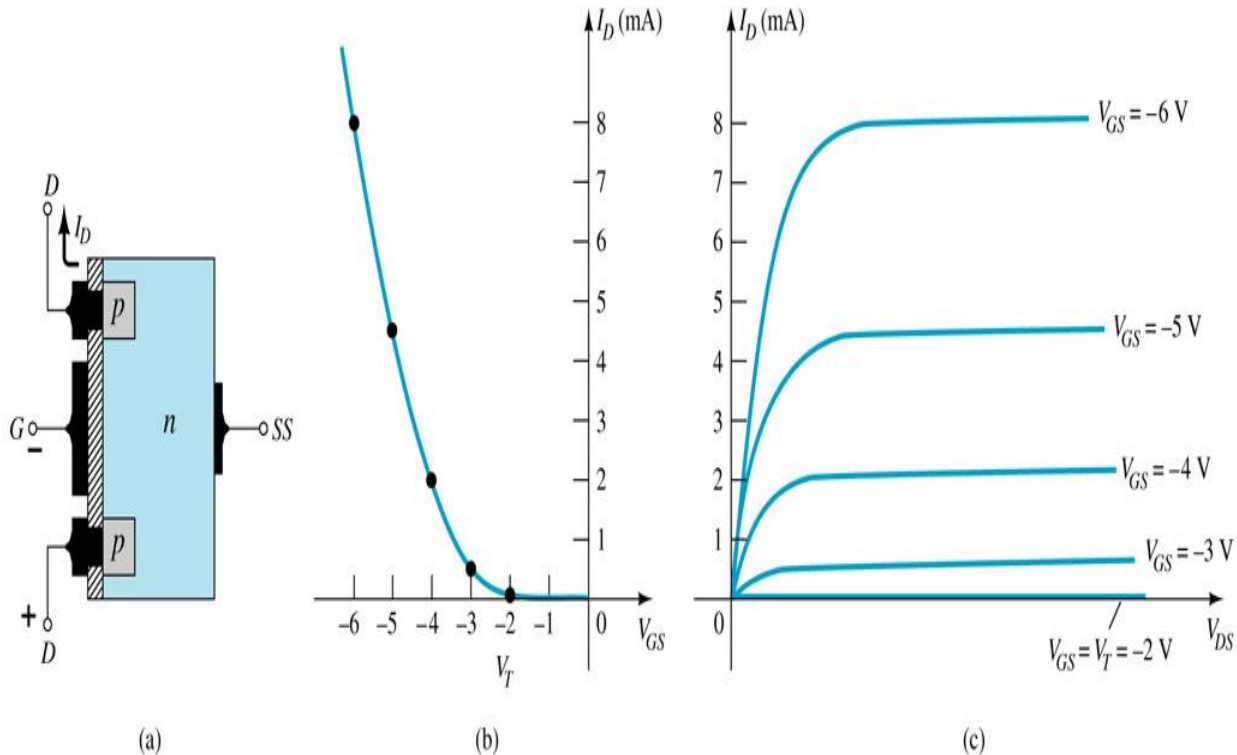


(c)

P-channel depletion



MOSFET – Đặc tuyến truyền đạt

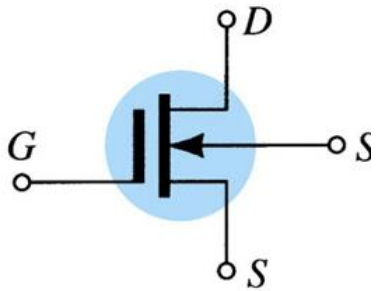


P-channel enhancement

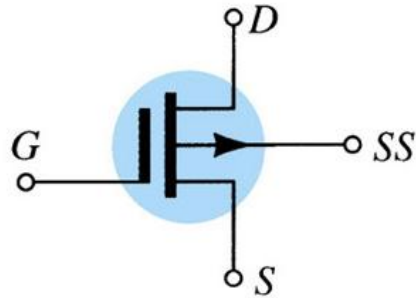
MOSFET – Kí hiệu



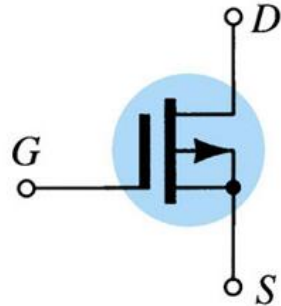
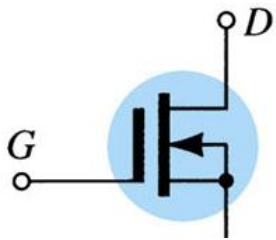
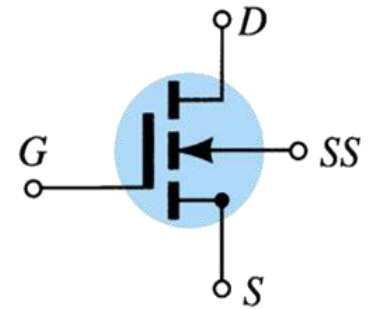
n-channel



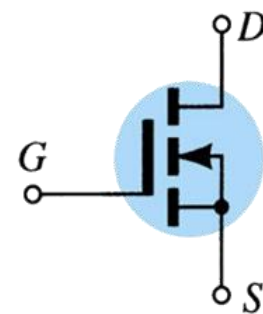
p-channel



n-channel



DMOS



EMOS

EMOS

2N4351

MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Drain-Source Voltage	V_{DS}	25	Vdc
Drain-Gate Voltage	V_{DG}	30	Vdc
Gate-Source Voltage*	V_{GS}	30	Vdc
Drain Current	I_D	30	mAdc
Total Device Dissipation @ $T_A = 25^\circ\text{C}$ Derate above 25°C	P_D	300 1.7	mW mW/°C
Junction Temperature Range	T_j	175	°C
Storage Temperature Range	T_{stg}	-65 to +175	°C

* Transient potentials of ± 75 Volt will not cause gate-oxide failure.

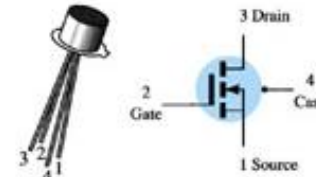
ELECTRICAL CHARACTERISTICS ($T_A = 25^\circ\text{C}$ unless otherwise noted.)

Characteristic	Symbol	Min	Max	Unit
OFF CHARACTERISTICS				
Drain-Source Breakdown Voltage ($I_D = 10 \mu\text{A}$, $V_{GS} = 0$)	$V_{(BR)DSX}$	25	-	Vdc
Zero-Gate-Voltage Drain Current ($V_{DS} = 10 \text{V}$, $V_{GS} = 0$) $T_A = 25^\circ\text{C}$ $T_A = 150^\circ\text{C}$	I_{DSS}	-	10 10	nAdc μAdc
Gate Reverse Current ($V_{GS} = \pm 15 \text{Vdc}$, $V_{DS} = 0$)	I_{GSS}	-	± 10	pAdc
ON CHARACTERISTICS				
Gate Threshold Voltage ($V_{DS} = 10 \text{V}$, $I_D = 10 \mu\text{A}$)	$V_{GS(th)}$	1.0	5	Vdc
Drain-Source On-Voltage ($I_D = 2.0 \text{mA}$, $V_{GS} = 10\text{V}$)	$V_{DS(on)}$	-	1.0	V
On-State Drain Current ($V_{GS} = 10 \text{V}$, $V_{DS} = 10 \text{V}$)	$I_{D(on)}$	3.0	-	mAdc
SMALL-SIGNAL CHARACTERISTICS				
Forward Transfer Admittance ($V_{DS} = 10 \text{V}$, $I_D = 2.0 \text{mA}$, $f = 1.0 \text{kHz}$)	$ y_{fs} $	1000	-	μmho
Input Capacitance ($V_{DS} = 10 \text{V}$, $V_{GS} = 0$, $f = 140 \text{kHz}$)	C_{iss}	-	5.0	pF
Reverse Transfer Capacitance ($V_{DS} = 0$, $V_{GS} = 0$, $f = 140 \text{kHz}$)	C_{rss}	-	1.3	pF
Drain-Substrate Capacitance ($V_{DC(SUB)} = 10 \text{V}$, $f = 140 \text{kHz}$)	$C_{d(sub)}$	-	5.0	pF
Drain-Source Resistance ($V_{GS} = 10 \text{V}$, $I_D = 0$, $f = 1.0 \text{kHz}$)	$r_{ds(on)}$	-	300	ohms
SWITCHING CHARACTERISTICS				
Turn-On Delay (Fig. 5)	t_{d1}	-	45	ns
Rise Time (Fig. 6)	t_r	-	65	ns
Turn-Off Delay (Fig. 7)	t_{d2}	-	60	ns
Fall Time (Fig. 8)	t_f	-	100	ns

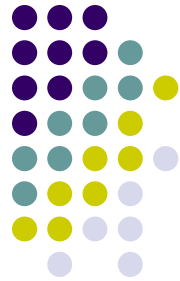
$I_D = 2.0 \text{mAdc}$, $V_{DS} = 10 \text{Vdc}$,
($V_{GS} = 10 \text{Vdc}$)
(See Figure 9; Times Circuit Determined)

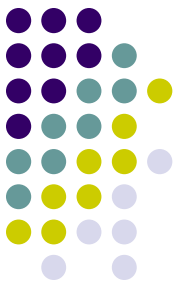
2N4351

CASE 20-03, STYLE 2
TO-72 (TO-206AF)



**MOSFET
SWITCHING
N-CHANNEL - ENHANCEMENT**

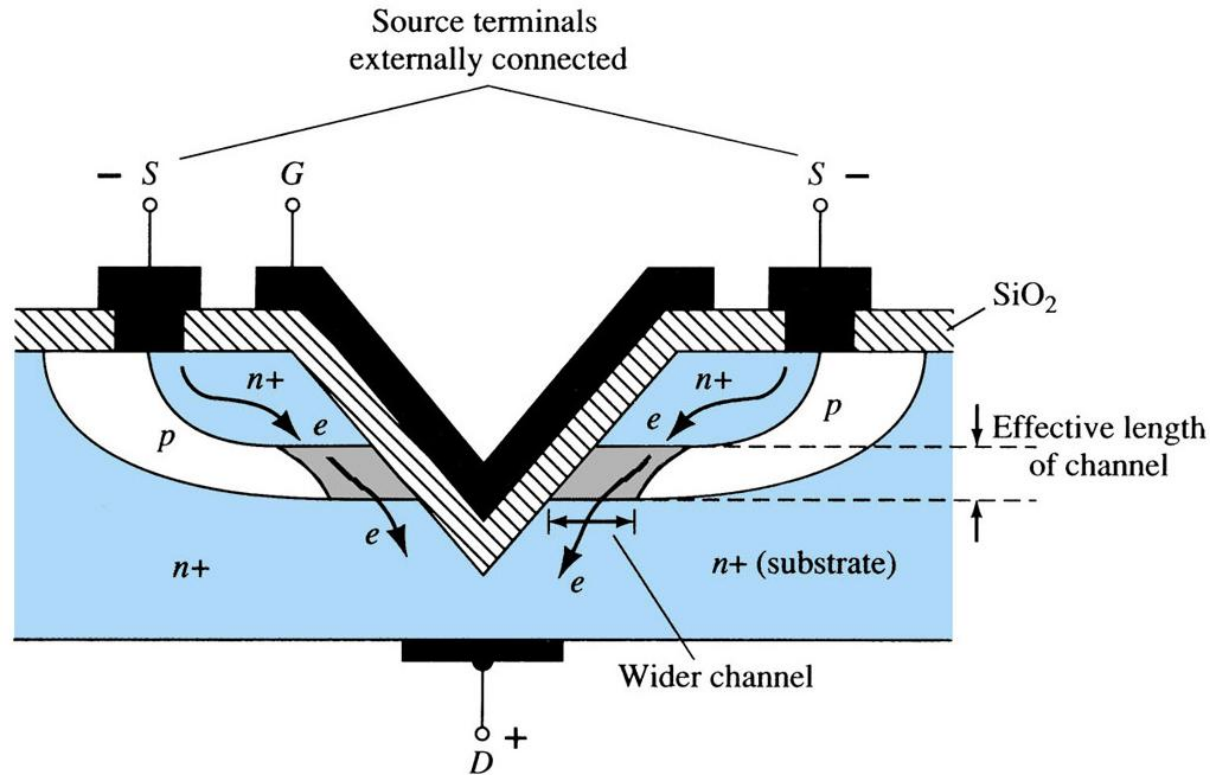




Datasheet-2N4351-EMOS

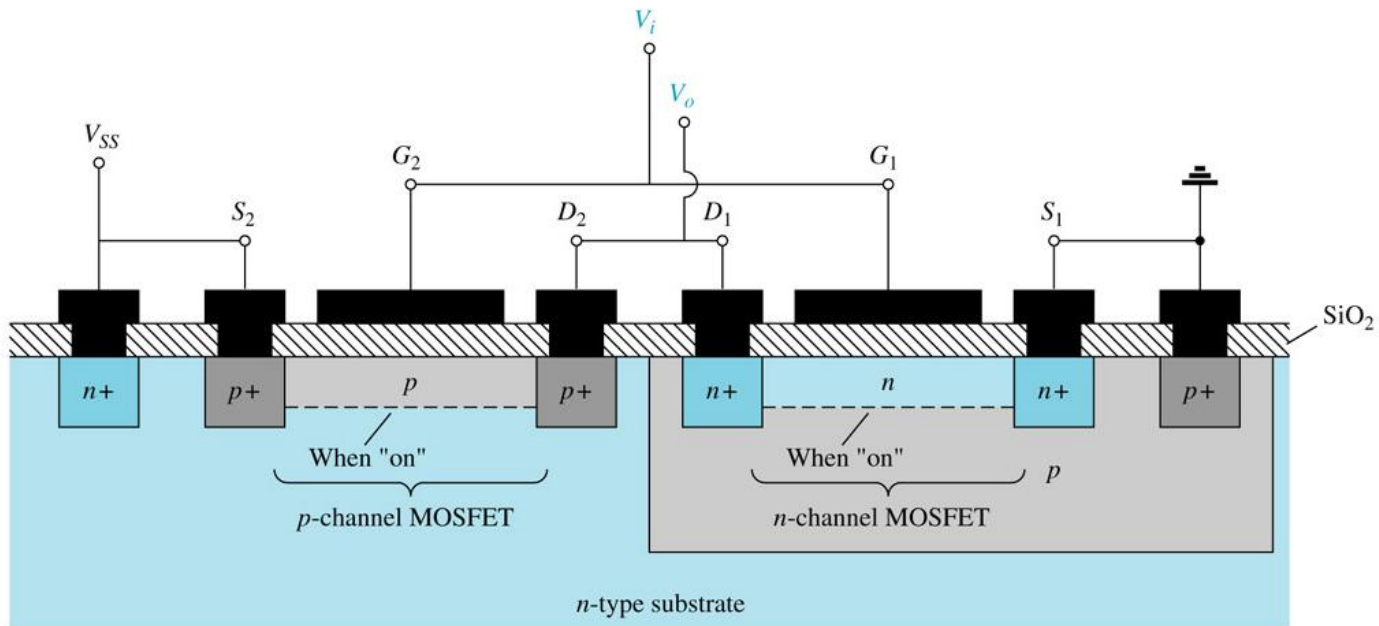
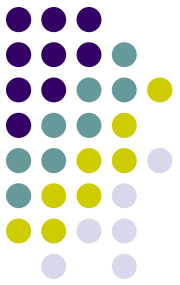
Characteristic	Symbol	Min	Max	Unit
V_{DS} breakdown	$V_{(BR)DSX}$	25		Vdc
I_D -zero gate volage, $V_{ds}=10V, V_{gs}=0, 25C - 150C$	I_{DSS}		10 10	nAdc μ Adc
I_{gate} reverse($V_{gs}=\pm 15, V_{ds}=0$)	I_{GSS}		± 10	nAdc
V_{DS} on Voltage	$V_{DS(on)}$		1.0	V
$C_{in}(V_{ds}=10V, I_d=2mA, f=140kHz)$	C_{iss}		5.0	pF
$C_{DS}(V_{dsub}=10V, f=140KHz)$	C_{rss}		5.0	pF
$R_{DS}(V_{gs}=10V, I_d=0, f=1KHz)$	$R_{ds(on)}$		300	ohms

VMOS

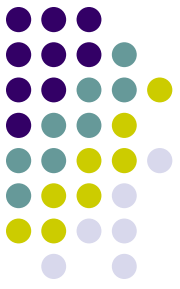


- VMOS – Vertical MOSFET ,tăng diện tích bề mặt
- Có thể hoạt động ở dòng lớn hơn vì có bề mặt tỏa nhiệt
- Tốc độ chuyển mạch tốt hơn

CMOS



- CMOS=Complementary MOSFET
- *p*MOS và *n*MOS trên cùng một đế, hoạt động ở chế độ chuyển mạch ON/OFF
- Giảm kích thước và công suất tiêu thụ, tăng tốc độ chuyển mạch
- Hầu như chỉ dùng trong IC

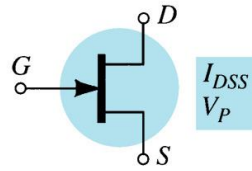


So sánh FET-BJT

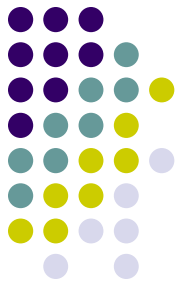
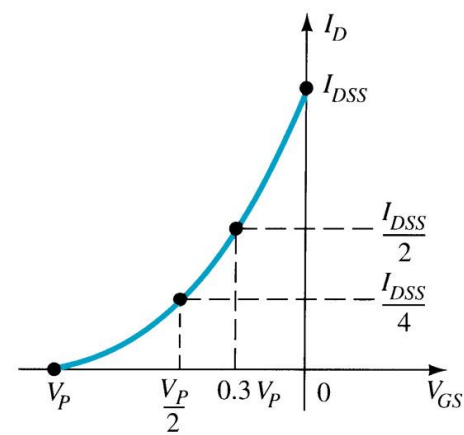
BJT	FET
<ul style="list-style-type: none">➤ Điều khiển bằng dòng => tiêu hao công suất➤ Dòng ra và dòng vào quan hệ tuyến tính➤ Hệ số khuếch đại tốt hơn ➤ Chịu ảnh hưởng của nhiệt độ	<ul style="list-style-type: none">➤ Điều khiển bằng áp => ít tiêu hao công suất➤ Dòng ra và điện áp vào quan hệ không tuyến tính➤ Trở kháng vào rất lớn, hệ số tạp âm nhỏ, phù hợp nguồn tín hiệu nhỏ➤ Ít bị ảnh hưởng của nhiệt độ

Tổng kết

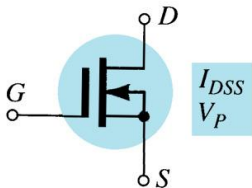
$$I_G = 0 \text{ A}, I_D = I_S$$



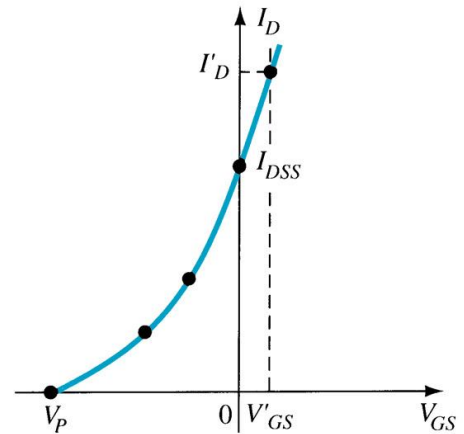
$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_P}\right)^2$$



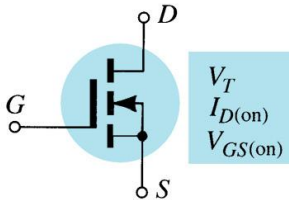
$$I_G = 0 \text{ A}, I_D = I_S$$



$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_P}\right)^2$$

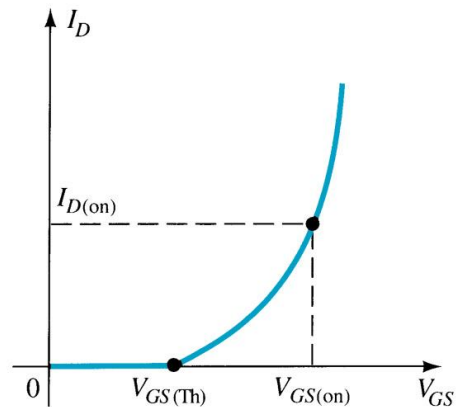


$$I_G = 0 \text{ A}, I_D = I_S$$



$$I_D = k (V_{GS} - V_{GS(Th)})^2$$

$$k = \frac{I_{D(on)}}{(V_{GS(on)} - V_{GS(Th)})^2}$$





Phân cực

- Phân cực cố định (Fixed bias)
- Tự phân cực (Self bias)
- Phân cực phân áp (Voltage divider bias)
- Phân cực hồi tiếp (Feedback bias)

Phân cực



Mối liên hệ giữa dòng điện và điện áp khi đặt FET ở chế độ khuếch đại

Với tất cả các loại FET:

$$I_G = 0A$$

$$I_D = I_S$$

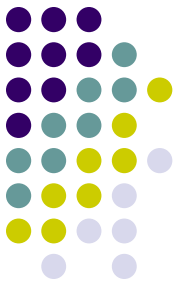
Với JFET và DMOS:

$$I_D = I_{DSS}(1 - V_{GS}/V_P)^2$$

Với EMOS:

$$I_D = k(V_{GS} - V_T)^2$$

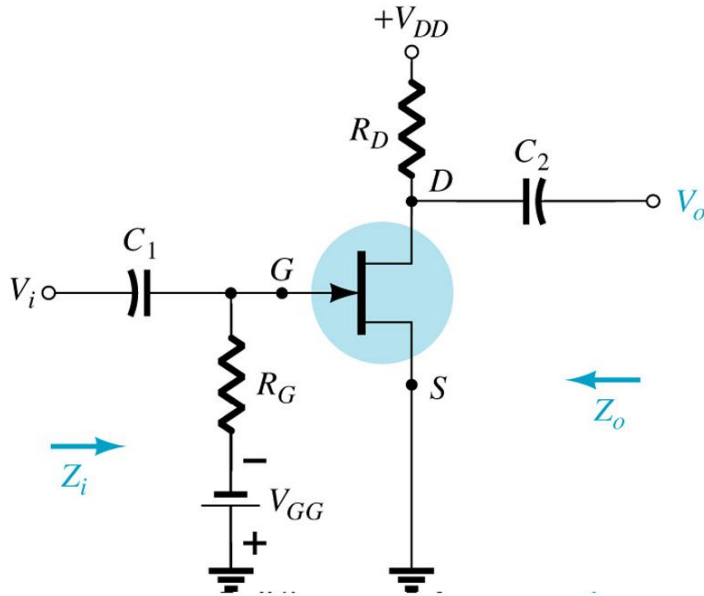
Quan hệ giữa dòng điện ra và điện áp vào là quan hệ phi tuyến
=> hay sử dụng phương pháp đồ thị



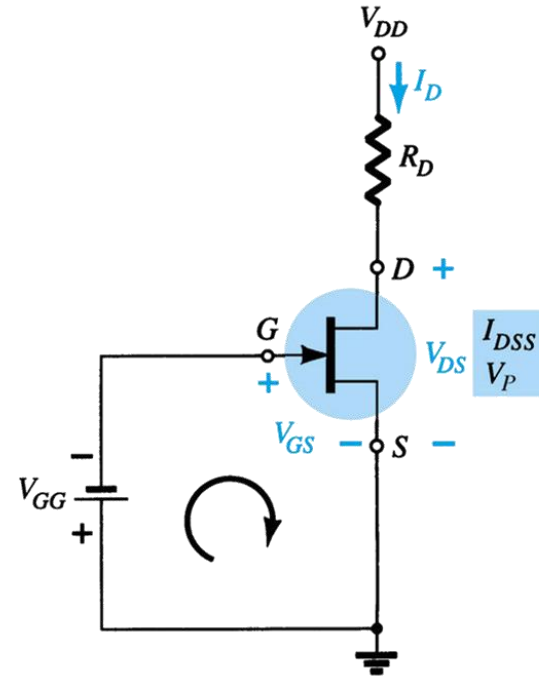
Phân cực

- Phân cực cố định (Fixed bias): JFET
- Tự phân cực (Self bias): JFET, DMOS
- Phân cực phân áp (Voltage divider bias): JFET, DMOS, EMOS
- Phân cực hồi tiếp (Feedback bias): EMOS

Phân cực cố định



Gọi là phân cực cố định
vì điện áp V_{GS} được cố
định bởi nguồn 1c V_{GG}



$$I_G = 0A$$

$$V_S = 0$$

$$V_{GS} = V_G = -V_{GG}$$

$$I_D = I_{DSS}(1 - V_{GS}/V_P)^2$$

Phân cực cố định

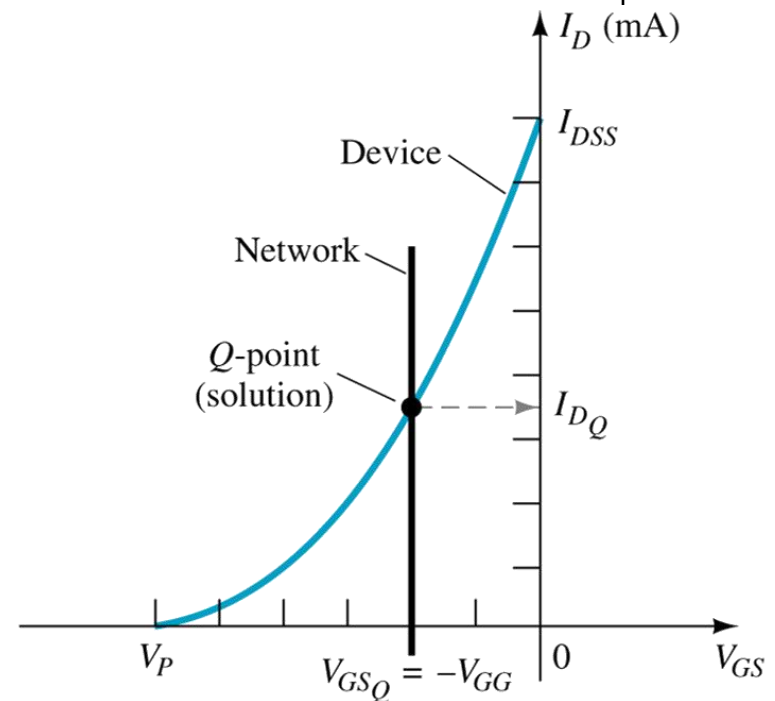
$$I_D = I_{DSS}(1 - V_{GS}/V_P)^2$$

Xây dựng đặc tuyến truyền đạt theo bảng giá trị sau:

V_{GS}	I_D
0	I_{DSS}
$0.3V_P$	$I_{DSS}/2$
0.5	$I_{DSS}/4$
V_P	0mA

Phương trình đường tải

$$V_{GS} = -V_{GG}$$



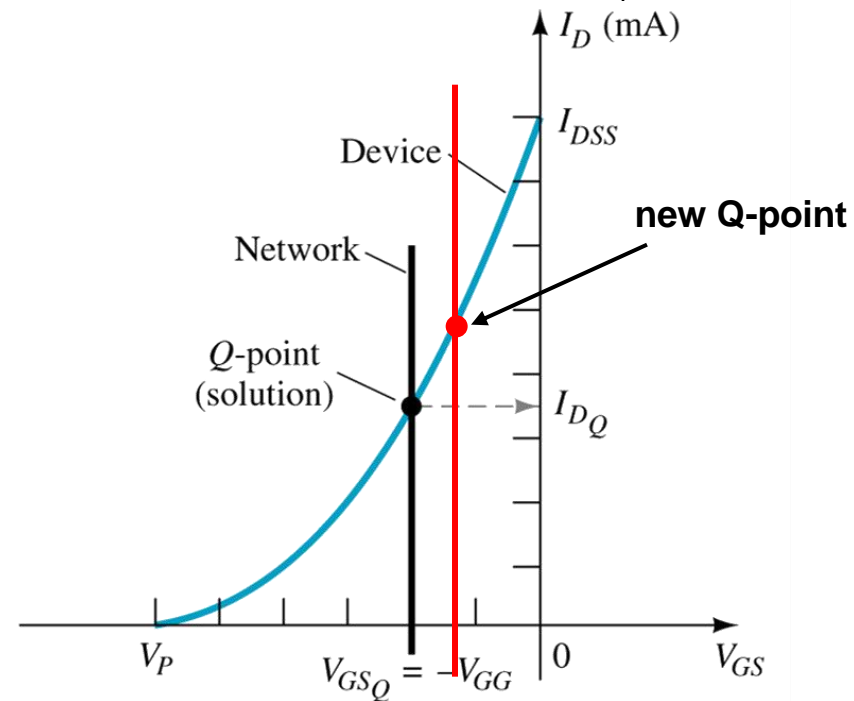
Giao điểm của đặc tuyến truyền đạt và đường tải là điểm làm việc tĩnh

Ảnh hưởng nhiệt độ

Trong thực tế, dòng rò I_{GSS} tăng lên theo nhiệt độ nên không thể hoàn toàn bỏ qua

Điểm làm việc tĩnh dịch chuyển

$$V_{GS} = V_{GG} + I_{GSS} * R_G$$



Ảnh hưởng nhiệt độ



Nếu $V_{GG} = -1V$ và $R_G = 1 M\Omega$. $I_{GSS} = 10nA$ tại $25^\circ C$ và tăng lên gấp đôi nếu nhiệt độ tăng $10^\circ C$. V_{GS} tại nhiệt độ $125^\circ C$?

Giải.

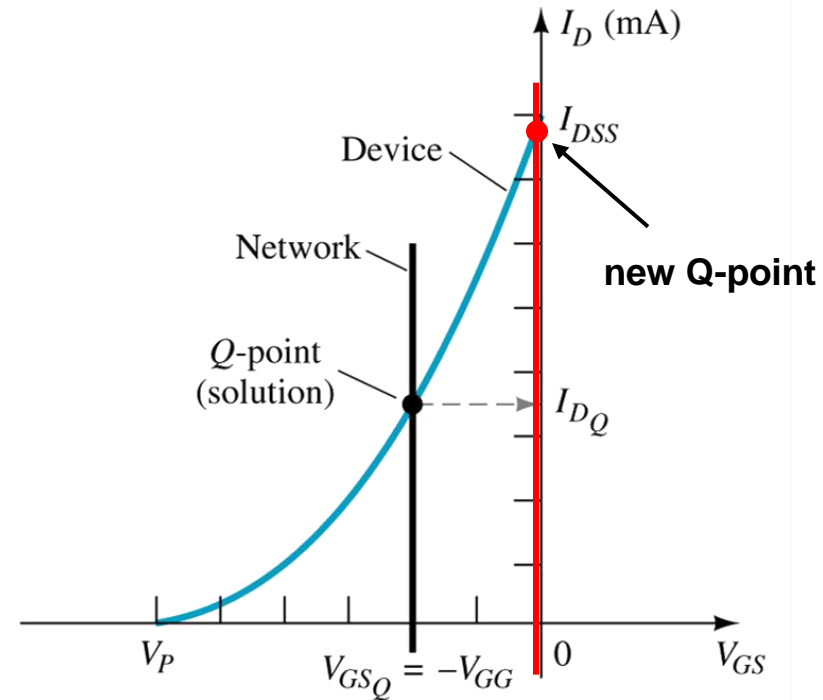
Tại $25^\circ C$, $I_{GSS} R_G = 10^{-9} \cdot 10^6 = 1mV$, có thể bỏ qua khi so với $V_{GG} = -1V$ (chính xác $V_{GS} = -999mV$).

Nếu nhiệt độ tăng lên $125^\circ C$, dòng I_{GSS} tăng lên 2^{10} lần ($\approx 10^3$)

$$I_{GSS} = 10^3 \cdot 1nA = 1\mu A$$

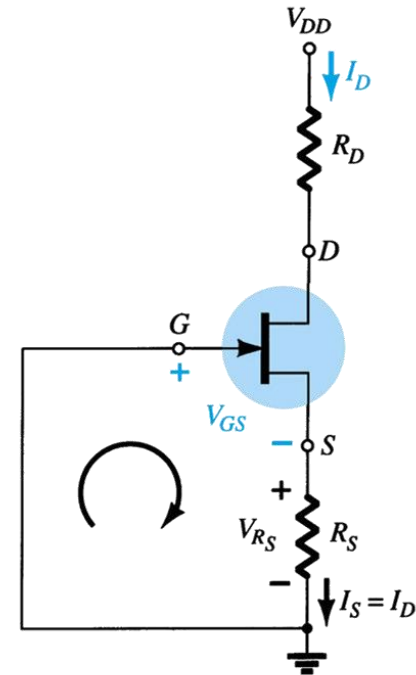
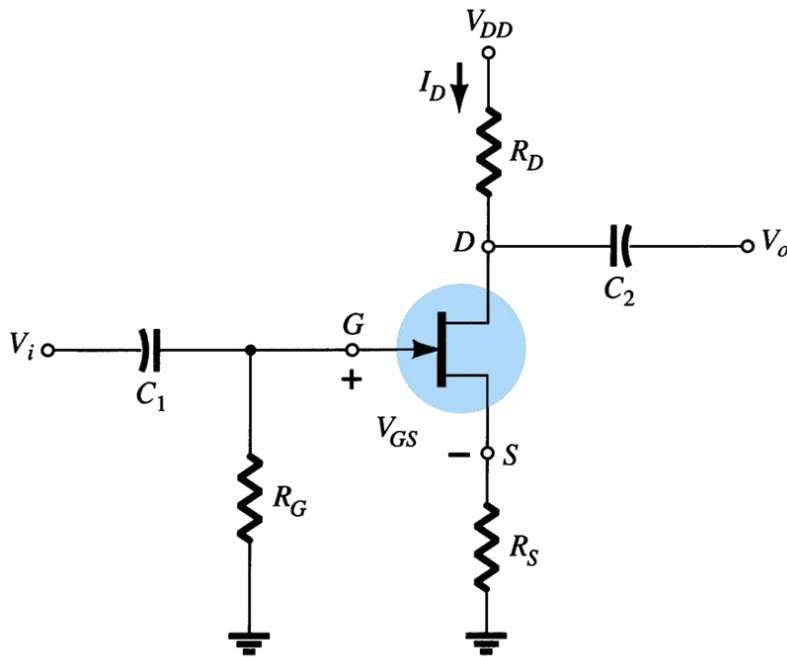
$$I_{GSS} R_G = 1V$$

$$V_{GS} = 0V \text{ và } I_D = I_{DSS}$$



Điểm làm việc Q dịch chuyển đi rất nhiều so với thiết kế ban đầu ở nhiệt độ phòng

Tự phân cực



Có điểm gì khác so với phân cực cố định? Tại sao gọi là tự phân cực? Vai trò của R_S ?

Điện trở R_G được coi như ngắn mạch? Có thể bỏ R_G ?

Tự phân cực



Mạch vòng đầu vào:

$$I_G = 0 \Rightarrow V_G = 0V$$

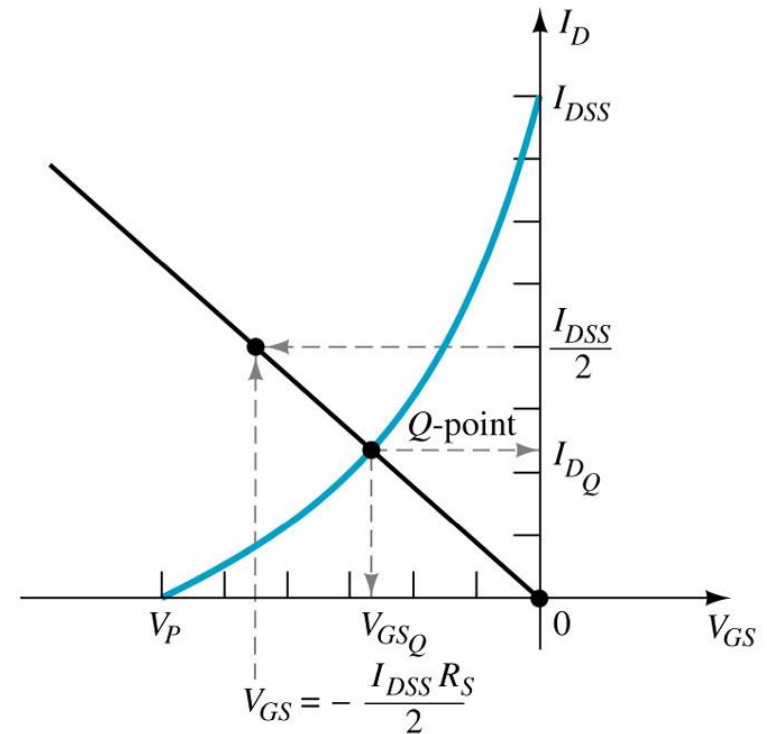
$$V_{GS} = -I_S R_S$$

$$I_D = I_{DSS} (1 - V_{GS}/V_p)^2$$

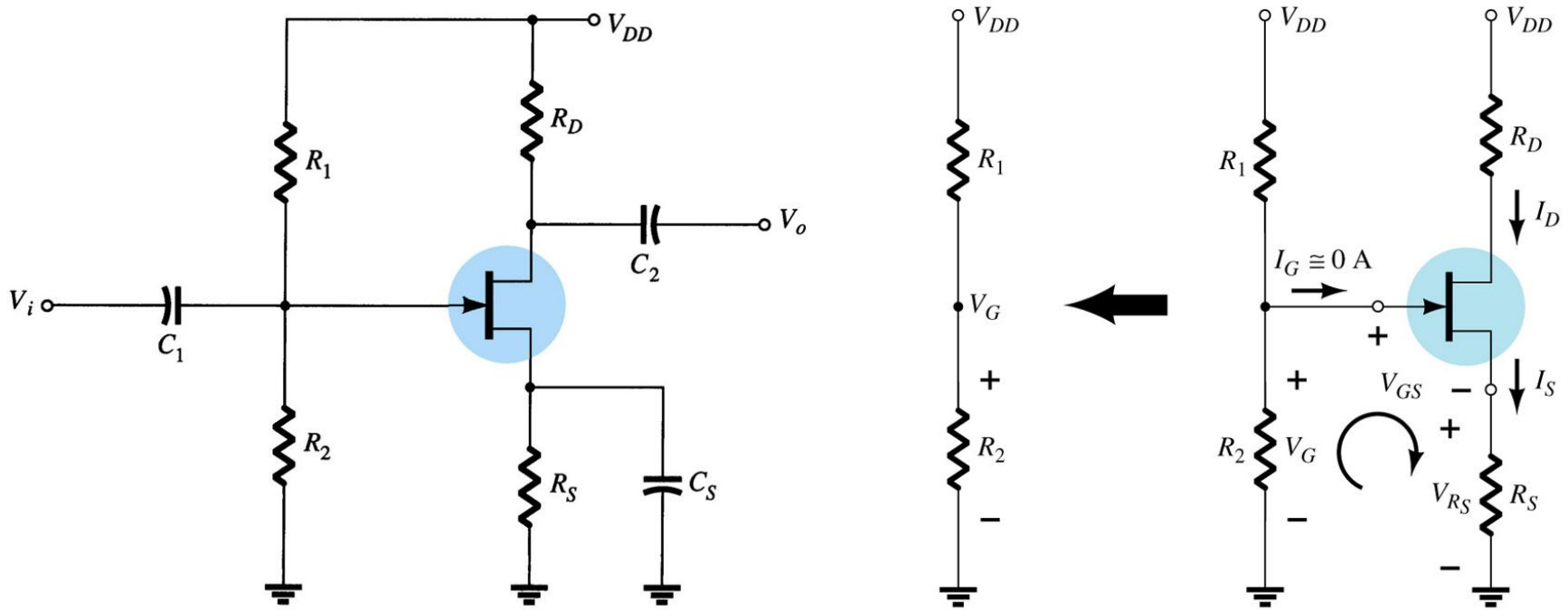
Giải hệ trên để xác định điểm làm việc Q

Hoặc xác định theo phương pháp đồ thị như hình bên

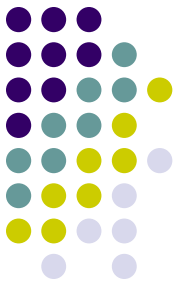
Xem xét sự phụ thuộc nhiệt độ?



Phân cực kiểu phân áp



Dòng $I_G = 0$, điện áp vào V_{GS} điều khiển dòng ra I_D
Sử dụng phổ biến, cho các loại FET



Phân cực kiểu phân áp

$$V_G = V_{DD}R_2/(R_1+R_2)$$

Phương trình đường tải

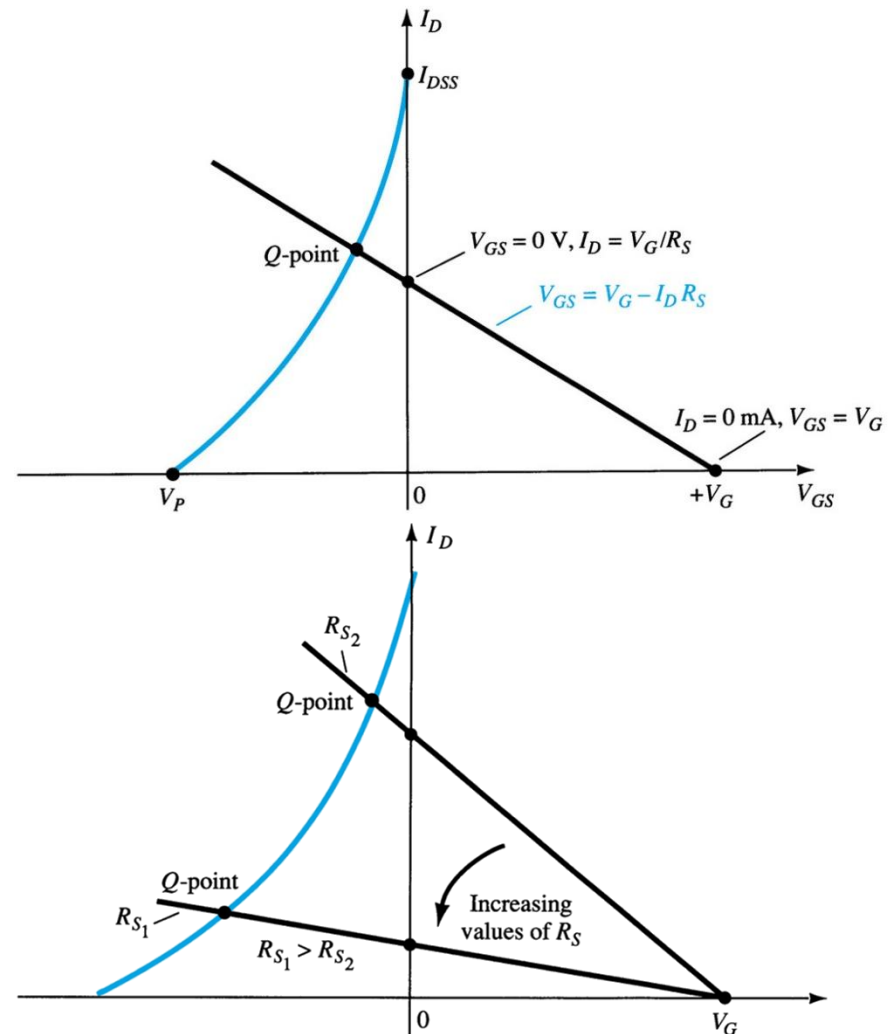
$$V_{GS} = V_G - I_D R_S \quad (1)$$

Giá trị R_S thay đổi làm đường tải và điểm làm việc dịch chuyển

Mối quan hệ bên trong của FET

$$I_D = I_{DSS}(1 - V_{GS}/V_P)^2, \quad (2)$$

Giải hệ phương trình trên (1,2) hoặc xác định theo phương pháp đồ thị như hình bên



Phân cực kiểu phân áp



$$V_G = V_{DD} * 10M\Omega / (110M\Omega + 10M\Omega)$$

Phương trình đường tải:

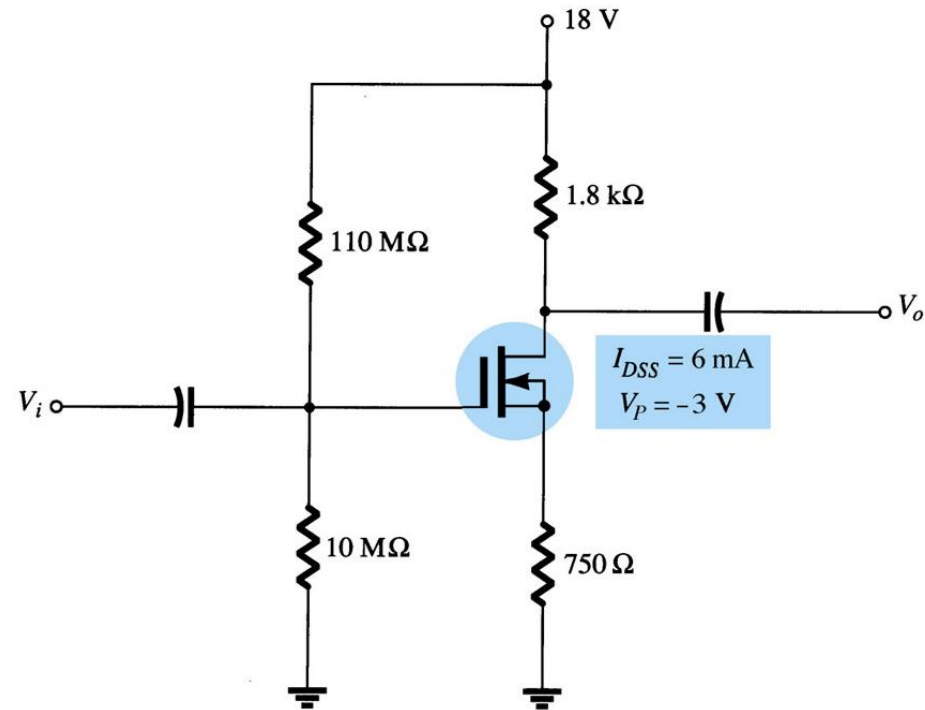
$$V_{GS} = V_G - I_S * 750\Omega \quad (1)$$

Quan hệ dòng áp với DMOS:

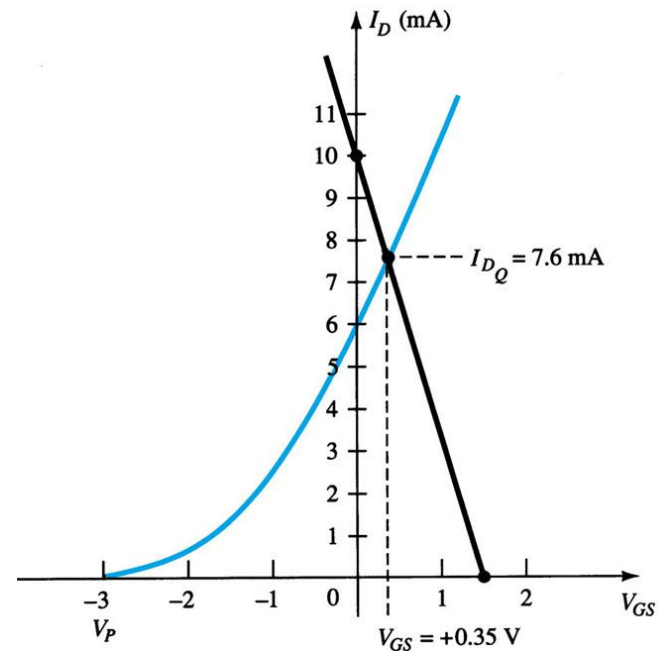
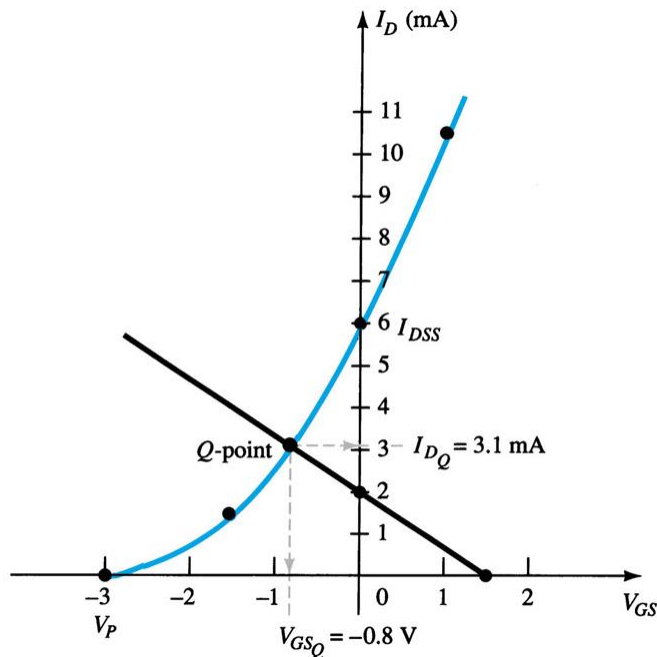
$$I_D = I_{DSS} (1 - V_{GS}/V_P)^2 \quad (2)$$

Giải hệ (1,2) hoặc xác định theo phương pháp đồ thị

Lưu ý, V_{GS} có thể dương



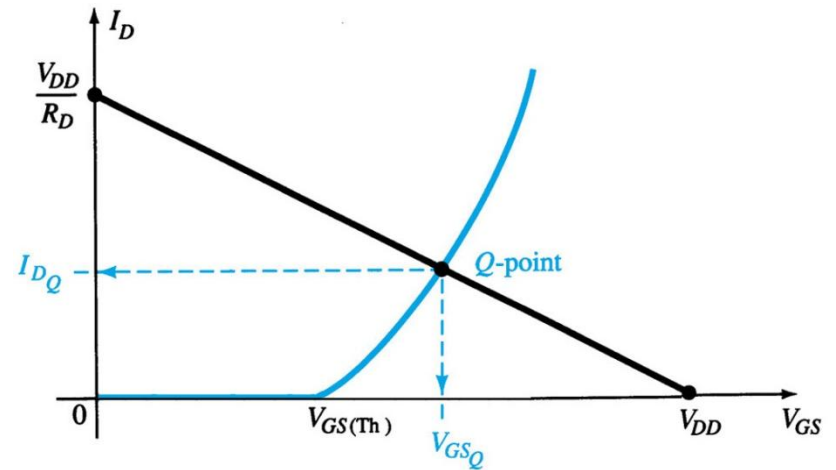
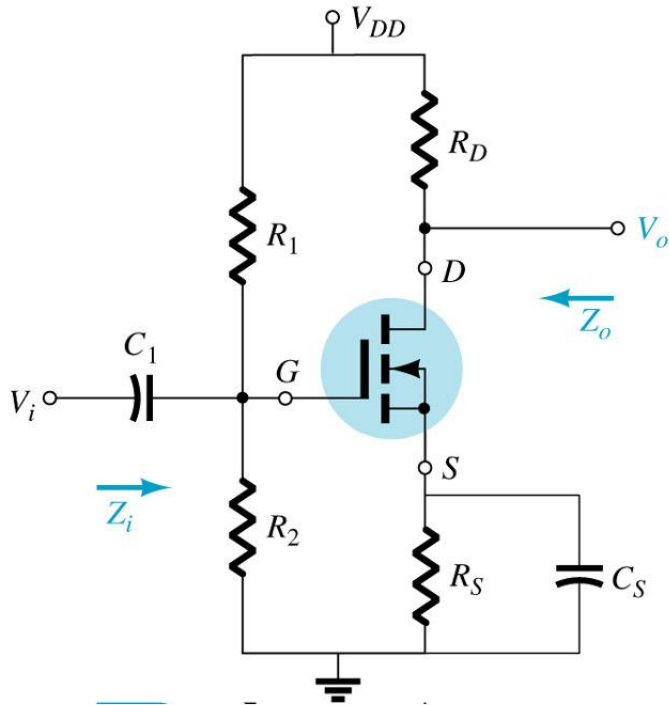
Phân cực kiểu phân áp



Với DMOS: $I_D = I_{DSS}(1 - V_{GS}/V_P)^2$

V_{GS} có thể dương

Phân cực kiểu phân áp



Với EMOS:

$$I_D = k(V_{GS} - V_T)^2$$

$$k = I_{D_{on}} / (V_{GS_{on}} - V_T)^2$$

Phân cực kiểu phân áp

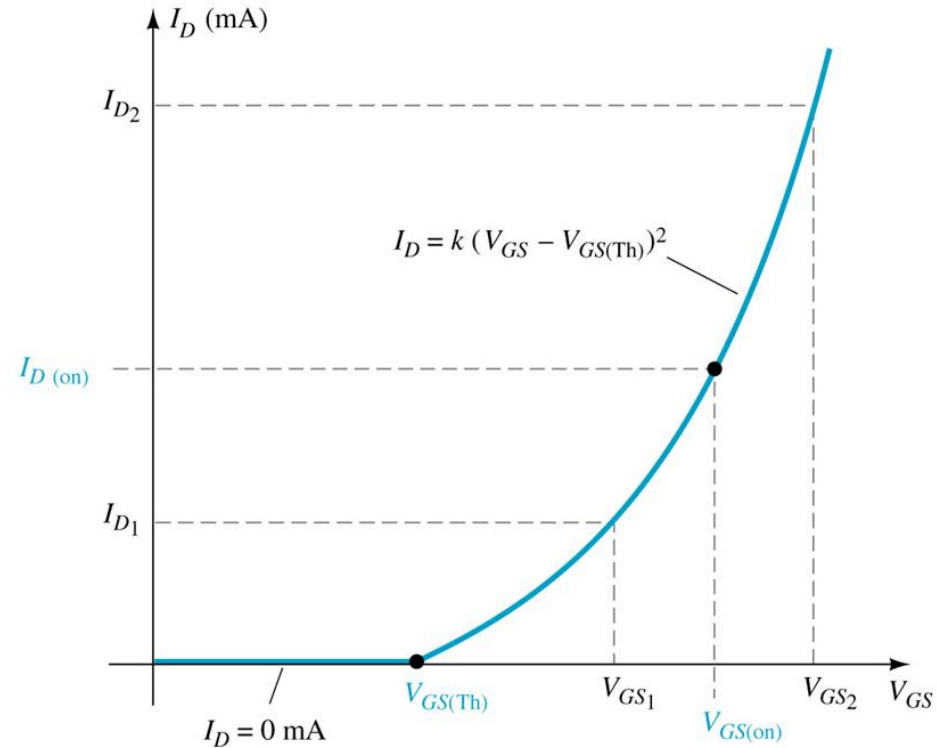


Với EMOS:

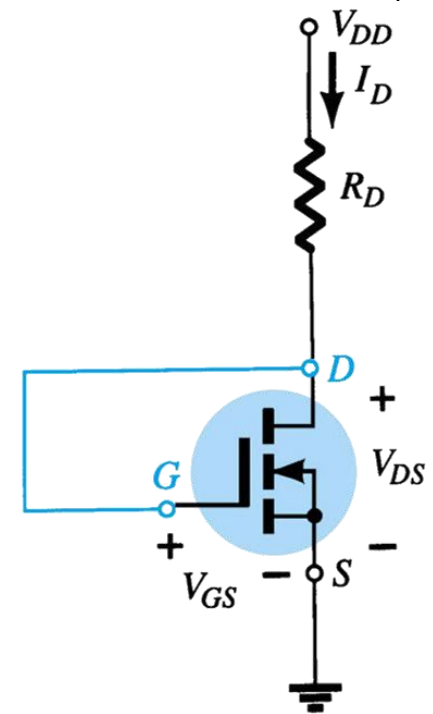
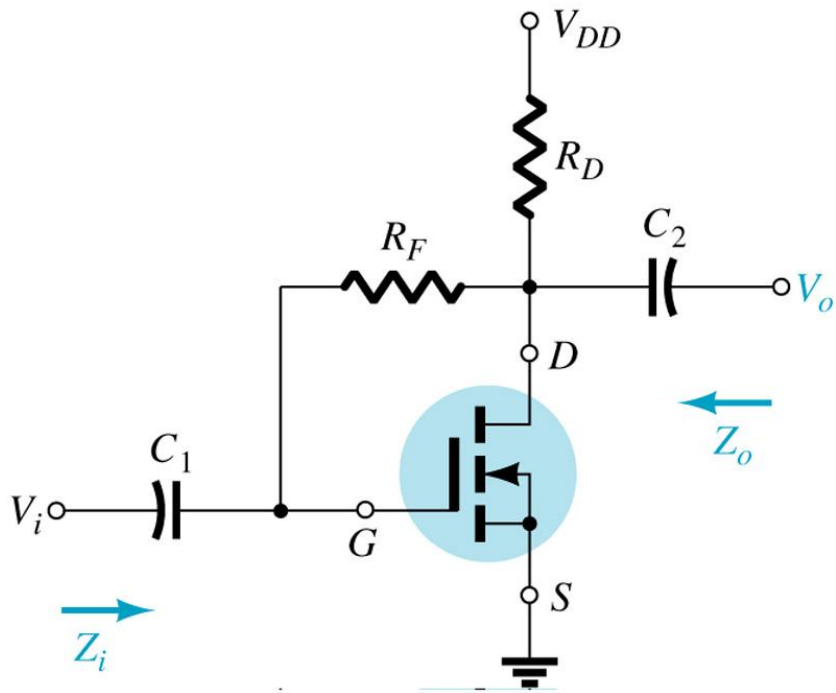
$$I_D = k(V_{GS} - V_T)^2$$

$$\text{với } k = I_{D(on)} / (V_{GS(on)} - V_T)^2$$

Vẽ đặc tuyến truyền đạt của EMOS



Phân cực kiểu hồi tiếp



Mạch vào:

$$I_G = 0 \Rightarrow V_G = V_D$$

Phân cực kiểu hồi tiếp



Mạch vào:

$$I_G = 0 \Rightarrow V_G = V_D$$

Phương trình đường tải:

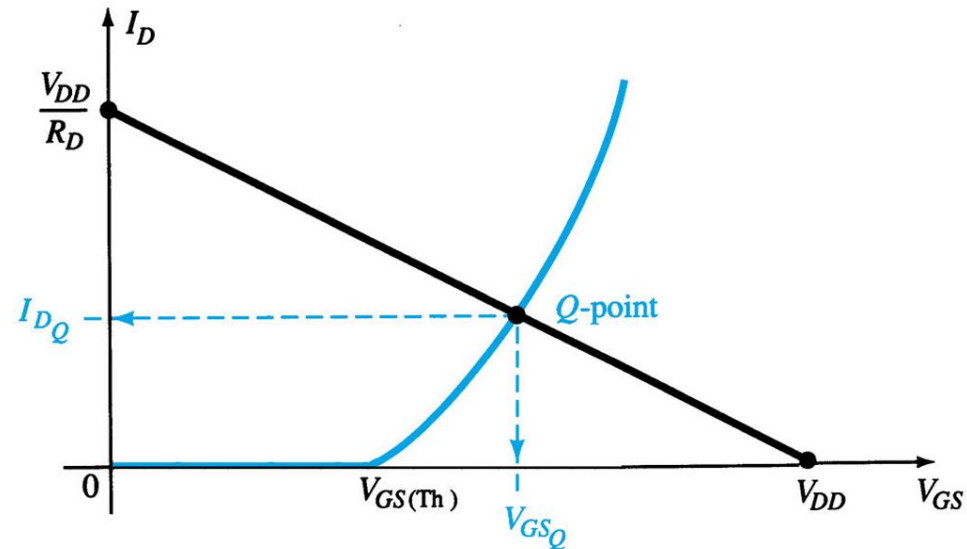
$$V_{GS} = V_{DS} = V_{DD} - R_D I_D \quad (1)$$

Đặc tuyến truyền đạt của EMOS

$$I_D = k(V_{GS} - V_T)^2, \quad (2)$$

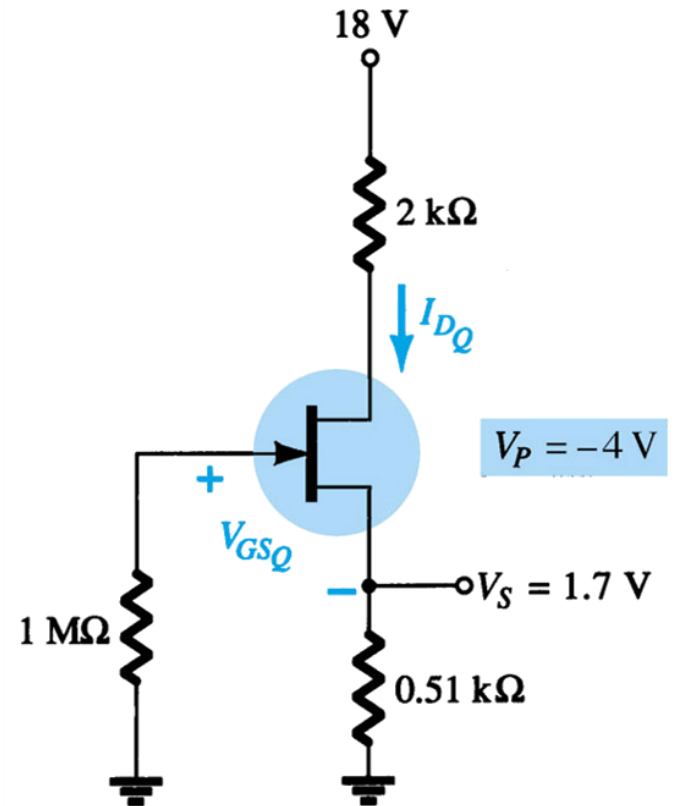
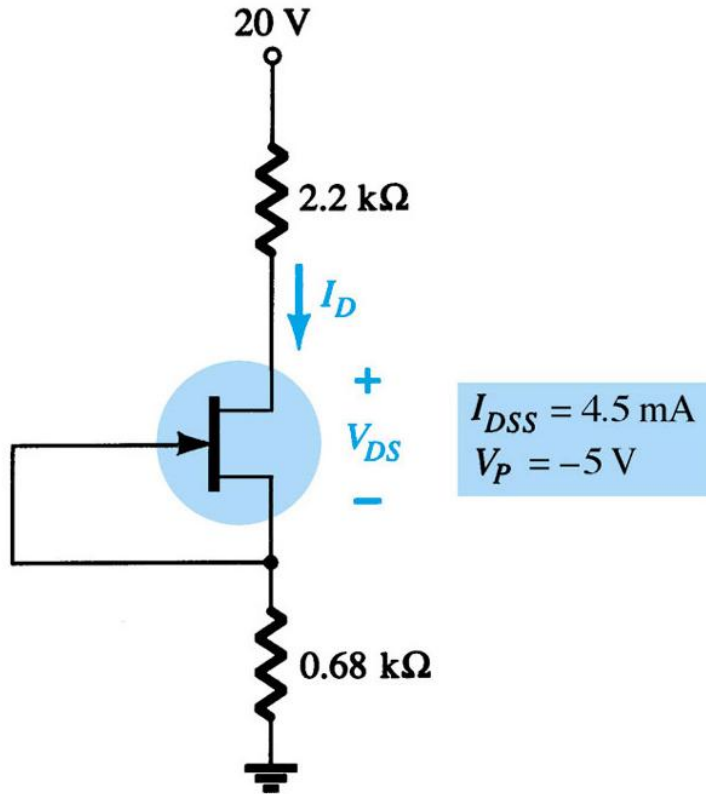
$$k = I_{Don} / (V_{GSon} - V_T)^2$$

Giải hệ (1,2) hoặc xác định theo đồ thị



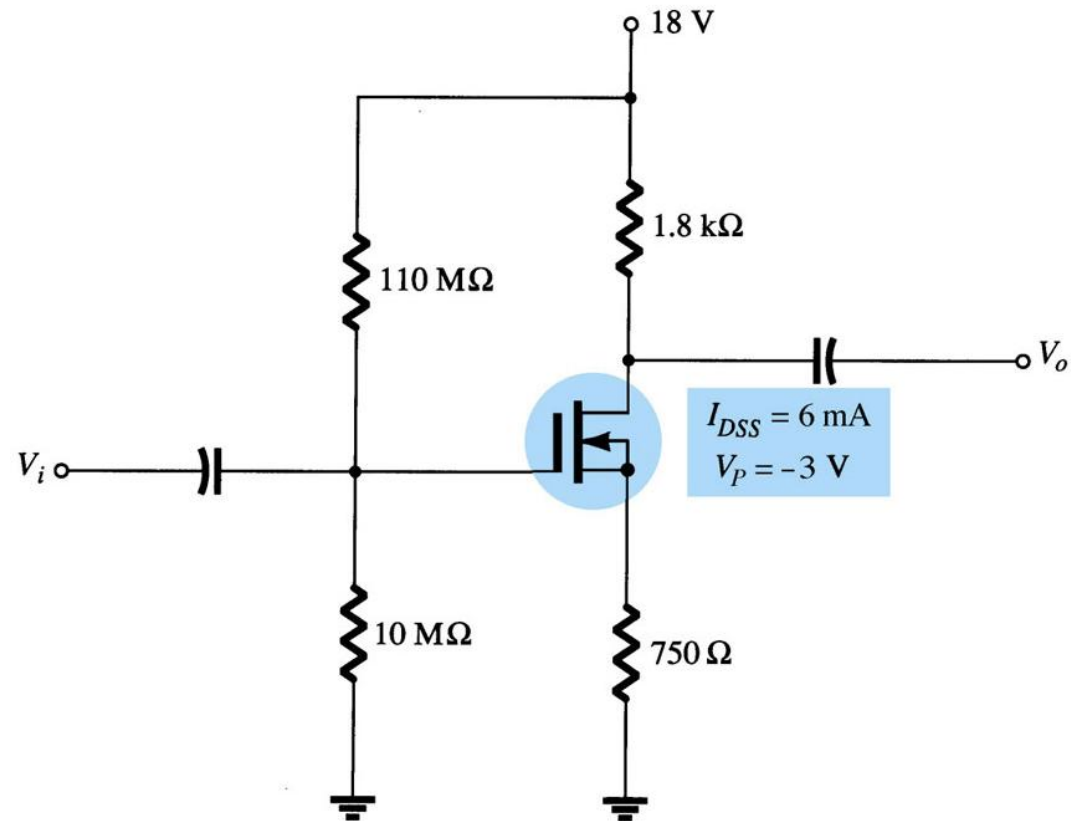
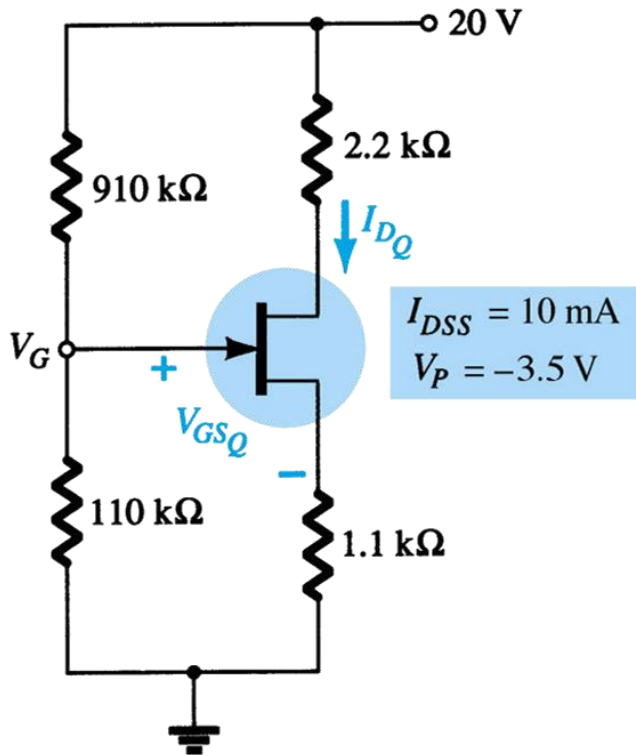
Có thể sử dụng cho JFET?

Ví dụ



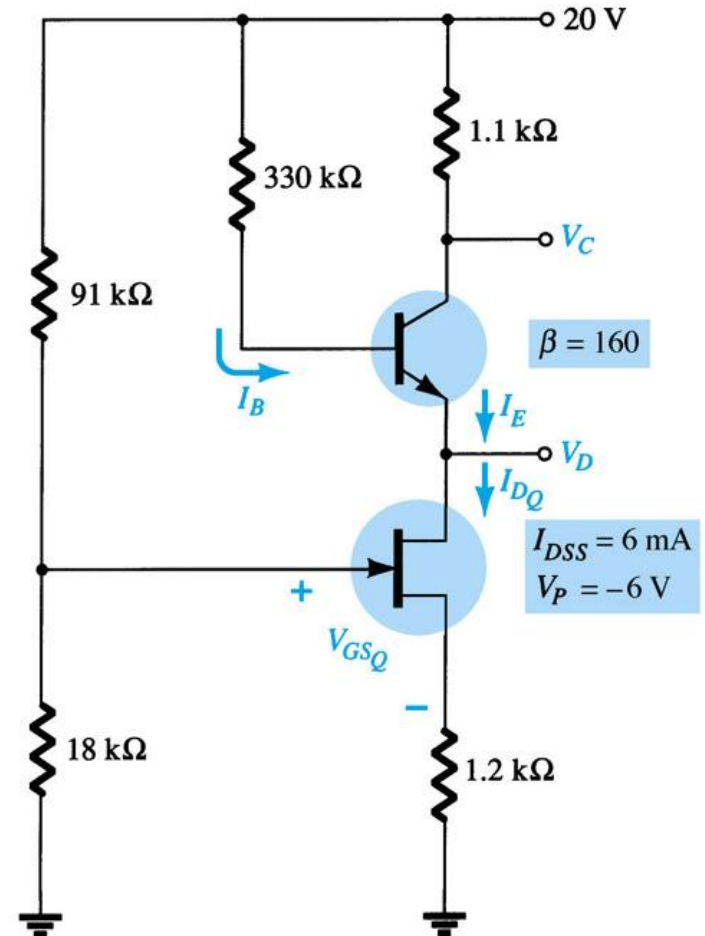
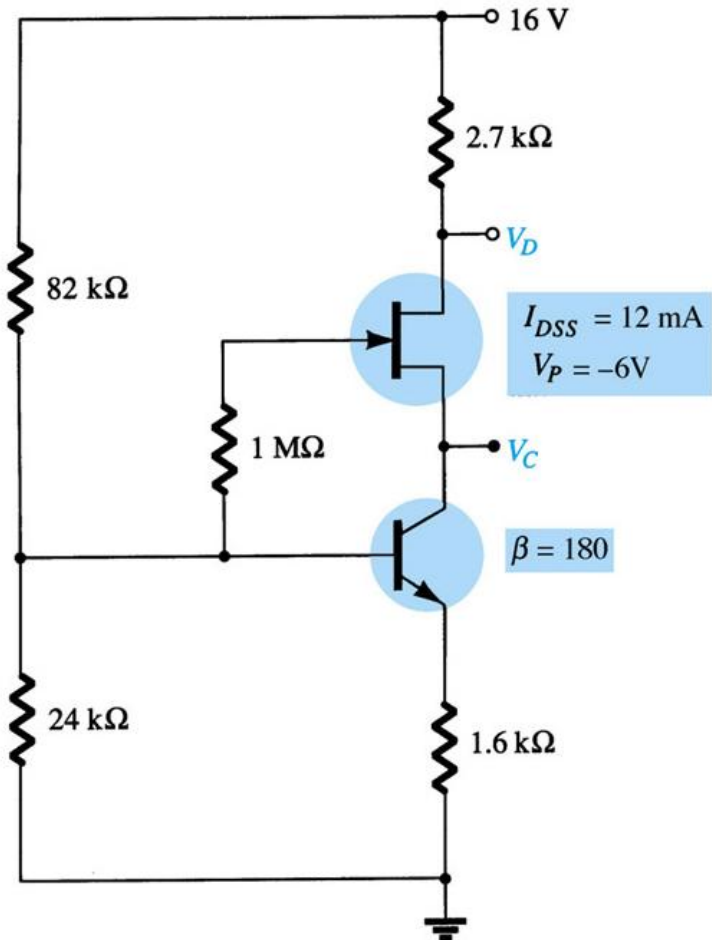
Xác định điểm làm việc Q (I_D , V_{GS})

Ví dụ



Xác định điểm làm việc Q (I_D , V_{GS})

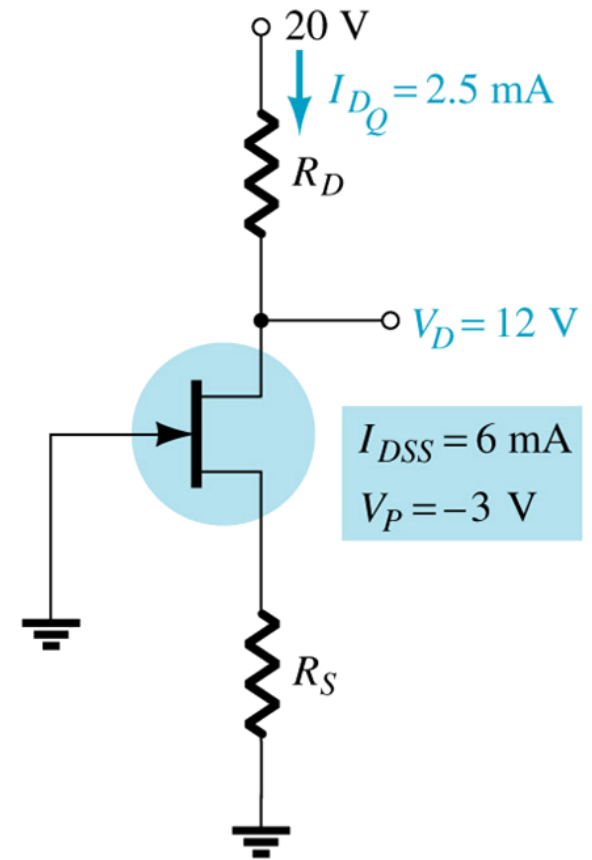
Ví dụ



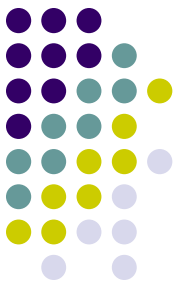
Ví dụ

Thiết kế:

Tính giá trị các điện trở với điểm làm việc Q có $I_D = 2.5\text{mA}$



Mạch tín hiệu nhỏ sử dụng FET

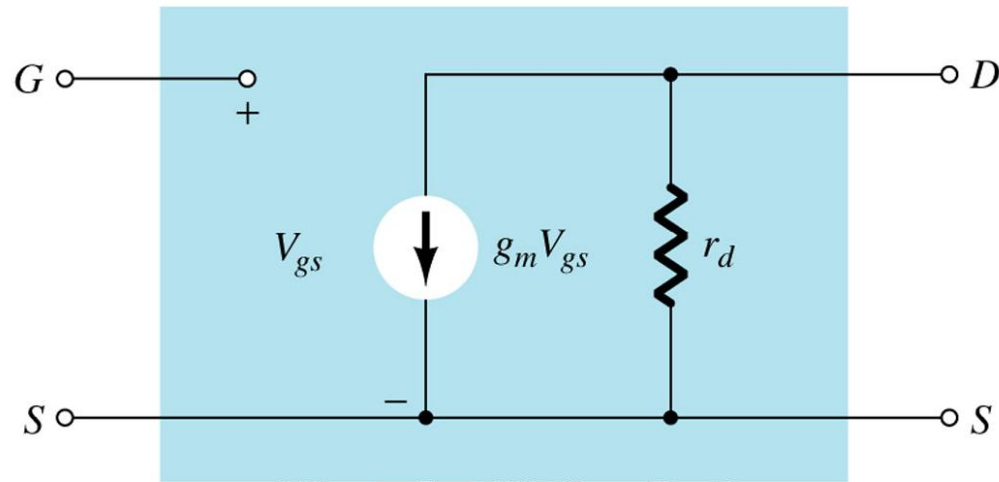


Cực G và S hở mạch vì trở kháng vào cực lớn (n100- n1000 M Ω)

Trở kháng ra r_d

Nguồn dòng được điều khiển bởi điện áp với hệ số điều khiển g_m mô tả quan hệ dòng ra phụ thuộc vào điện áp vào

g_m - hệ dẫn truyền đạt



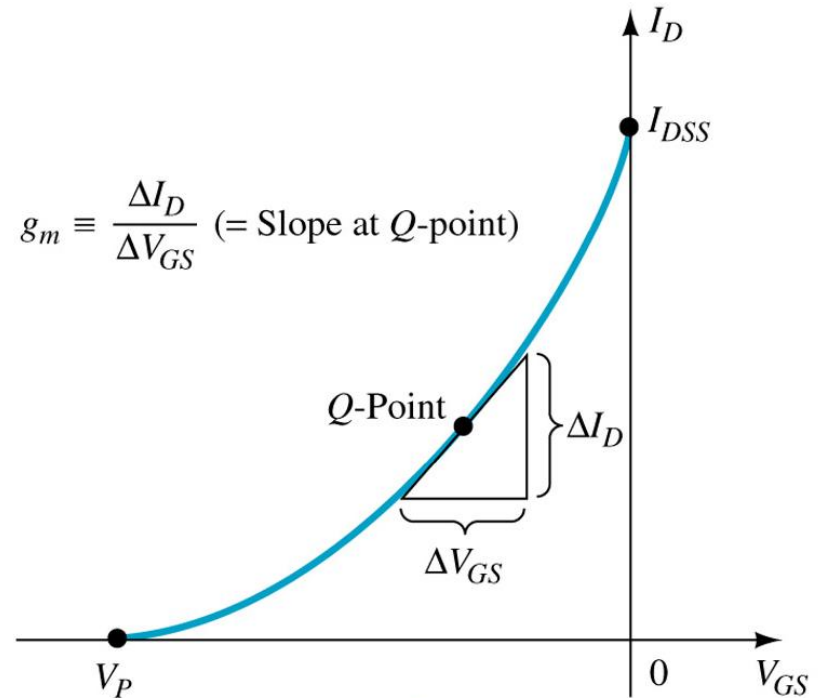
Hỗ dẫn truyền đạt



$$g_m = \Delta I_D / \Delta V_{GS} = d(I_D(V_{GS}))$$

– đạo hàm của phương trình đặc tuyến truyền đạt

Ý nghĩa hình học: độ dốc đặc tuyến truyền đạt, thường xác định tại điểm làm việc Q



Hỗ dẫn truyền đạt



Với JFET và DMOS, đặc tuyến truyền đạt tuân theo phương trình Shockley

$$g_m = \frac{2I_{DSS}}{|V_P|} \left[1 - \frac{V_{GS}}{V_P} \right]$$

Khi $V_{GS} = 0$:

$$g_{m0} = \frac{2I_{DSS}}{|V_P|}$$

g_m xác định tại điểm làm việc Q

$$g_m = g_{m0} \left[1 - \frac{V_{GS}}{V_P} \right]$$

Cấu hình chung cực nguồn - CS

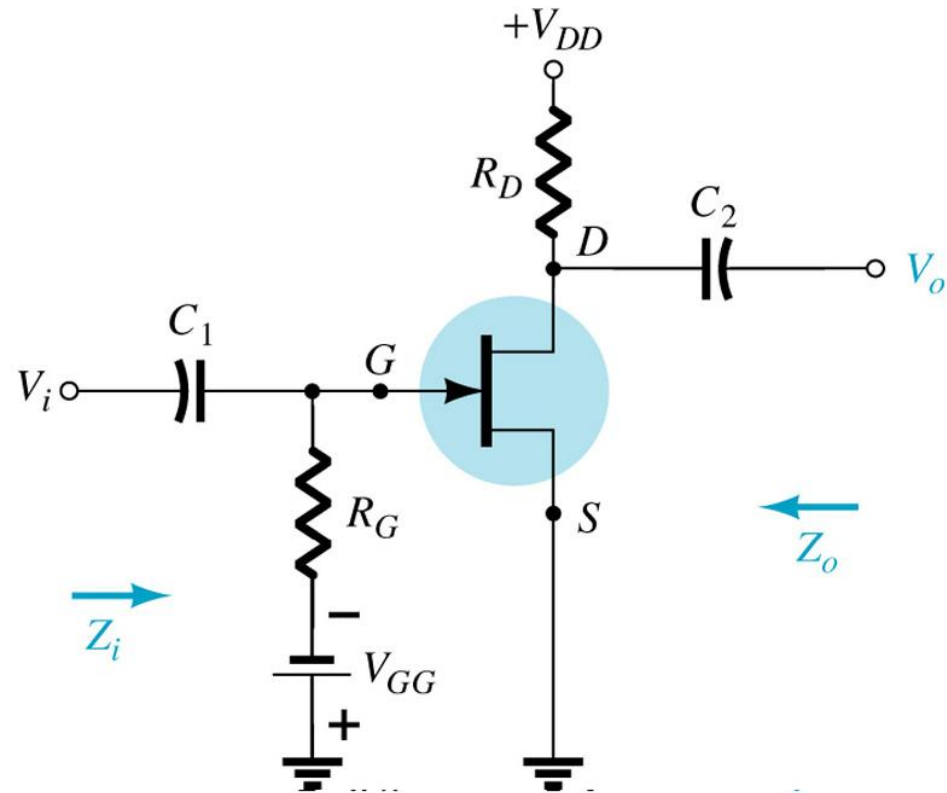


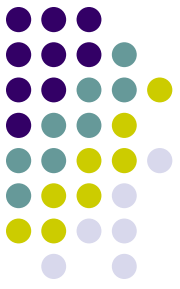
Điện áp vào đưa đến chân G, điện áp ra lấy tại chân D (chân S nối đất)

Phân cực kiểu cố định

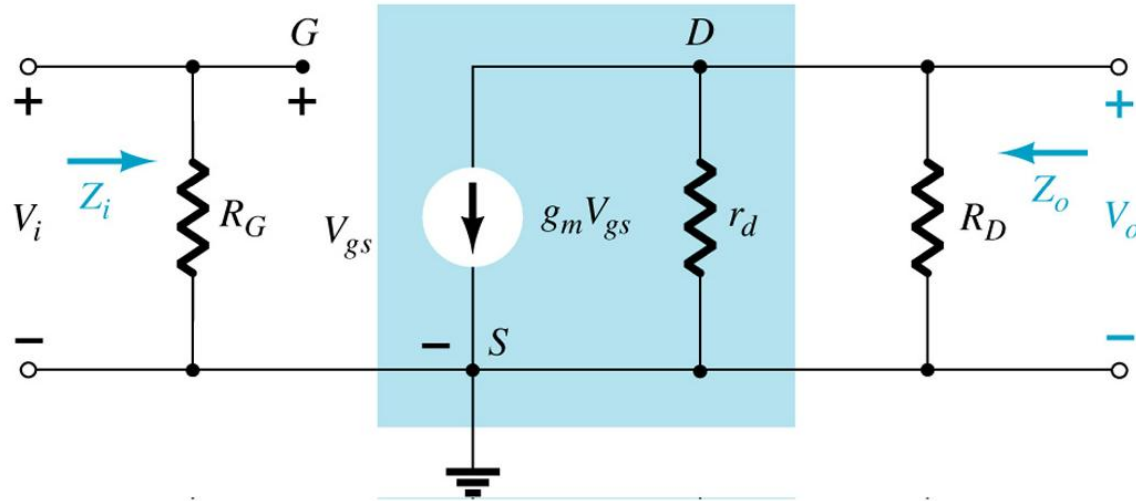
Chú ý khi phân tích:

- ✓ Ngắn mạch các tụ nối
- ✓ Ngắn mạch nguồn một chiều





Cấu hình chung cực nguồn - CS



$$Z_i = R_G$$

$$Z_o = r_d // R_D \quad \approx R_D \quad \text{nếu } r_d > 10R_D$$

$$A_V = -g_m (r_d // R_D) \quad \approx g_m R_D \quad \text{nếu } r_d > 10R_D$$

Quan hệ pha: điện áp ra và điện áp vào ngược pha nhau

Cấu hình chung cực nguồn - CS

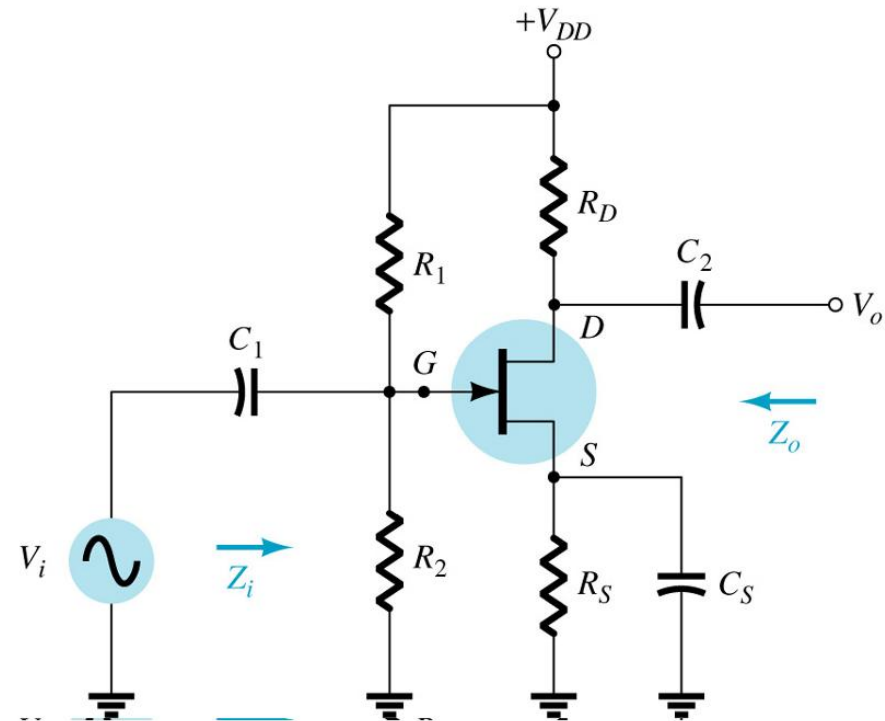


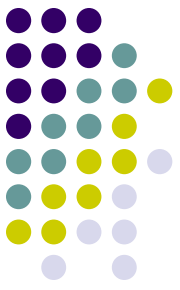
Điện áp vào đưa đến chân G, điện áp ra lấy tại chân D (chân S nối đất)

Phân cực kiểu phân áp

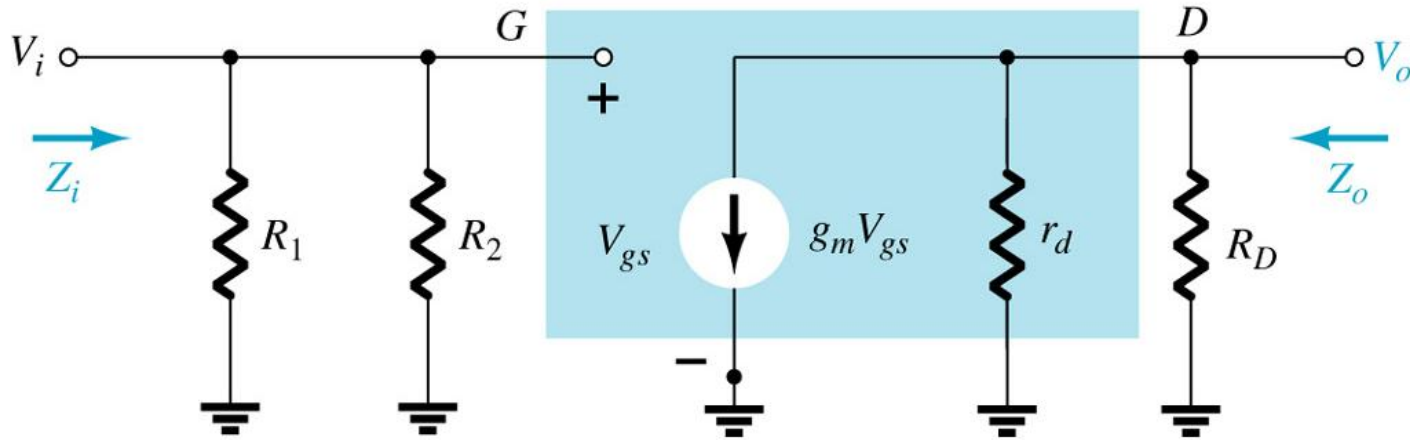
Chú ý khi phân tích:

- ✓ Ngắn mạch các tụ nối
- ✓ Ngắn mạch nguồn một chiều





Cấu hình chung cực nguồn - CS



$$Z_i = R_1 // R_2$$

$$Z_o = r_d // R_D \approx R_D \quad \text{nếu } r_d > 10R_D$$

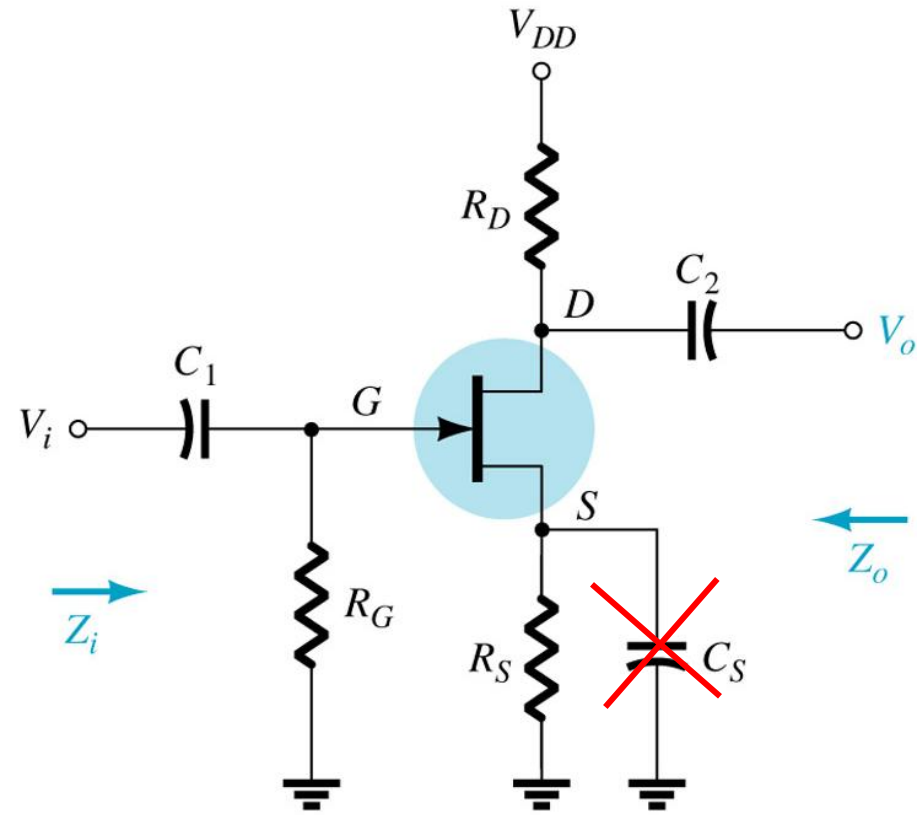
$$A_V = -g_m(r_d // R_D) \approx g_m R_D \quad \text{nếu } r_d > 10R_D$$

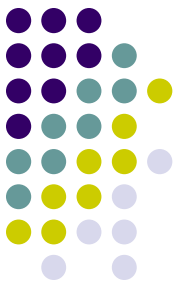
Quan hệ pha: điện áp ra và điện áp vào ngược pha nhau

Cấu hình chung cực nguồn - CS

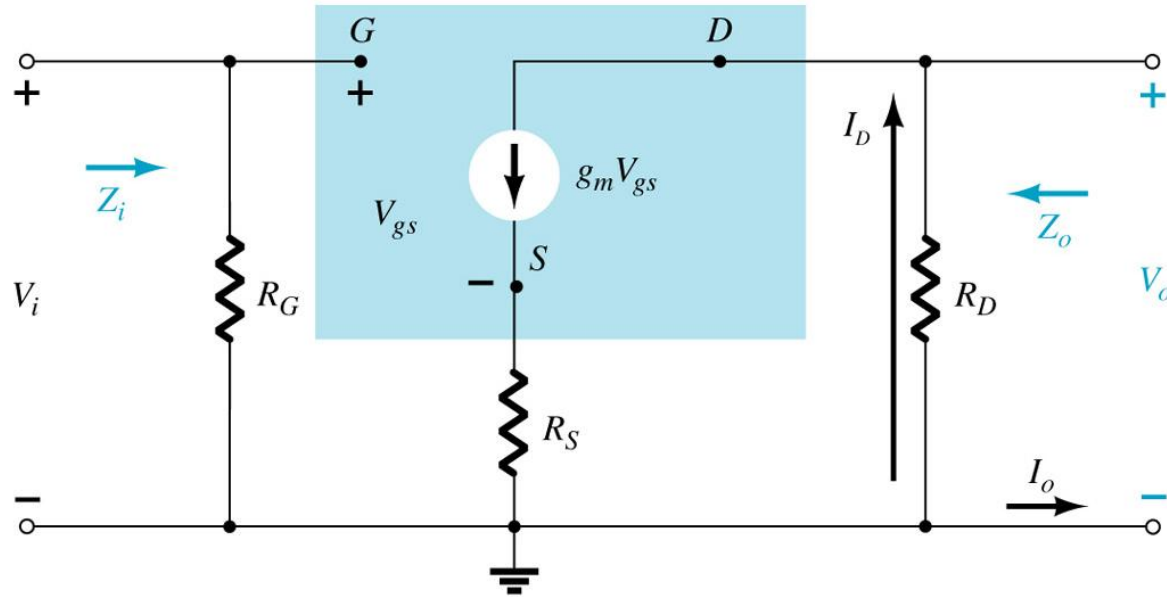


Không có tụ C_S (unbypassed R_S)





Cấu hình chung cực nguồn - CS

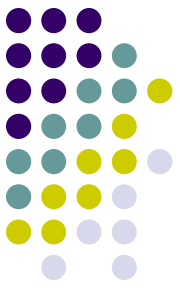


$$Z_i = R_G$$

$$Z_o = R_D / [1 + g_m R_S + (R_D + R_S) / r_d]$$

$$A_V = -g_m R_D / [1 + g_m R_S + (R_D + R_S) / r_D]$$

Quan hệ pha: điện áp ra và điện áp vào ngược pha nhau



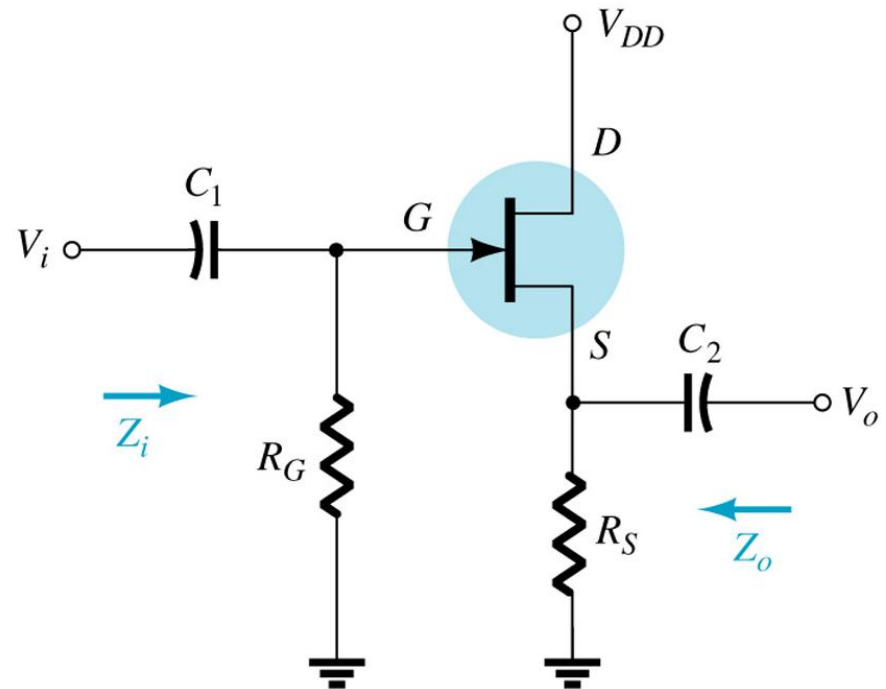
Cấu hình chung cực máng - CD

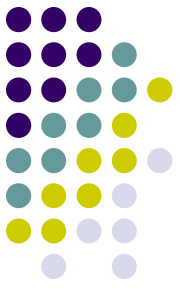
Điện áp vào đưa đến chân G,
điện áp ra lấy tại chân S

Phân cực kiểu tự phân cực

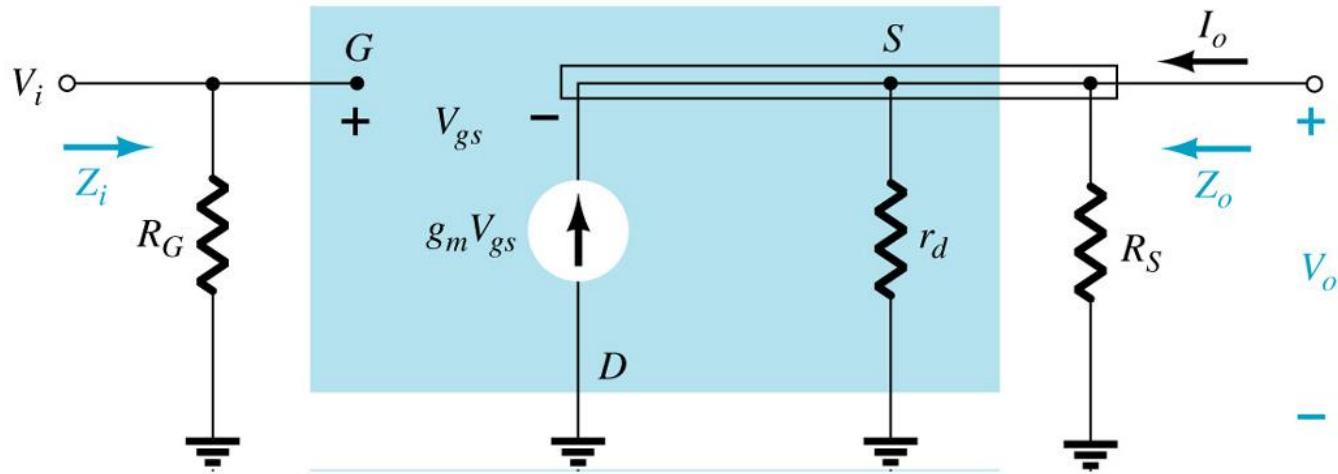
Chú ý khi phân tích:

- ✓ Ngắn mạch các tụ nối
- ✓ Ngắn mạch nguồn một chiều





Cấu hình chung cực máng - CD



$$Z_i = R_G$$

$$Z_o = r_d // R_S // (1/g_m) \approx R_S // (1/g_m)$$

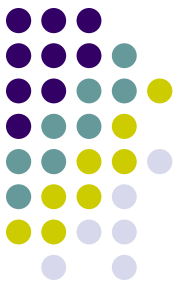
nếu $r_d > 10R_S$

$$A_V = -g_m(r_d // R_S) / [1 + g_m(r_d // R_S)] \approx g_m R_S / [1 + g_m R_S]$$

≈ 1

nếu $r_d > 10R_S$
nếu $g_m R_S \gg 1$

Quan hệ pha: điện áp ra và điện áp vào **cùng pha** nhau



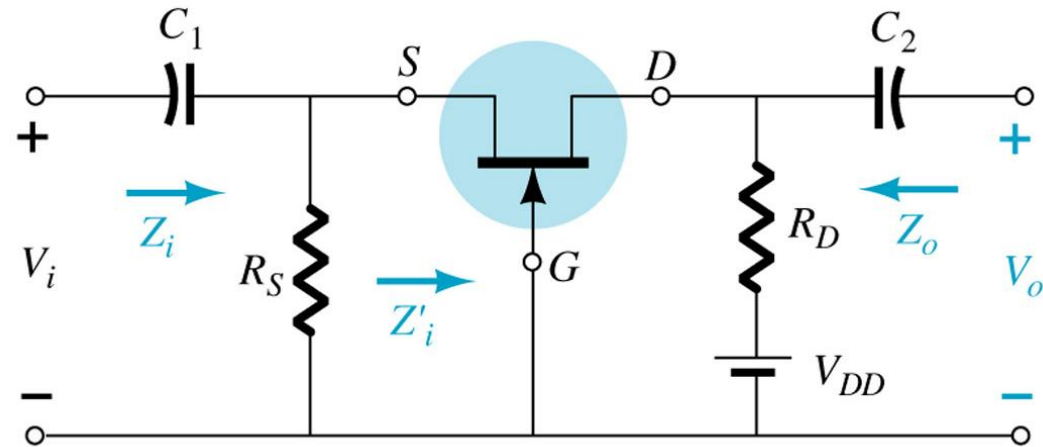
Cấu hình chung cực cửa - CG

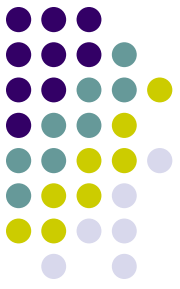
Điện áp vào đưa đến chân S, điện áp ra lấy tại chân D

Phân cực kiểu tự phân cực

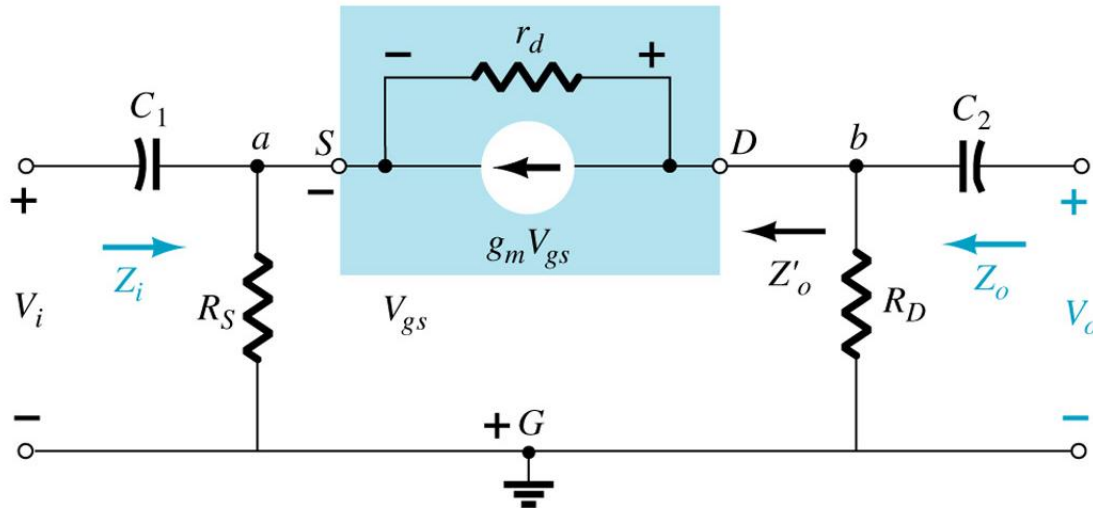
Chú ý khi phân tích:

- ✓ Ngắn mạch các tụ nối
- ✓ Ngắn mạch nguồn một chiều





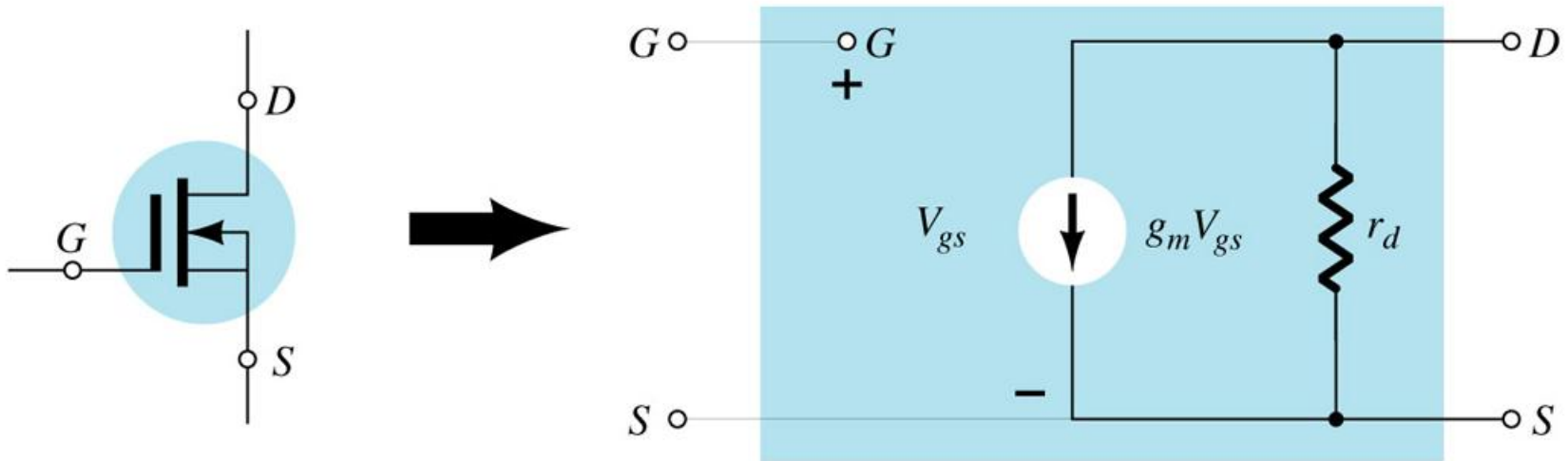
Cấu hình chung cực cửa - CG



$$\begin{aligned} Z_i &= R_S // [(r_d + R_D) / (1 + g_m r_d)] && \approx R_S // (1/g_m) && \text{nếu } r_d > 10R_D \\ Z_o &= r_d // R_D && \approx R_D && \text{nếu } r_d > 10R_D \\ A_V &= [g_m R_D + (R_D/r_d)] / [1 + R_D/r_d] && \approx g_m R_D && \text{nếu } r_d > 10R_D \end{aligned}$$

Quan hệ pha: điện áp ra và điện áp vào **cùng pha** nhau

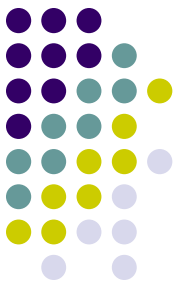
Sơ đồ tương đương DMOS



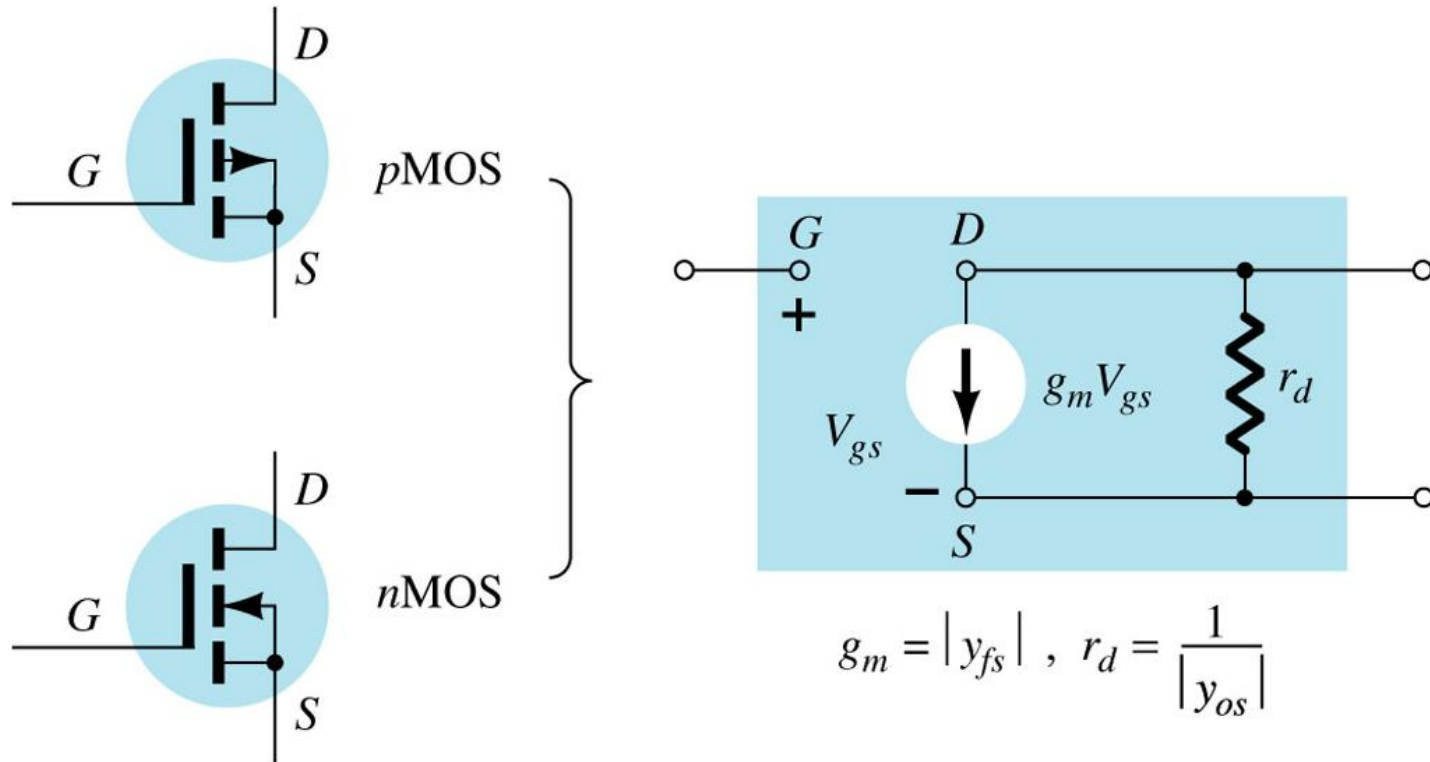
Tương tự như của JFET

Lưu ý, với DMOS:

- ✓ V_{GS} có thể dương với loại kênh N và âm với loại kênh P
- ✓ g_m có thể lớn hơn g_{m0}



Sơ đồ tương đương EMOS



Tương tự với JFET và DMOS

Lưu ý:

- ✓ V_{GS} luôn dương với loại kênh N và luôn âm với loại kênh P
- ✓ $g_m = 2k(V_{GS} - V_T)$

EMOS mắc chung cực nguồn

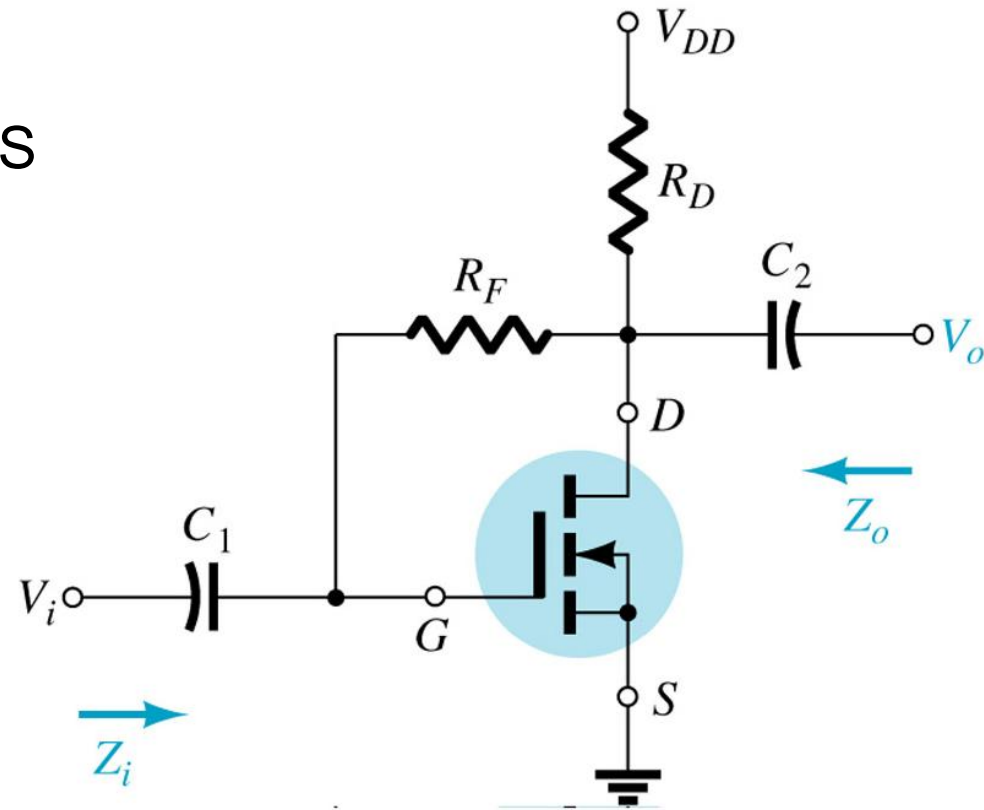


Điện áp vào đưa đến chân G,
điện áp ra lấy tại chân D, chân S
nối đất

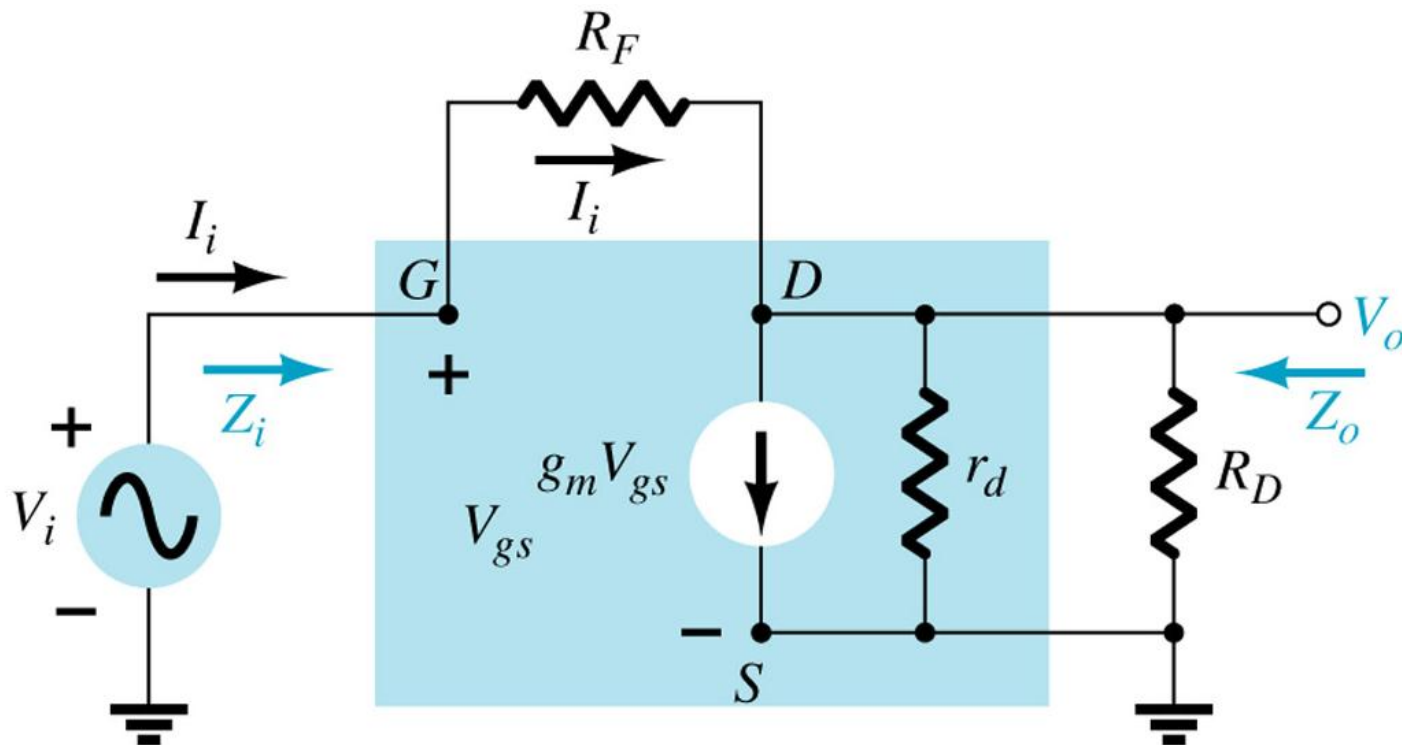
Phân cực kiểu hồi tiếp

Chú ý khi phân tích:

- ✓ Ngắn mạch các tụ nối
- ✓ Ngắn mạch nguồn một chiều



EMOS mắc chung cực nguồn



EMOS mắc chung cực nguồn



$$Z_i = (R_F + r_d // R_D) / [1 + g_m (r_d // R_D)] \\ \approx R_F / (1 + g_m R_D)$$

nếu $r_d > 10R_D$, $R_F \gg r_d // R_D$

$$Z_o = R_F // r_d // R_D \approx R_D$$

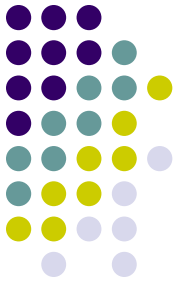
nếu $r_d > 10R_D$, $R_F \gg r_d // R_D$

$$A_V = g_m R_F // r_d // R_D \approx g_m R_D$$

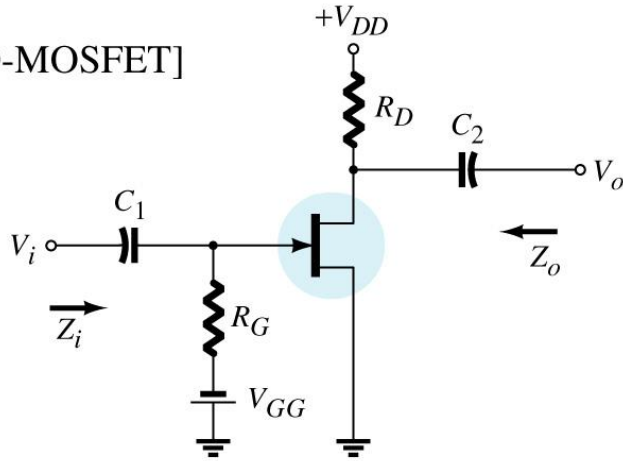
nếu $r_d > 10R_D$, $R_F \gg r_d // R_D$

Quan hệ pha: điện áp ra và điện áp vào ngược pha nhau

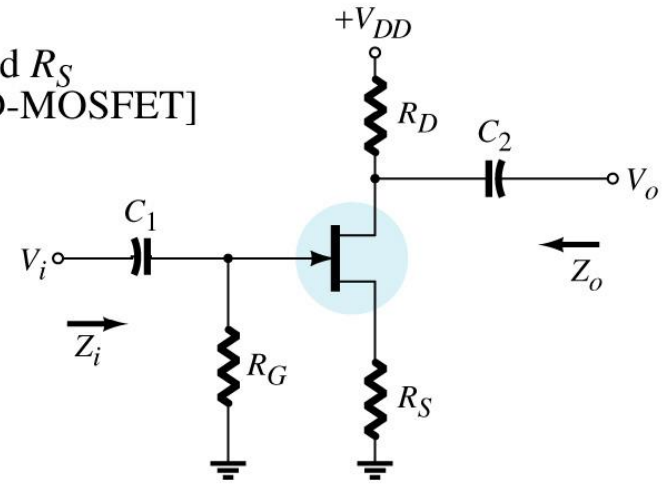
Tổng kết



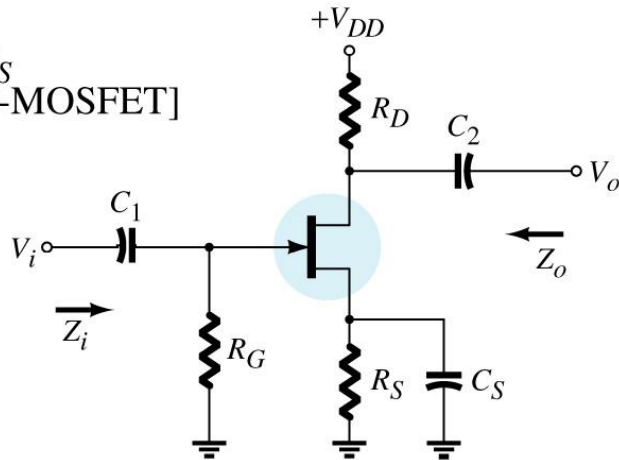
Fixed-bias
[JFET or D-MOSFET]



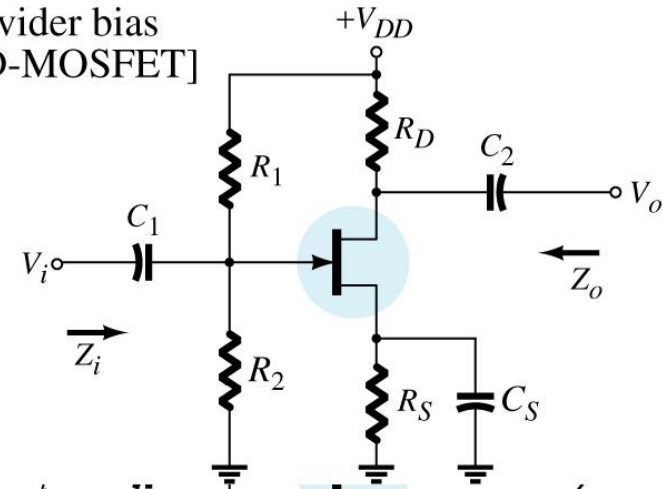
Self-bias
Unbypassed R_S
[JFET or D-MOSFET]



Self-bias
bypassed R_S
[JFET or D-MOSFET]



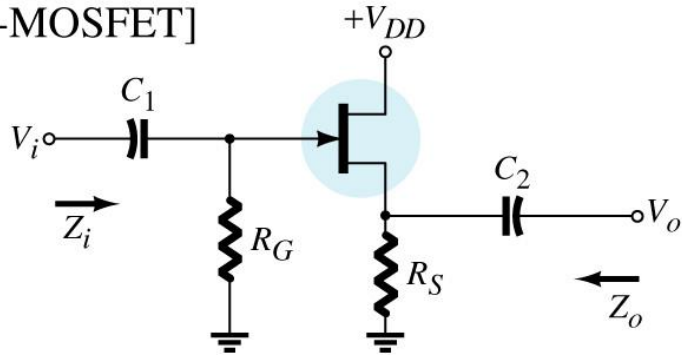
Voltage-divider bias
[JFET or D-MOSFET]



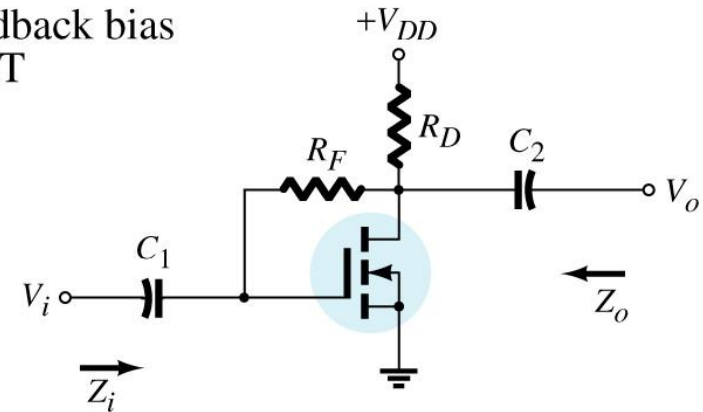
Tổng kết



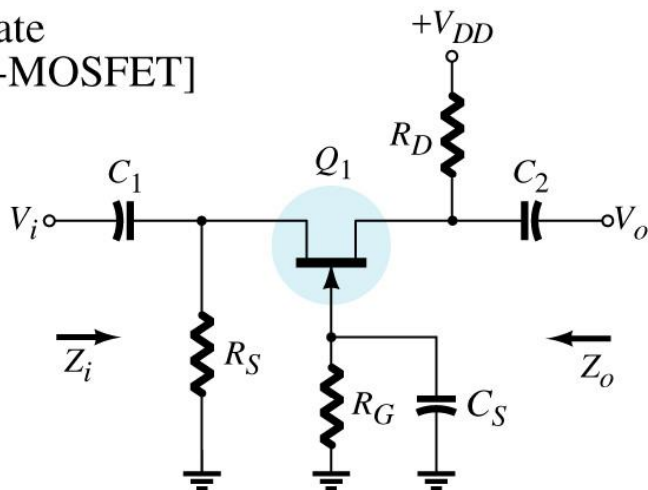
Source-follower
[JFET or D-MOSFET]



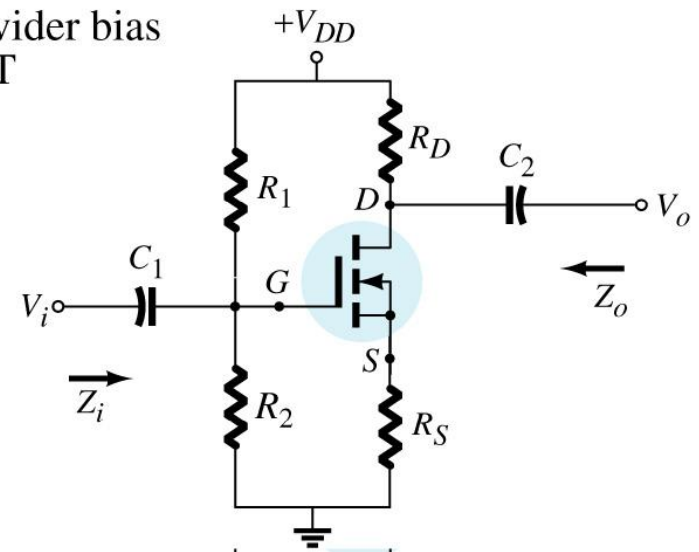
Drain-Feedback bias
E-MOSFET



Common-gate
[JFET or D-MOSFET]



Voltage-divider bias
E-MOSFET



Ứng dụng



- ✓ Sử dụng trong mạch khuếch đại vi sai vì trở kháng vào cực lớn ($10^{12}\Omega$) và dòng một chiều vào cực nhỏ (30 pA).
- ✓ Được kết hợp với BJT để chế tạo khuếch đại thuật toán BIFET vì những ưu điểm của FET được ứng dụng cho tầng đầu vào. (cũng có những loại opamp toàn FET)
- ✓ Sử dụng như điện trở điều khiển bởi điện áp (đặt FET hoạt động trong vùng Ohm)



Bài tập

- Chương 5: 3, 5, 6, 9, 26, 34, 37
- Chương 6: 1, 6, 12, 17, 19, 21, 23
- Chương 9: 1, 5, 12, 17, 19, 23, 27, 32, 33, 37, 38, 43, 44

Ảnh hưởng của nguồn và tải



- Giới thiệu
- Mạng hai cửa (two-port system)
- Trở kháng nguồn
- Trở kháng tải
- Tổng hợp
- Ví dụ

Ảnh hưởng của nguồn và tải



Hệ số khuếch đại của mạch biến đổi khi có thêm nguồn và tải:

$A_V^0 = V_{out} / V_{in}$ – hệ số khuếch đại không tải

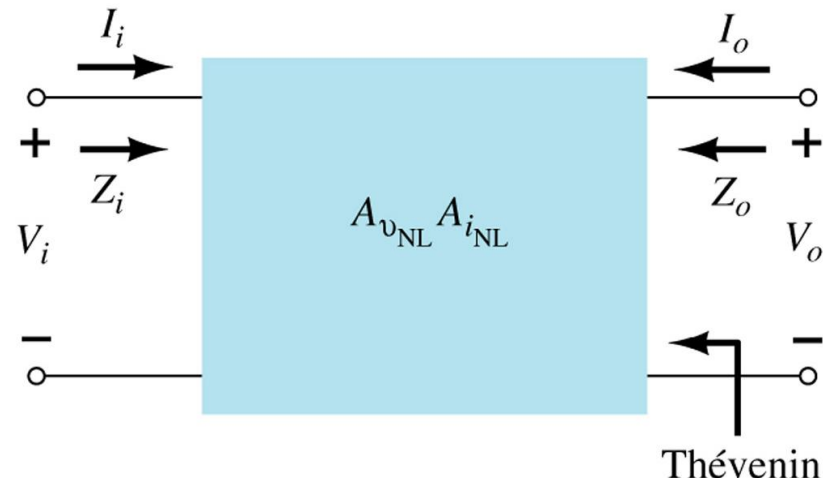
$A_V^L = V_{RL} / V_{in}$ – hệ số khuếch đại có tải

$A_V^S = V_{RL} / V_S$ – hệ số khuếch đại có tải và nguồn

Có 2 cách phân tích ảnh hưởng nguồn tải

- Sơ đồ tương đương
- **Mô hình mạng 2 cửa**

Mạng hai cửa (two-port system)



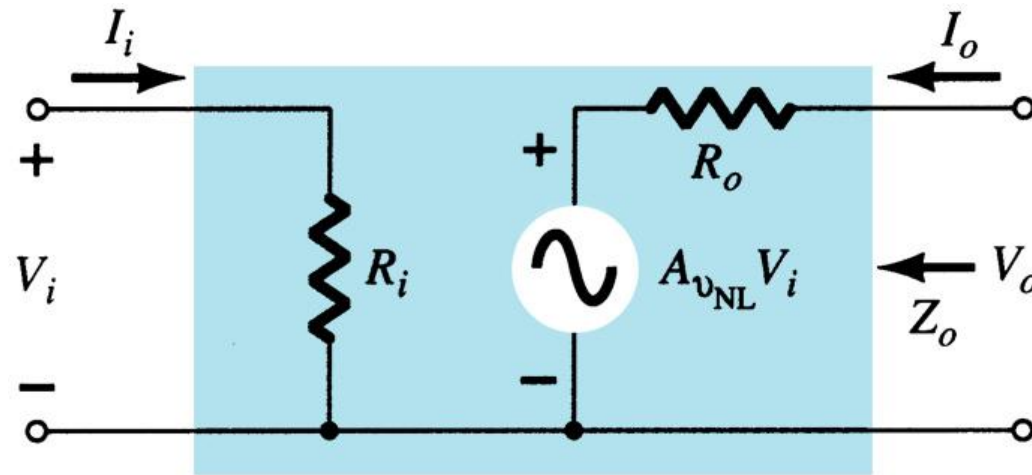
Đã xác định các tham số xoay chiều ở điều kiện không có trở nguồn và trở tải

$$Z_{in}, Z_{out}, A_V^0, A_i^0$$

Khi đó, điện áp ra tại cửa ra hở mạch là:

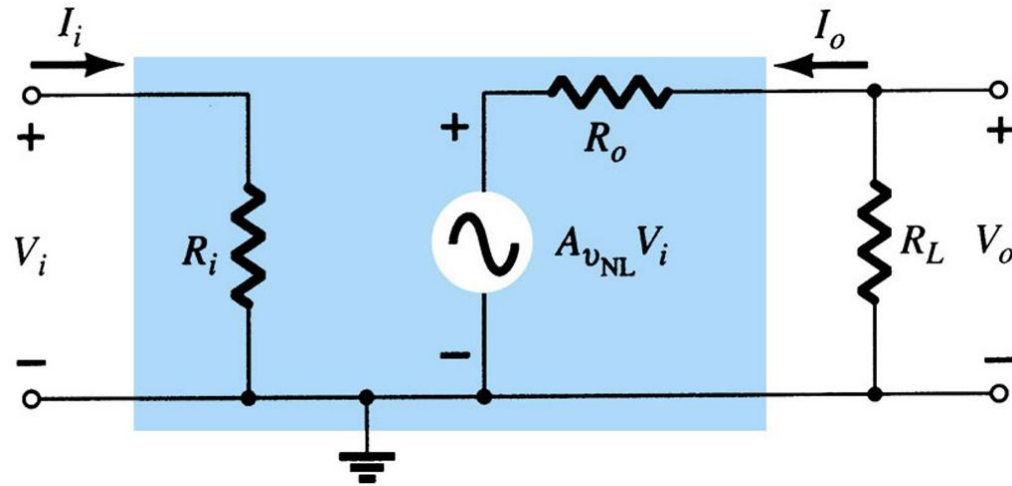
$$V_o = A_V^0 * V_i$$

Mạng hai cửa (two-port system)



Mô tả mạng hai cửa bằng các linh kiện tương đương, vẫn đảm bảo bộ tham số xoay chiều (Z_{in} , Z_{out} , A_V^0 , A_i^0)

Mạng hai cửa (two-port system)



Điện áp ra trên điện trở R_L :

$$V_o = A_V^0 * V_i * [R_L / (R_L + R_o)]$$

Hệ số khuếch đại điện áp

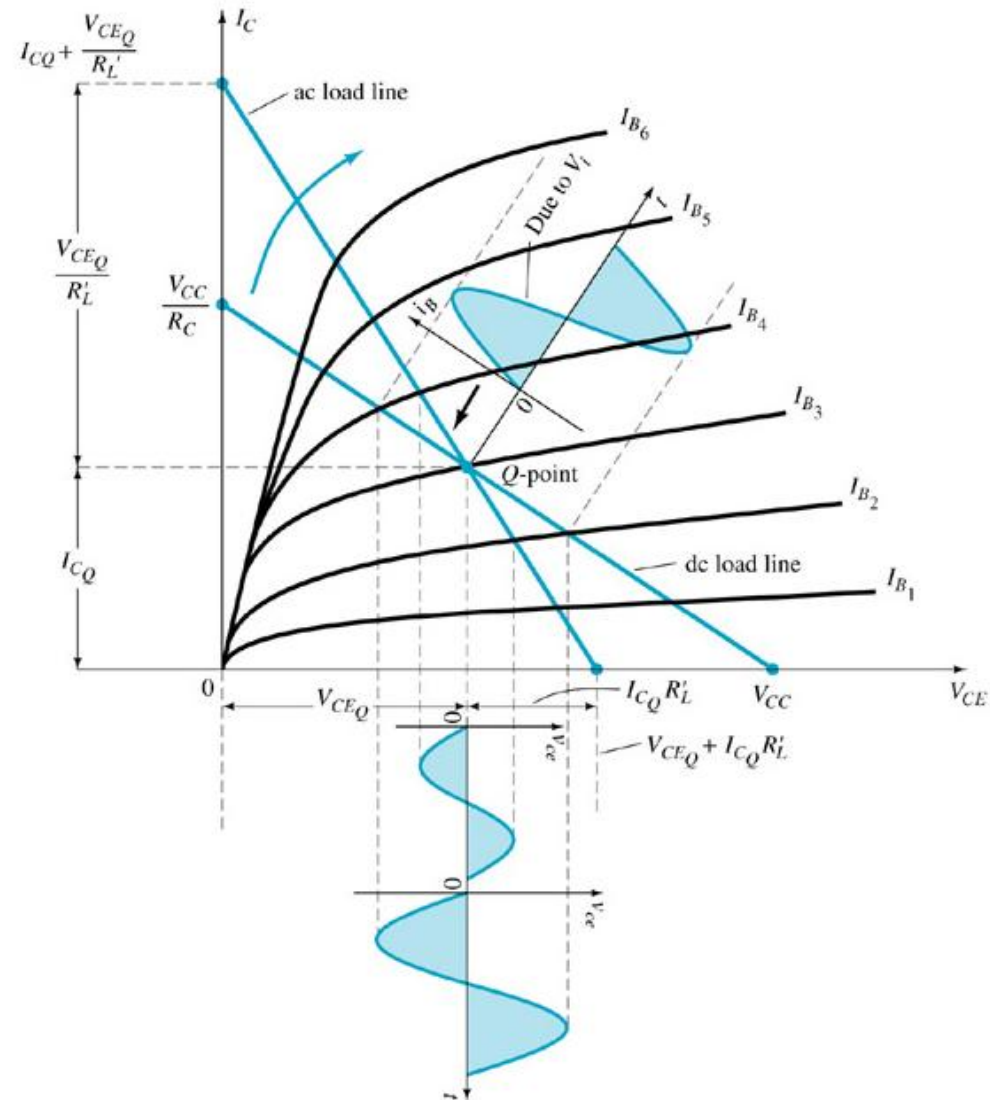
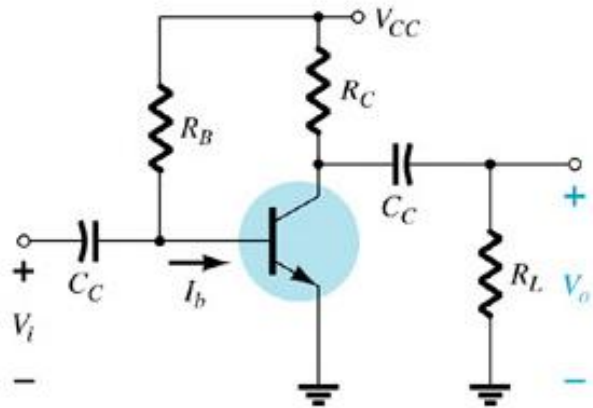
$$A_V^L = A_V^0 * [R_L / (R_L + R_o)]$$

Khuếch đại điện áp nhỏ hơn khi không xét tải

R_L càng lớn, A_V^L càng gần A_V^0

Ảnh hưởng của trở kháng tải

– Mô tả bằng đồ thị



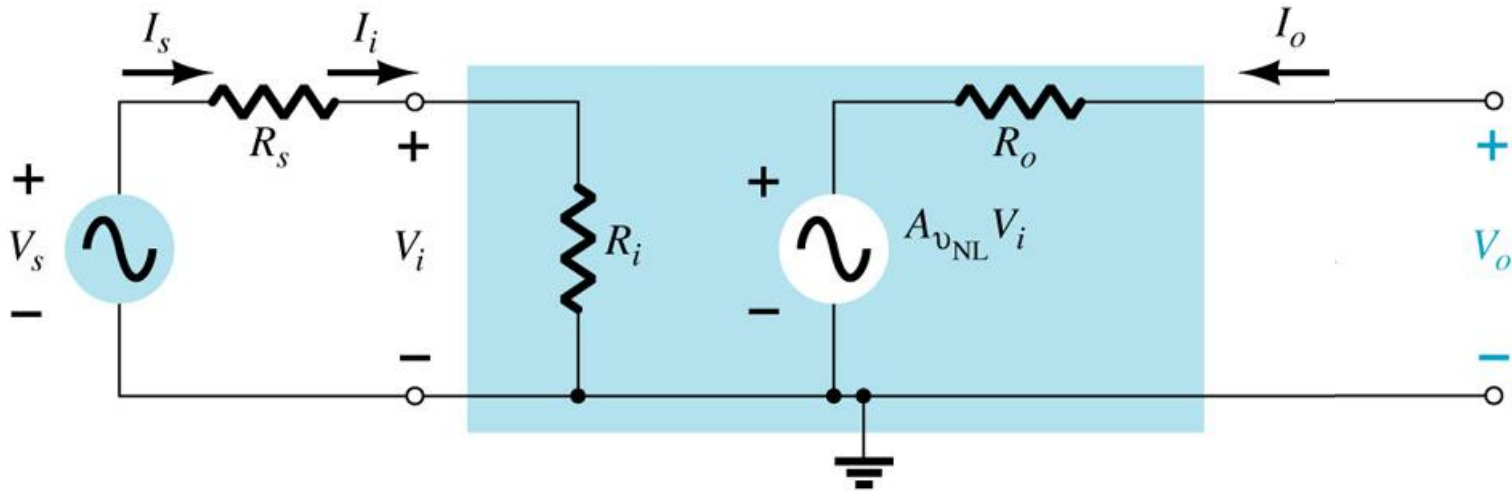
Phương trình đường tải tĩnh:

$$V_{CE} = V_{CC} - I_C * R_C$$

Phương trình đường tải động:

$$V_{CE} = V_{CC} - I_C * R_C // R_L$$

Ảnh hưởng của trở kháng nguồn

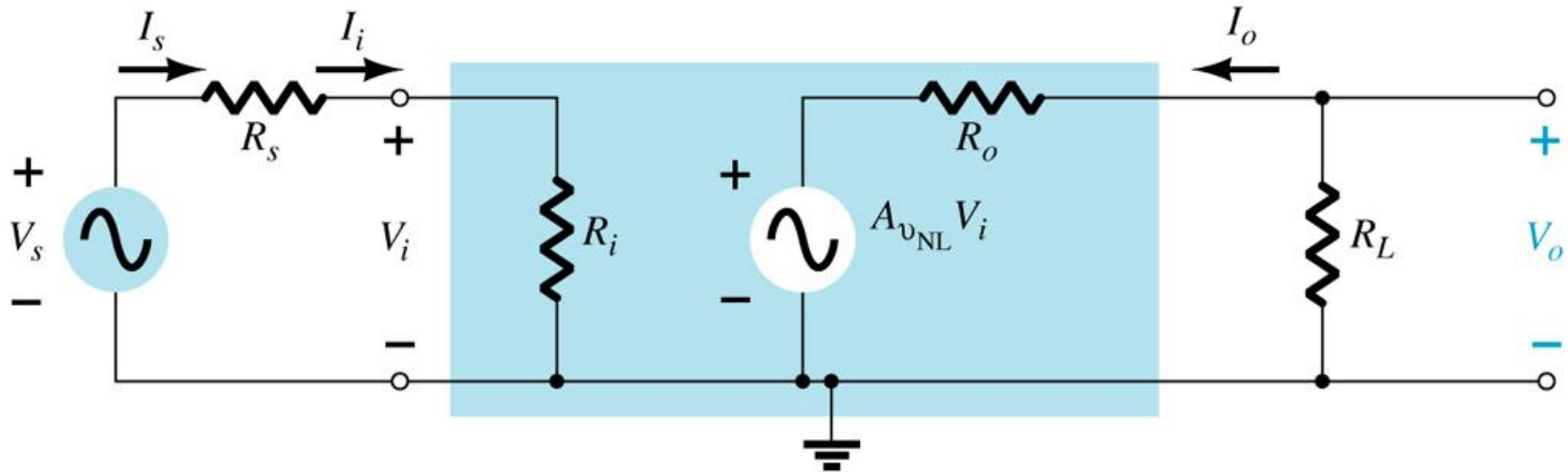


$$A_V^S = A_V^0 * R_i / (R_i + R_S)$$

A_V^0 – hệ số khuếch đại điện áp không nguồn, không tải

Để hệ số khuếch đại điện áp lớn, trở kháng nguồn càng nhỏ càng tốt

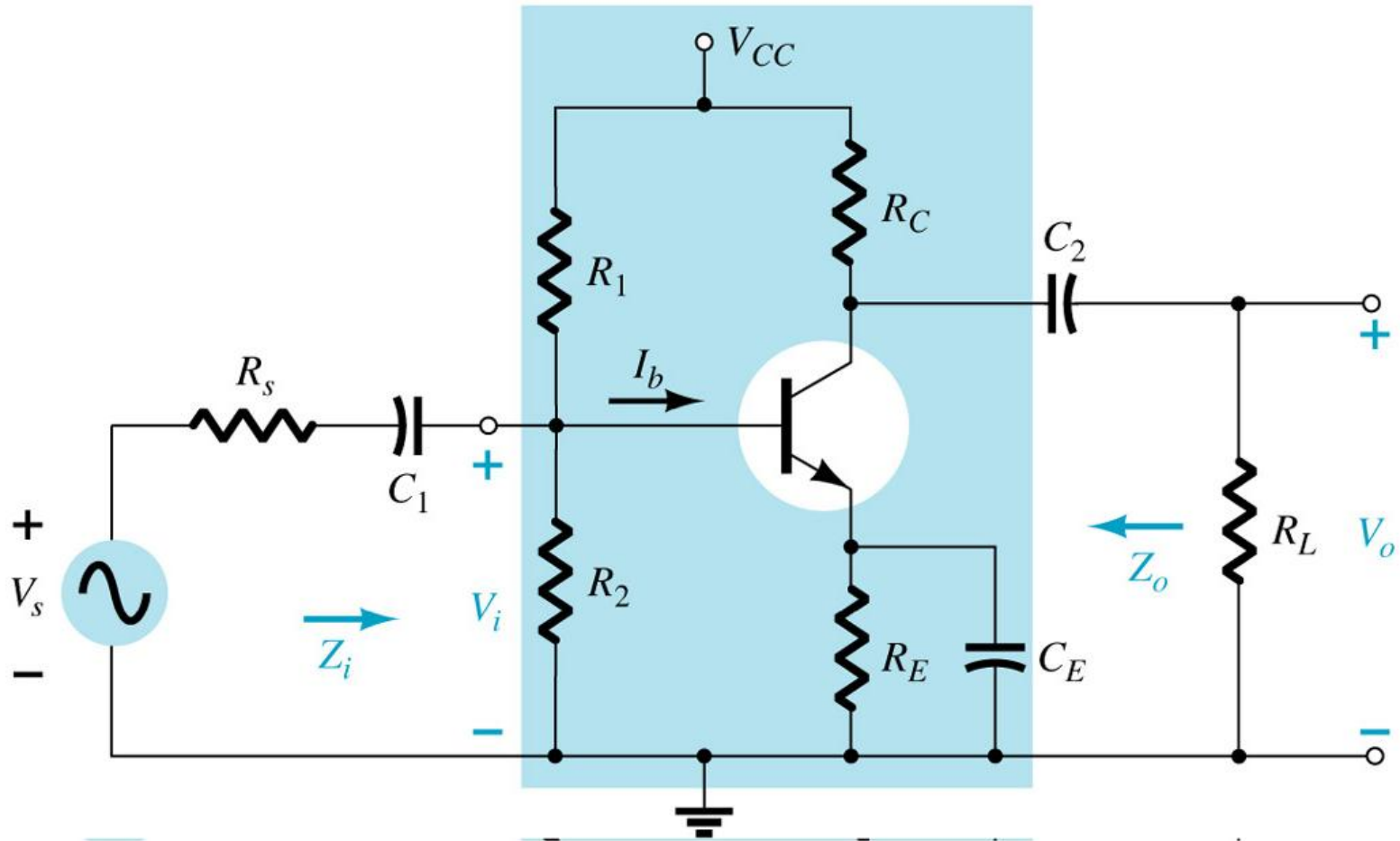
Tổng hợp



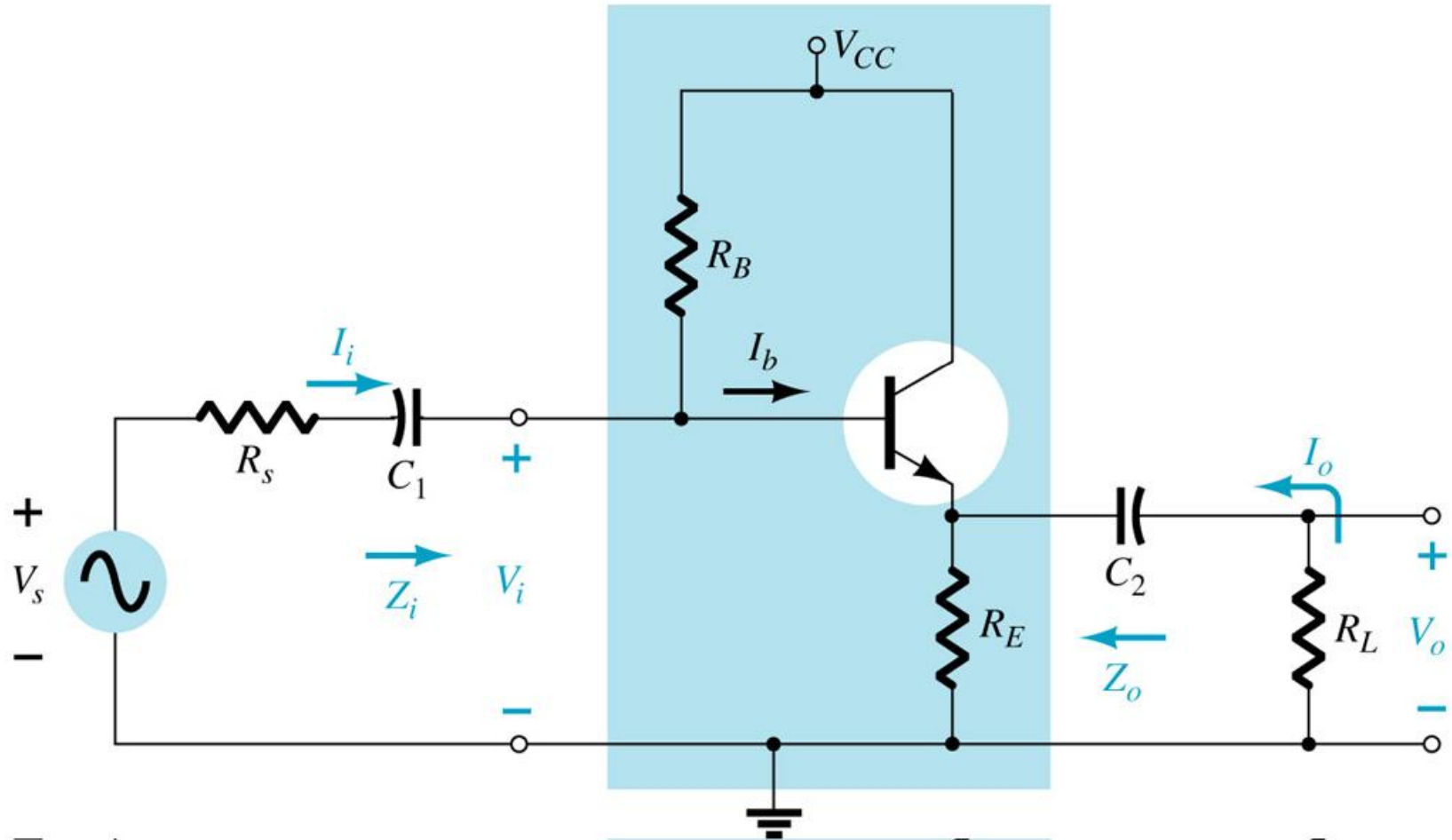
$$A_V^T = A_V^0 \left[\frac{R_L}{R_o + R_L} \right] \left[\frac{R_i}{R_i + R_s} \right]$$

Khi thiết kế mạch khuếch đại, nên chú ý để mạch có thể làm việc với dải rộng giá trị của trở kháng nguồn và tải

Ảnh hưởng của trở kháng nguồn và tải Mạch sử dụng BJT



Ảnh hưởng của trở kháng nguồn và tải Mạch sử dụng BJT



Ảnh hưởng của trở kháng nguồn và tải Mạch sử dụng BJT



Trở kháng vào: $Z_i = \beta r_e$

Trở kháng ra: $Z_o = R_c$

Hệ số khuếch đại điện áp

$$A_v^0 = - R_c / r_e$$
$$\Rightarrow A_v = - (R_L // R_c) / r_e$$

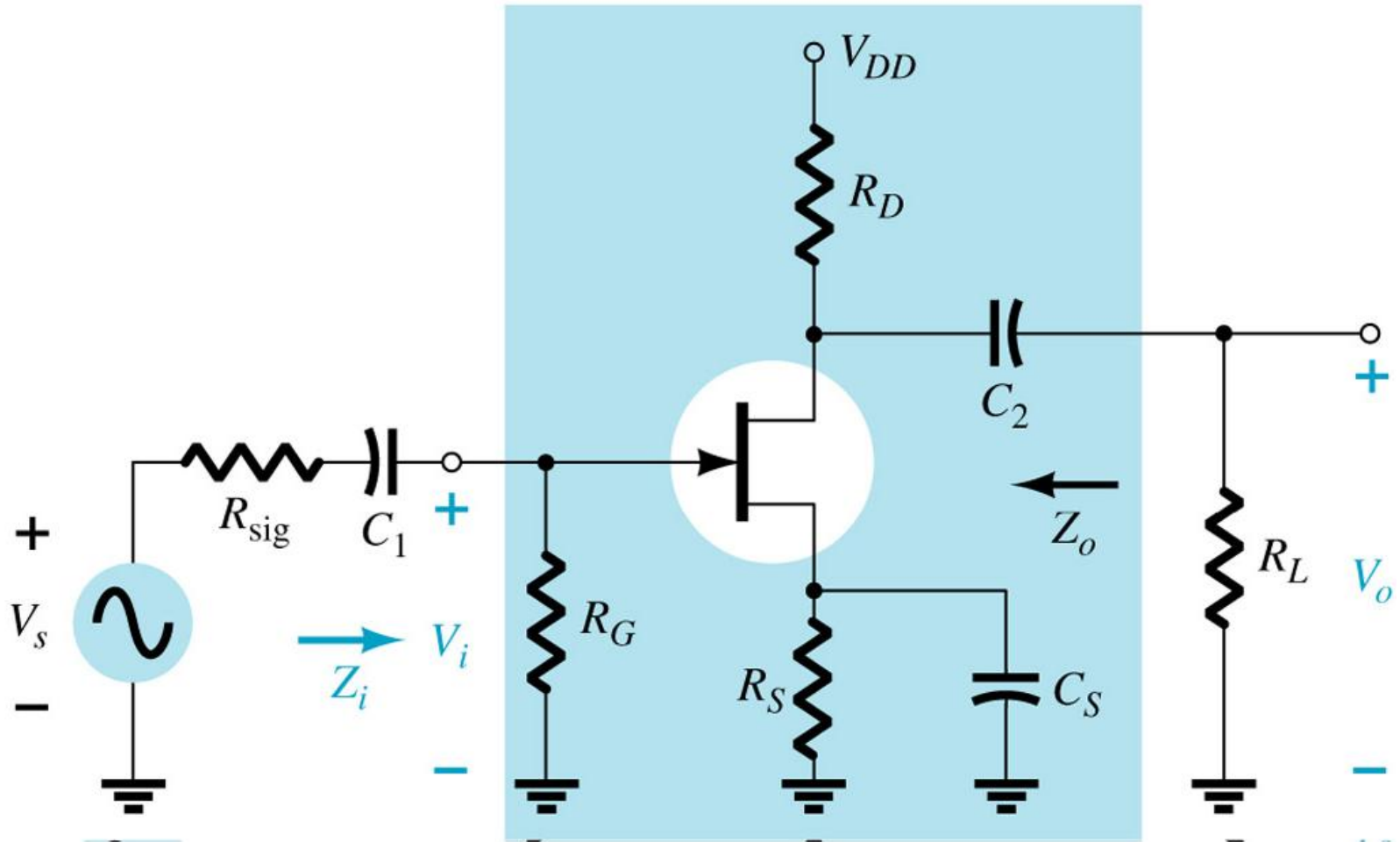
Ảnh hưởng của trở kháng nguồn và tải

Mạch sử dụng FET



- FET: vì các cực G and D, S được cách ly
 - R_L không ảnh hưởng đến trở kháng vào Z_i
 - R_s không ảnh hưởng đến trở kháng ra Z_o

Ảnh hưởng của trở kháng nguồn và tải Mạch sử dụng FET



Ảnh hưởng của trở kháng nguồn và tải

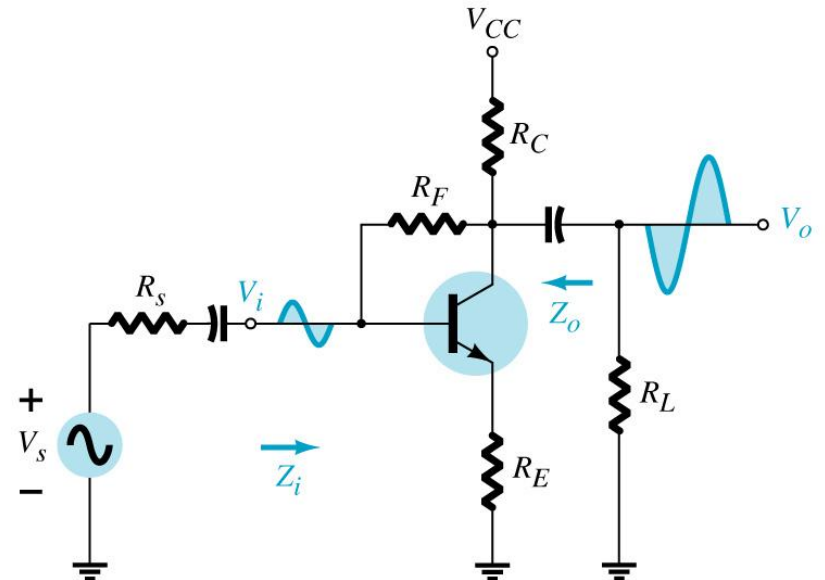
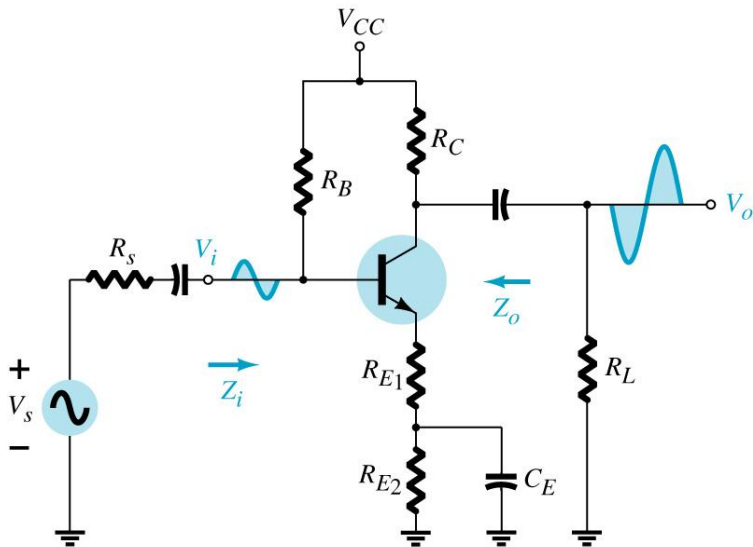
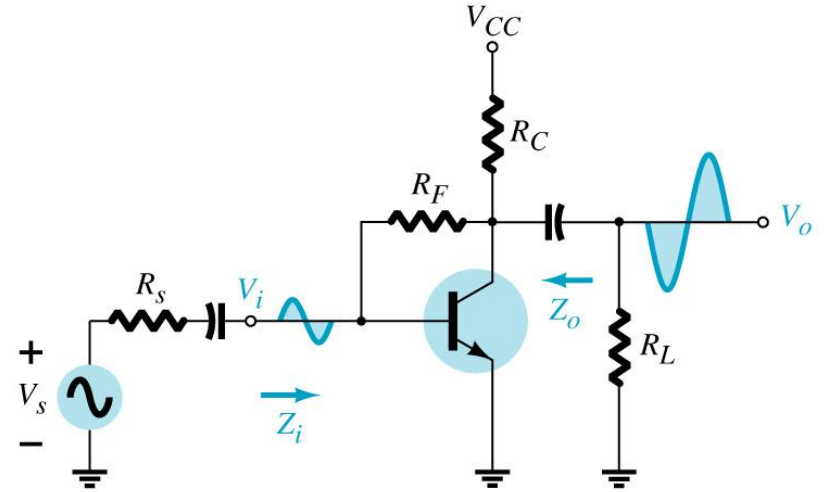
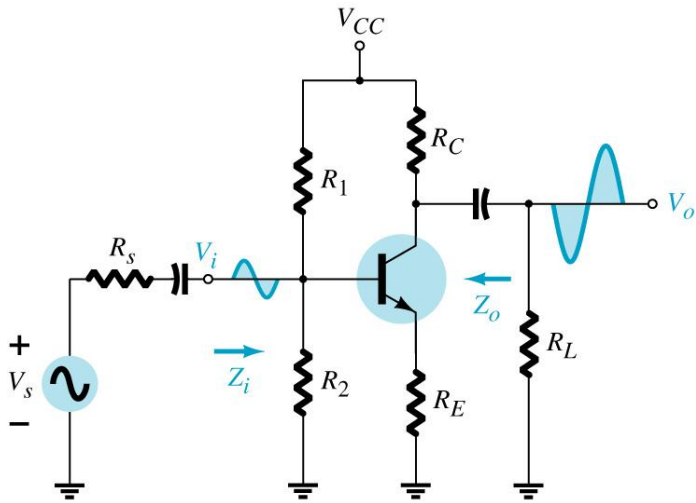
Mạch sử dụng FET



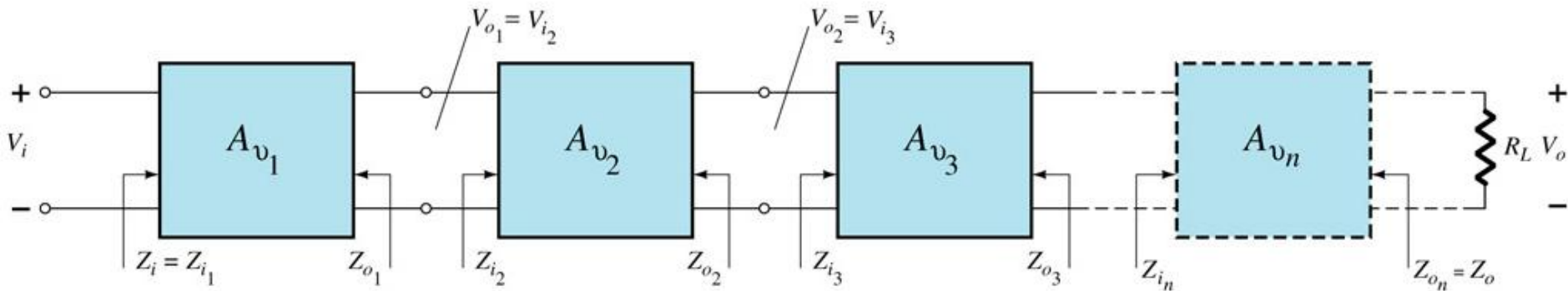
- Trở kháng vào: $Z_i = R_G$
- Trở kháng ra: $Z_o = R_D$
- Hệ số khuếch đại điện áp

$$A_v^0 = - R_D / r_e$$
$$\Rightarrow A_v = - (R_L // R_D) / r_e$$

Tổng kết



Ghép tầng nối tiếp



- Tầng sau là tải của tầng trước
- Tầng trước là nguồn của tầng sau
- Hệ số khuếch đại điện áp tổng

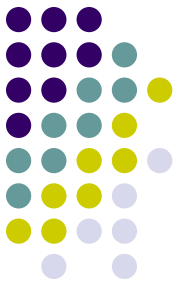
$$A_V^T = A_{V1} * A_{V2} * \dots$$

- Hệ số khuếch đại dòng điện tổng

$$A_i^T = A_V^T * Z_{i1} / R_L$$

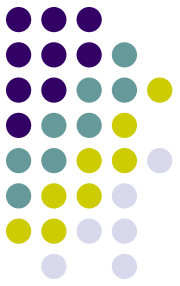
Bài tập

Chương 10: 1, 2, 4, 5, 10, 15, 17



Ảnh hưởng của trở kháng nguồn và tải

Mạch sử dụng FET



- FET: vì các cực G and D, S được cách ly
 - R_L không ảnh hưởng đến trở kháng vào Z_i
 - R_s không ảnh hưởng đến trở kháng ra Z_o

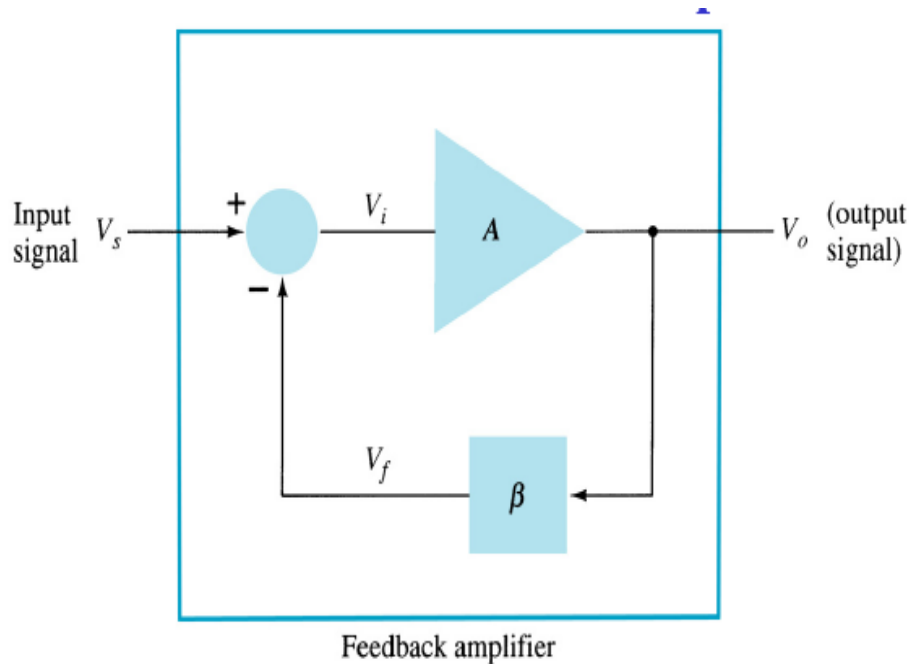
- Bài tập:
 - Chapter 10: 1, 2, 4, 5, 10,15, 17

Hỏi tiếp



- Giới thiệu
- Phân loại
- Kiểu điện áp nối tiếp
- Kiểu điện áp song song
- Kiểu dòng điện nối tiếp
- Kiểu dòng điện song song

Giới thiệu



- Đưa một phần điện áp ra về đầu vào
- Hồi tiếp âm và hồi tiếp dương
- Hồi tiếp dương: mạch tạo dao động
- Hồi tiếp âm: ổn định hoạt động của mạch

Giới thiệu



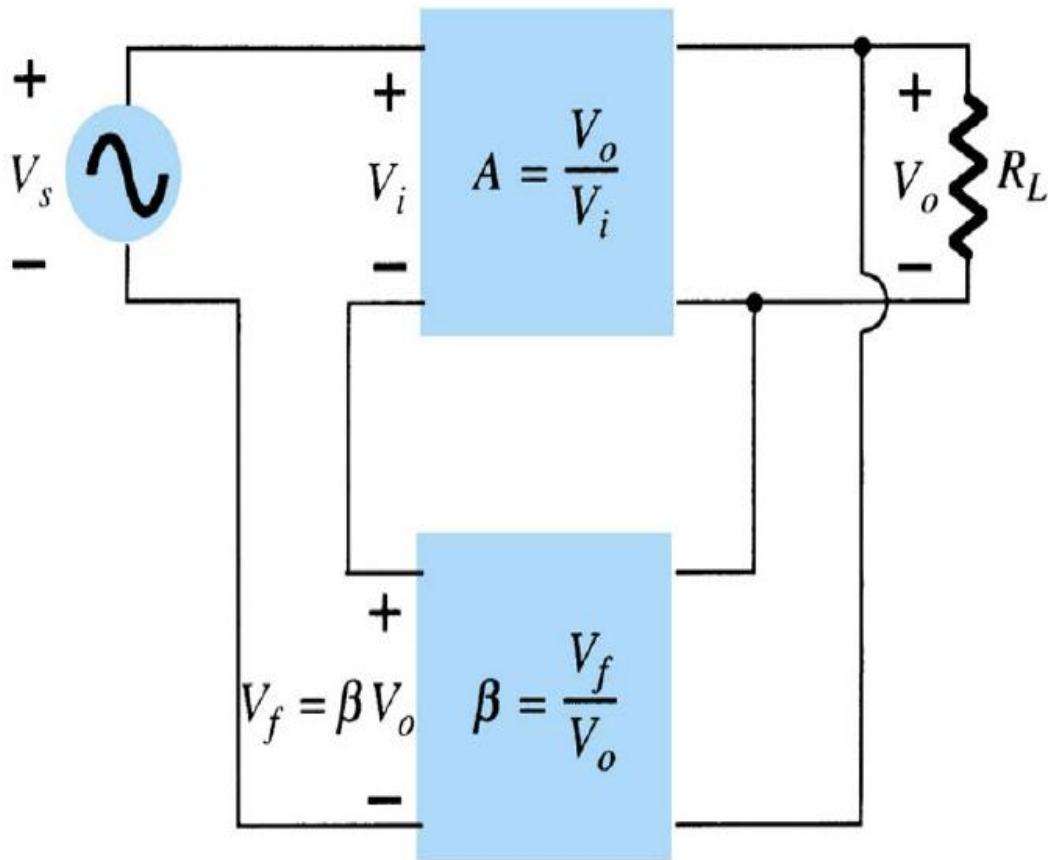
- Tác động của hồi tiếp âm
 - Giảm hệ số khuếch đại
 - Thay đổi trở kháng vào ra
 - Ổn định hệ số khuếch đại
 - Ổn định hoạt động
 - Mở rộng dải tần hoạt động
 - Giảm nhiễu



Phân loại

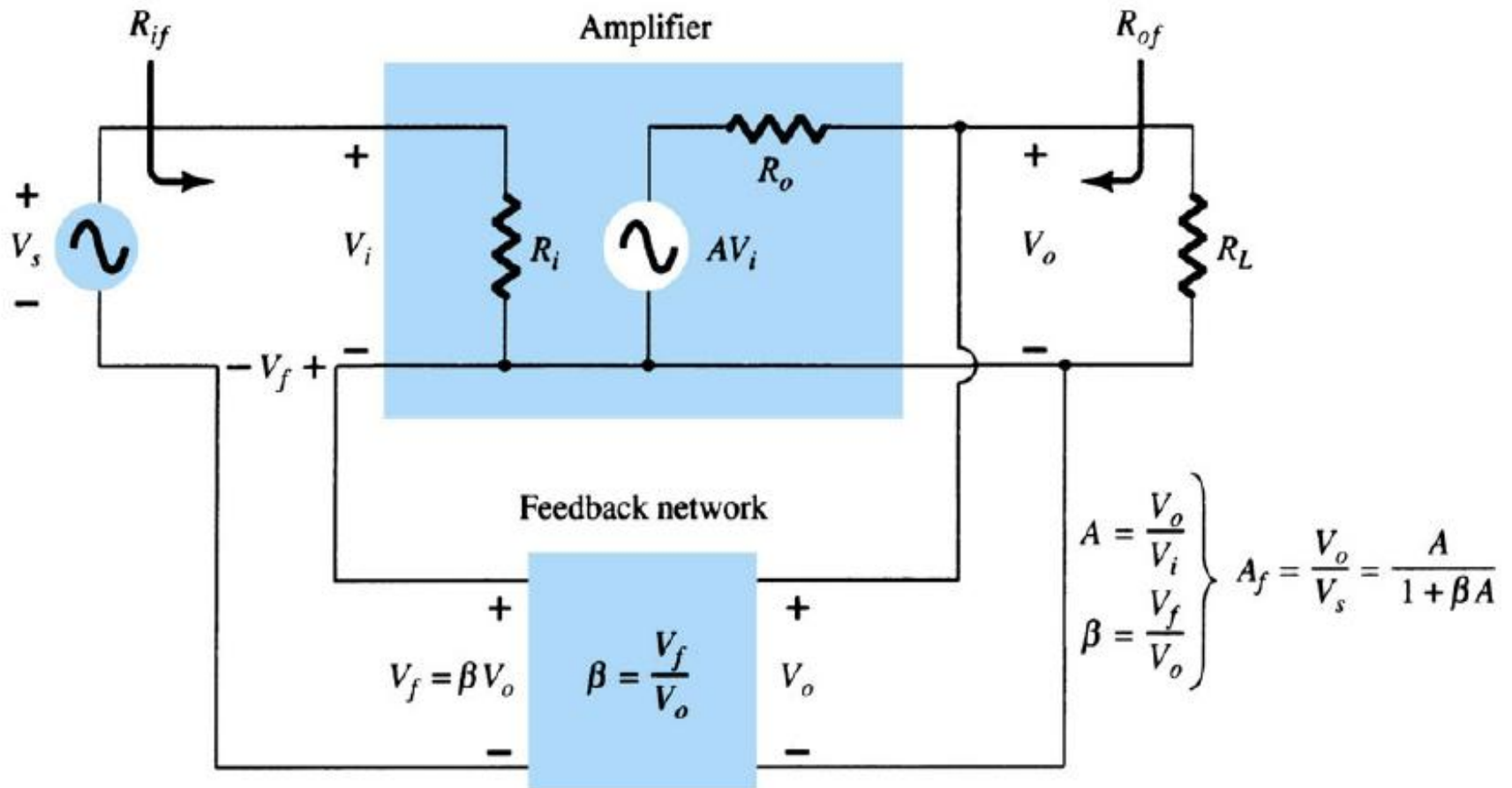
- Dựa trên cách đưa tín hiệu ở đầu vào (nối tiếp/song song) và cách lấy tín hiệu ở đầu ra (điện áp/dòng điện)
 - Kiểu điện áp nối tiếp
 - Kiểu điện áp song song
 - Kiểu dòng điện nối tiếp
 - Kiểu dòng điện song song

Kiểu điện áp nối tiếp

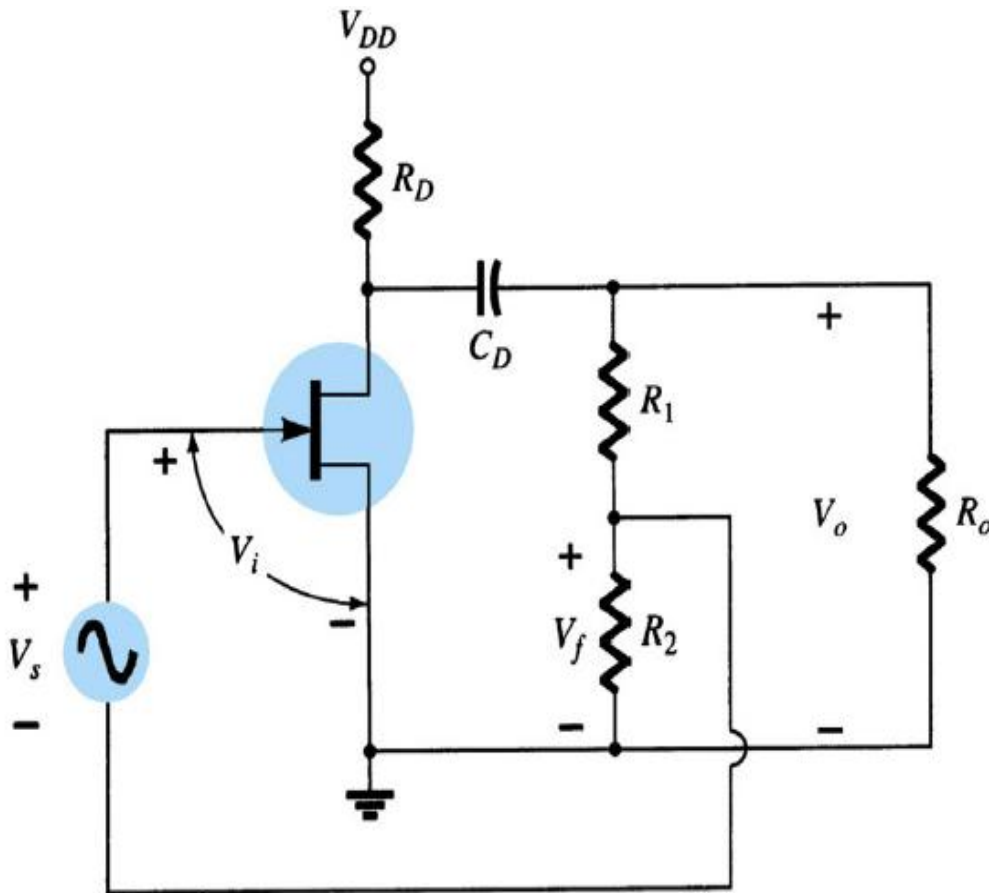


- $A = V_o/V_i$
- $\beta = V_f/V_o$
- $A_f = A/(1 + \beta A)$
- $Z_{if} = Z_i(1 + \beta A)$
- $Z_{of} = Z_o/(1 + \beta A)$

Kiểu điện áp nối tiếp

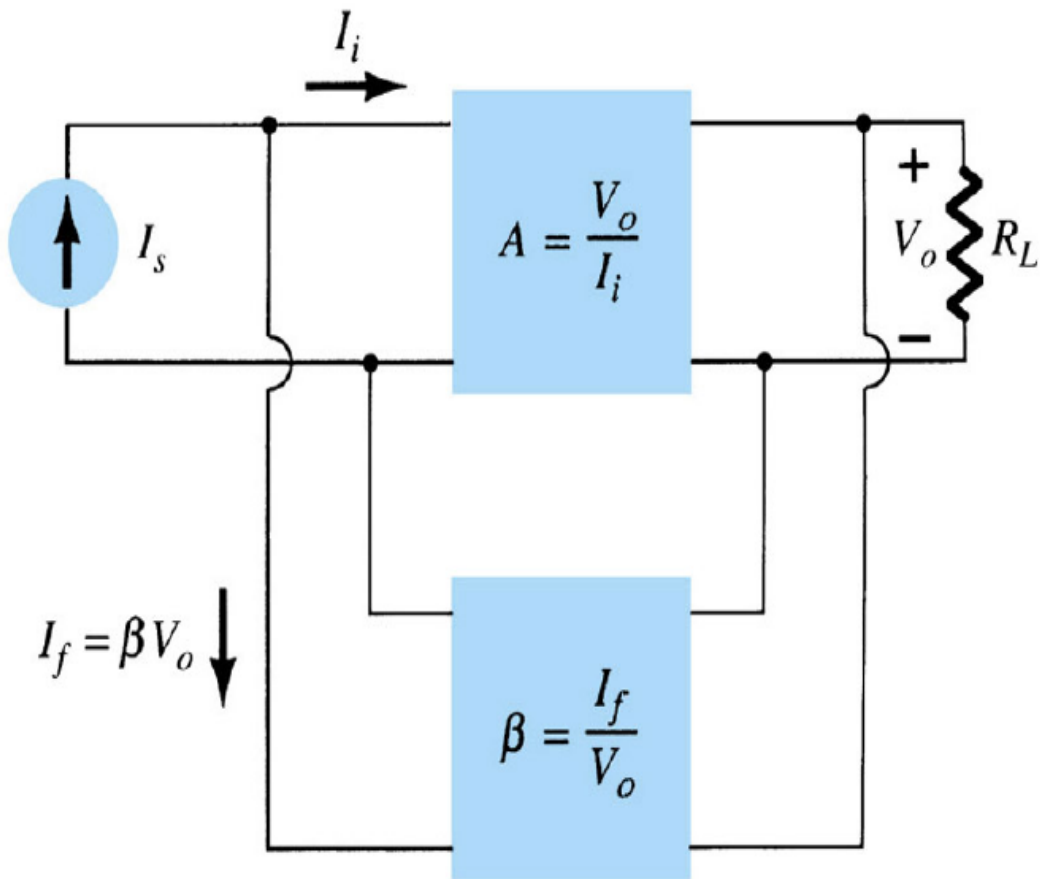


Kiểu điện áp nối tiếp



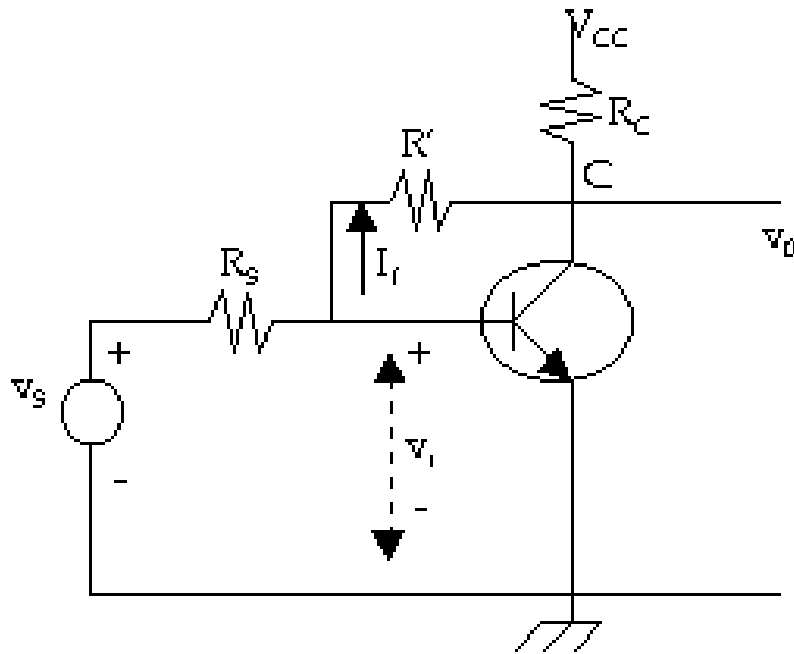
- $A_f = A / (1 + \beta A)$
- $\beta = V_f / V_o = R_2 / (R_1 + R_2)$
- $Z_{if} = Z_i (1 + \beta A)$
- $Z_{of} = Z_o / (1 + \beta A)$

Kiểu điện áp song song



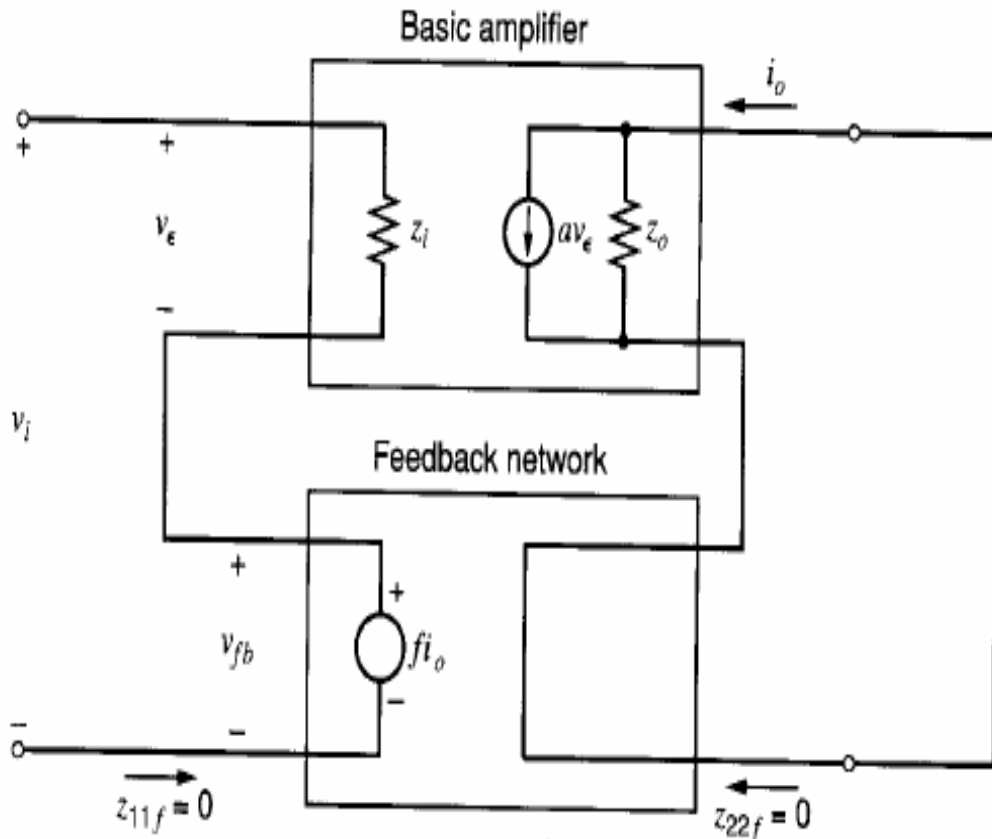
- $A = V_o / I_i$
- $\beta = I_f / V_o$
- $A_f = V_o / V_s = A / (1 + \beta A)$
- $Z_{if} = Z_i / (1 + \beta A)$
- $Z_{of} = Z_o / (1 + \beta A)$

Kiểu điện áp song song



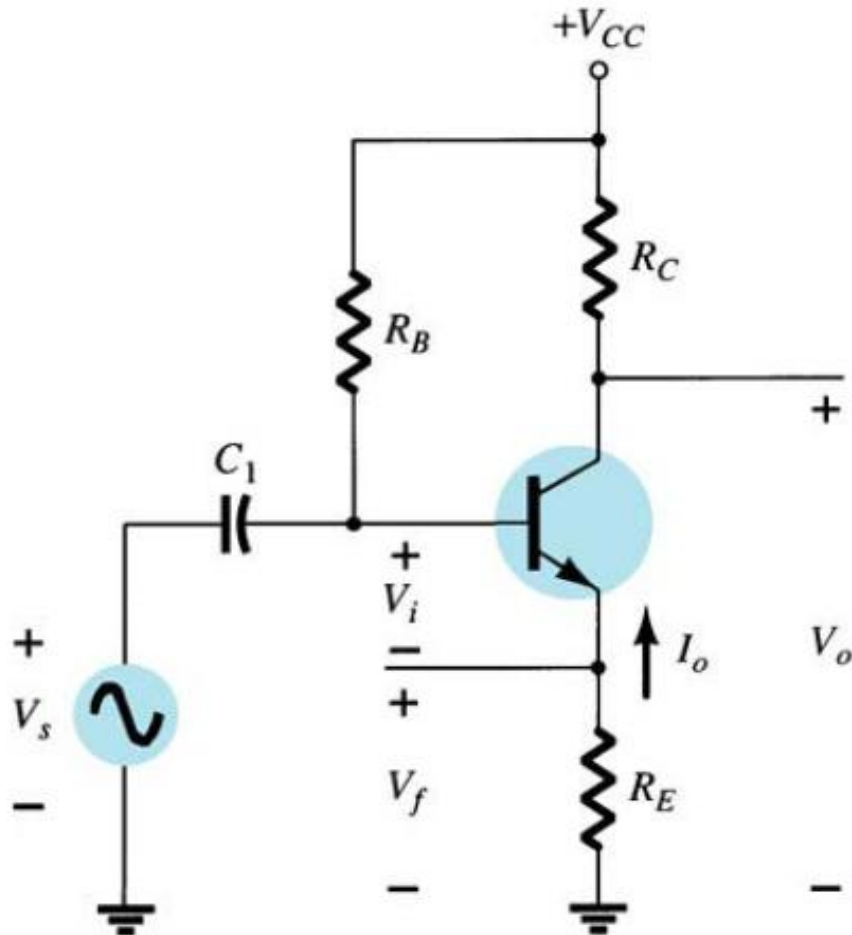
- $A_f = A / (1 + \beta A)$
- $\beta = I_f / V_o = -1 / R'$
- $Z_{if} = Z_i / (1 + \beta A)$
- $Z_{of} = Z_o / (1 + \beta A)$

Kiểu dòng điện nối tiếp



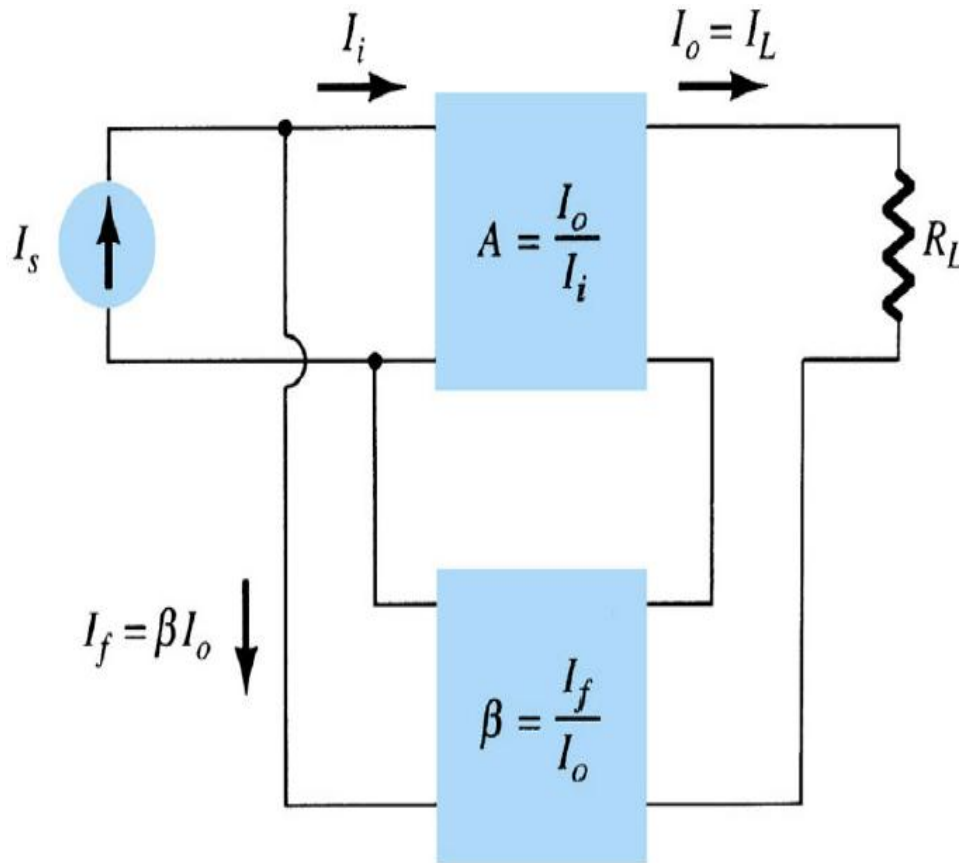
- $A = I_o / V_i$
- $\beta = V_{fb} / I_o$
- $A_f = I_o / V_s = A / (1 + \beta A)$
- $Z_{if} = Z_i (1 + \beta A)$
- $Z_{of} = Z_o (1 + \beta A)$

Kiểu dòng điện nối tiếp



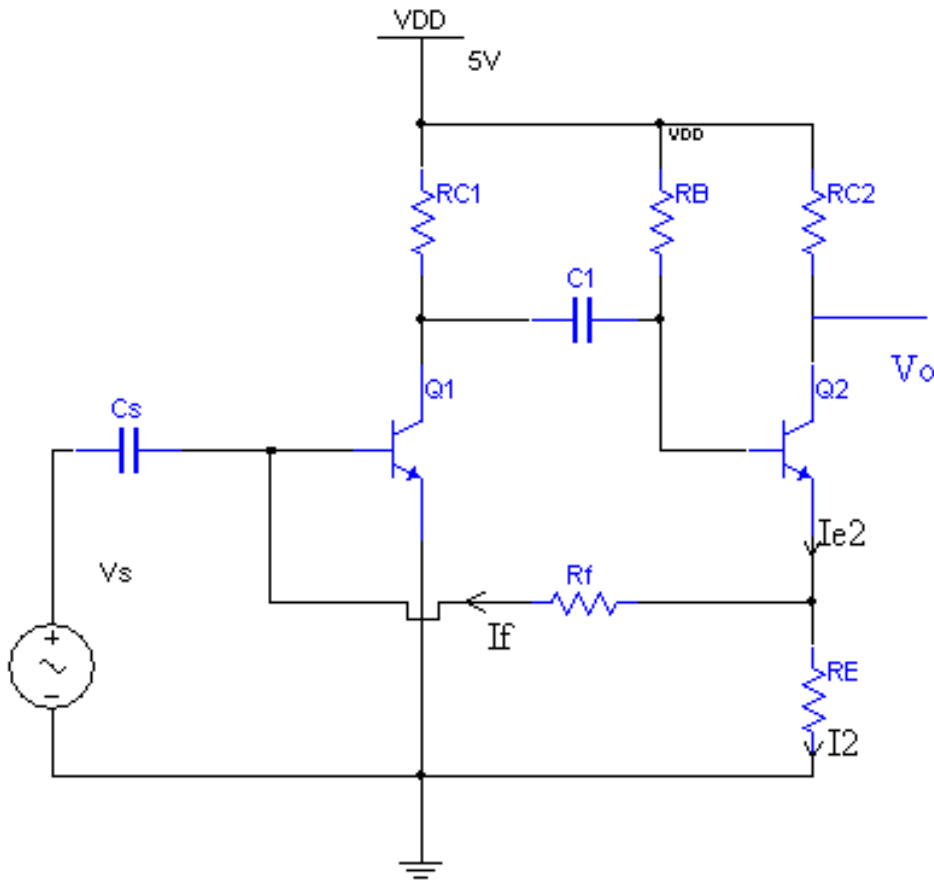
- $A = I_o / V_i$
- $\beta = V_f / I_o = R_E$
- $A_f = I_o / V_s = A / (1 + \beta A)$
- $Z_{if} = Z_i (1 + \beta A)$
- $Z_{of} = Z_o (1 + \beta A)$

Kiểu dòng điện song song



- $A = I_o / I_i$
- $\beta = I_f / I_o$
- $A_f = I_o / I_s = A / (1 + \beta A)$
- $Z_{if} = Z_i / (1 + \beta A)$
- $Z_{of} = Z_o (1 + \beta A)$

Kiểu dòng điện song song



$$A = I_o / I_i$$

$$\beta = I_f / I_{e2} = R_E / (r_e + R_E + R_f)$$

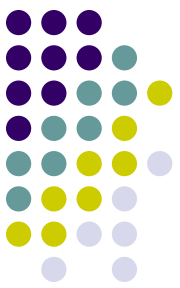
$$A_f = I_o / I_s = A / (1 + \beta A)$$

Hệ số khuếch đại với hồi tiếp



TABLE 17.1 Summary of Gain, Feedback, and Gain with Feedback from Fig. 17.2

		Voltage-Series	Voltage-Shunt	Current-Series	Current
<i>Shunt</i>					
Gain without feedback	A	$\frac{V_o}{V_i}$	$\frac{V_o}{I_i}$	$\frac{I_o}{V_i}$	$\frac{I_o}{I_i}$
Feedback	b	$\frac{V_f}{V_o}$	$\frac{I_f}{V_o}$	$\frac{V_f}{I_o}$	$\frac{I_f}{I_o}$
	A_f	$\frac{V_o}{V_s}$	$\frac{V_o}{I_s}$	$\frac{I_o}{V_s}$	$\frac{I_o}{I_s}$

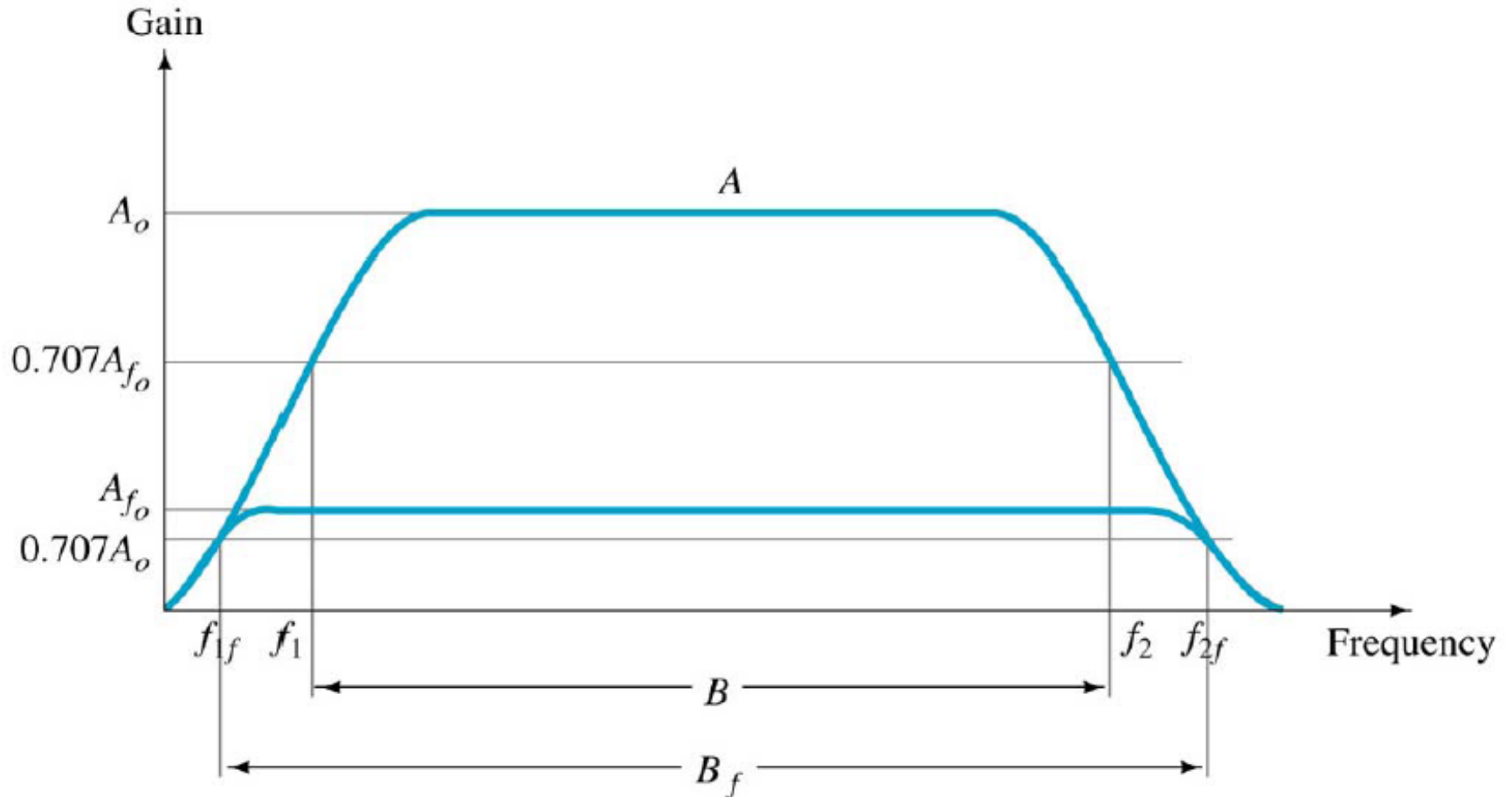


Trở kháng với hồi tiếp

TABLE 17.2 Effect of Feedback Connection on Input and Output Impedance

<i>Voltage-Series</i>	<i>Current-Series</i>	<i>Voltage-Shunt</i>	<i>Current-Shunt</i>
$Z_{if} = Z_i (1 + \beta A)$ (increased)	$Z_i (1 + \beta A)$ (increased)	$\frac{Z_i}{1 + \beta A}$ (decreased)	$\frac{Z_i}{1 + \beta A}$ (decreased)
$Z_{of} = \frac{Z_o}{1 + \beta A}$ (decreased)	$Z_o (1 + \beta A)$ (increased)	$\frac{Z_o}{1 + \beta A}$ (decreased)	$Z_o (1 + \beta A)$ (increased)

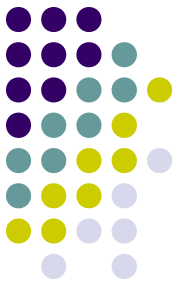
Băng thông với hồi tiếp



Bài tập

- Chapter 18: 1, 2, 3, 4, 5





Mạch ghép

- Ghép giữa các tầng khuếch đại
- Ghép Cascode
- Ghép Darlington
- Mạch nguồn dòng
- Mạch dòng gương
- Mạch khuếch đại vi sai

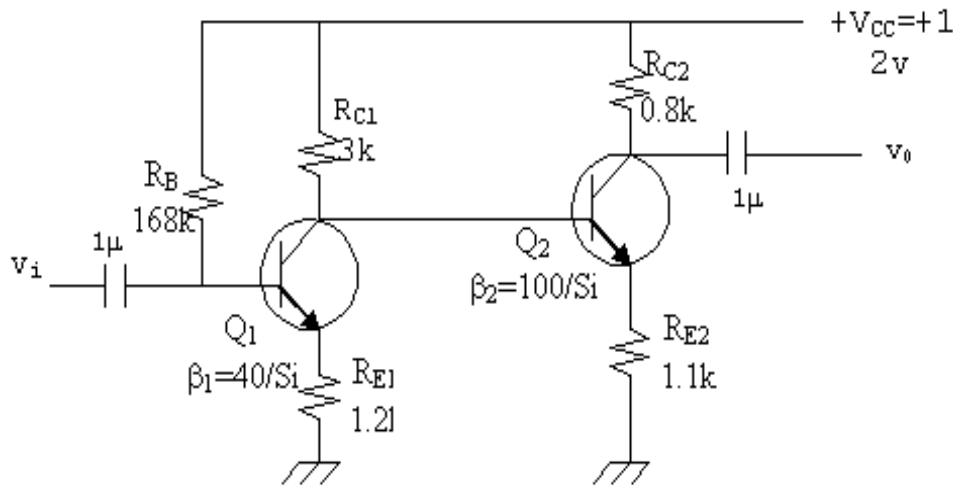
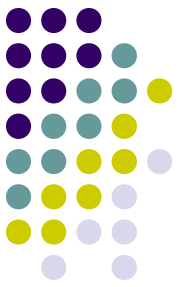
Ghép giữa các tầng khuếch đại



- Ghép trực tiếp
- Ghép dùng tụ
- Ghép dùng biến áp
- Ghép dùng điện trở
- Ghép điện quang

Ghép giữa các tầng khuếch đại

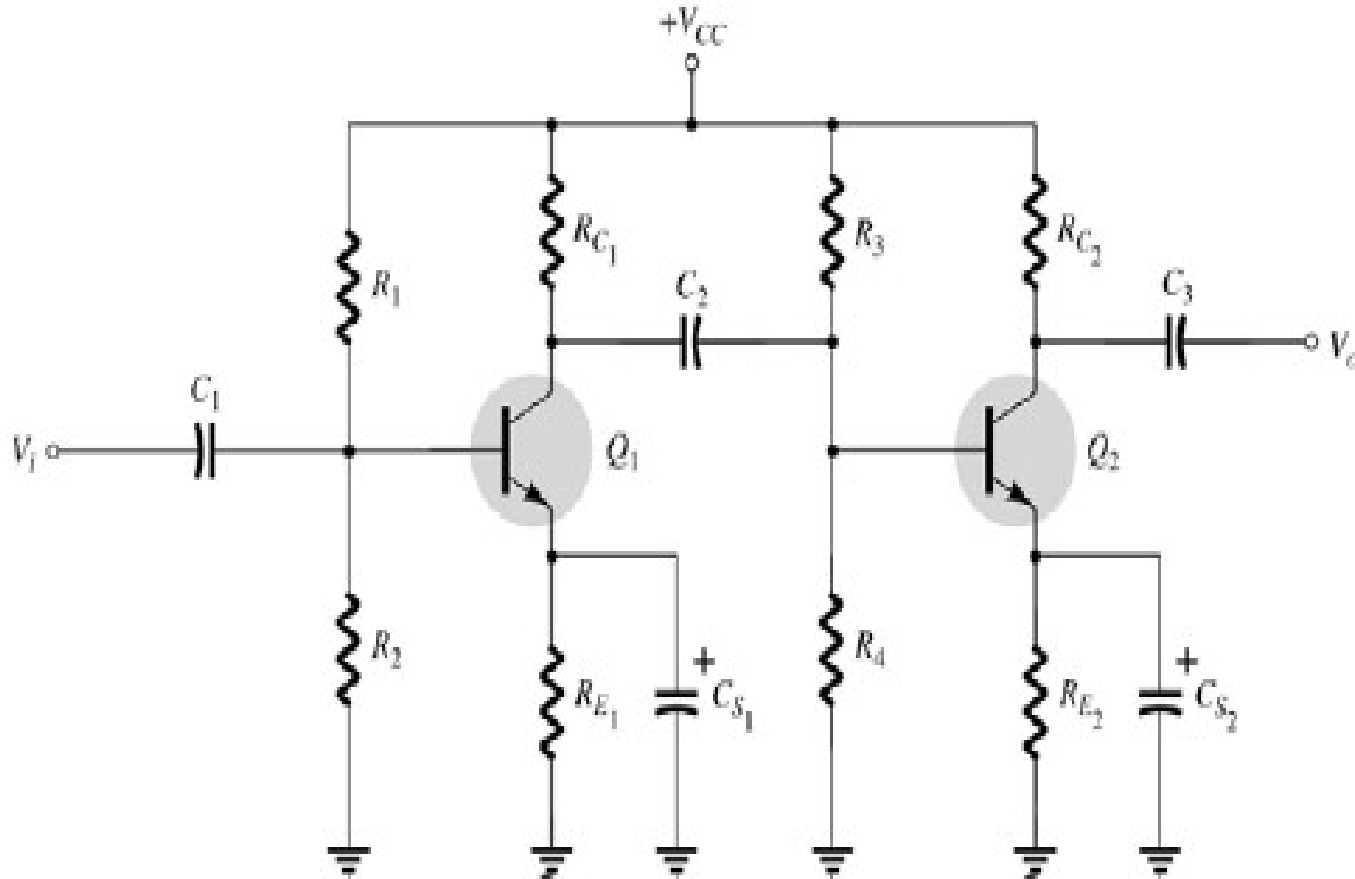
Ghép trực tiếp



- Trực tiếp ghép giữa đầu ra tầng trước và đầu vào tầng sau
- Ưu:
 - Đơn giản
 - Không mất năng lượng
 - Không méo
 - Băng thông rộng
- Nhược:
 - Phải chú ý ảnh hưởng DC giữa các tầng
- Hay sử dụng trong IC

Ghép giữa các tầng khuếch đại

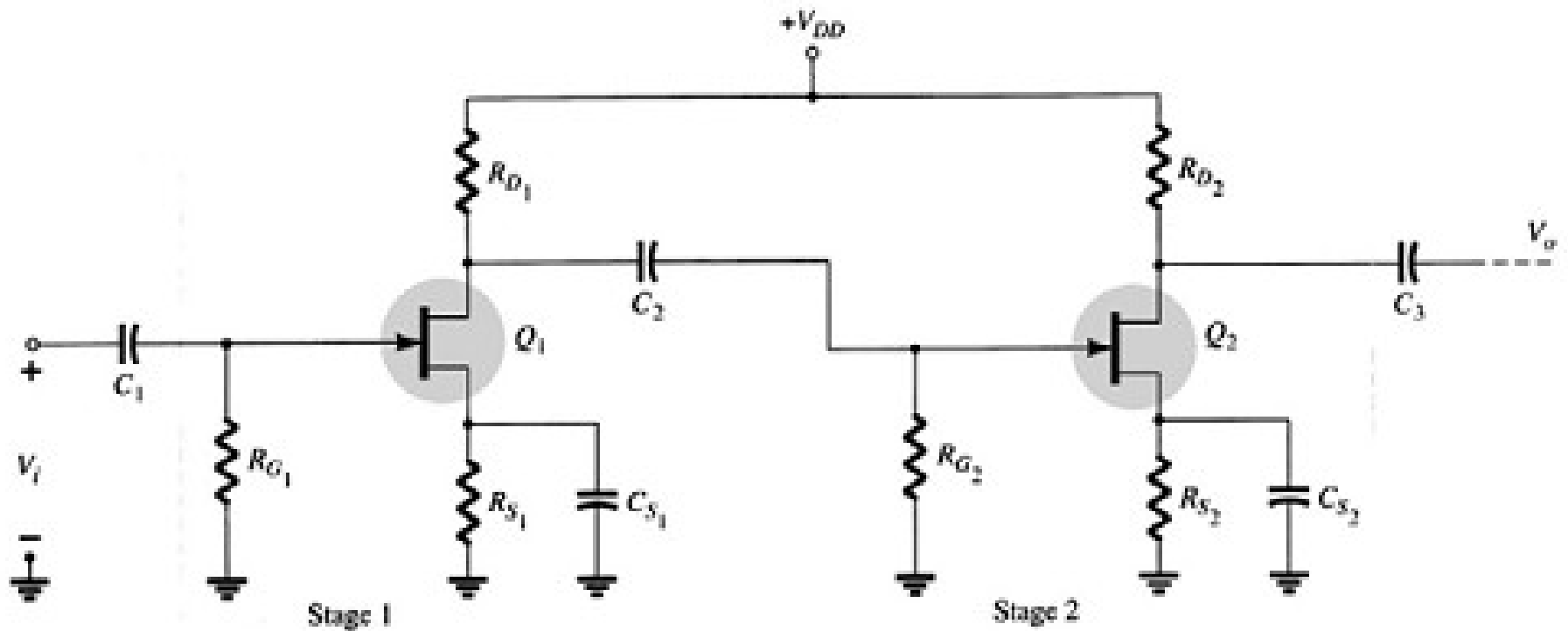
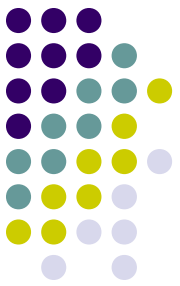
Ghép dùng tụ



- Dùng tụ ghép đầu ra tầng trước và đầu vào tầng sau

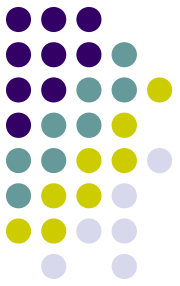
Ghép giữa các tầng khuếch đại

Ghép dùng tụ



Ghép giữa các tầng khuếch đại

Ghép dùng tụ



- Dùng tụ ghép đầu ra tầng trước và đầu vào tầng sau
- Ưu:
 - Cách ly DC các tầng
 - Dùng tụ lớn tránh méo
- Nhược:
 - Công kênh
 - Hạn chế tần số thấp
- Sử dụng trong mạch riêng lẻ
- Tụ tùy thuộc vào tần số của tín hiệu. VD: với âm tần tụ nối tầng có trị số từ $1\mu\text{F}$ đến $10\mu\text{F}$. Tụ C_e thường chọn từ $25\mu\text{F}$ đến $50\mu\text{F}$

Ghép giữa các tầng khuếch đại

Ghép biến áp



- Dùng nhiều trước kia
- Cách ly vào ra
- Dễ phối hợp trở kháng
- Dải tần làm việc hẹp
- Không tích hợp được
- Công kênh
- Đắt

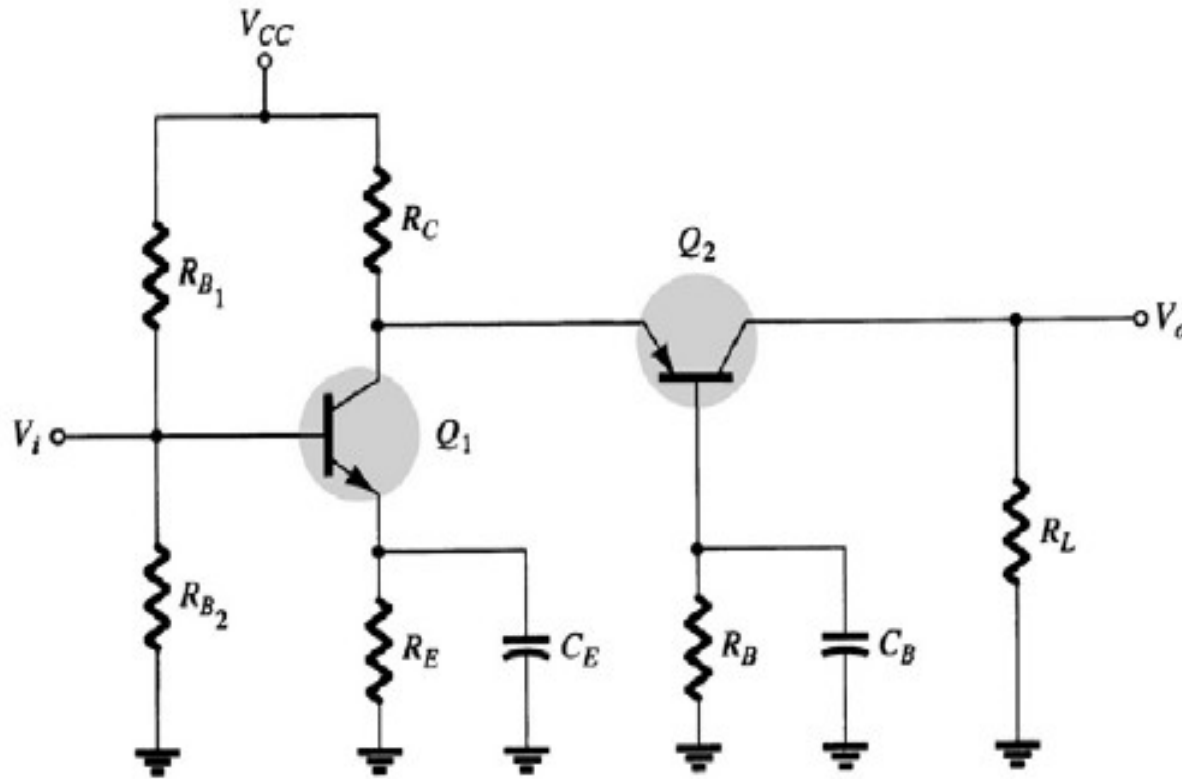
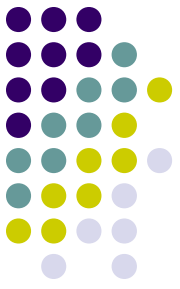
=> ít dùng



Ghép giữa các tầng khuếch đại

- Ghép dùng điện trở - thường dùng cùng C
 - Tăng trở kháng vào
 - Giảm tín hiệu vào
 - Tạo mức dịch điện áp
 - Phụ thuộc tần số (khi dùng cùng C)
- Ghép điện quang
 - Dùng cho nguồn điện áp cao

Ghép Cascode



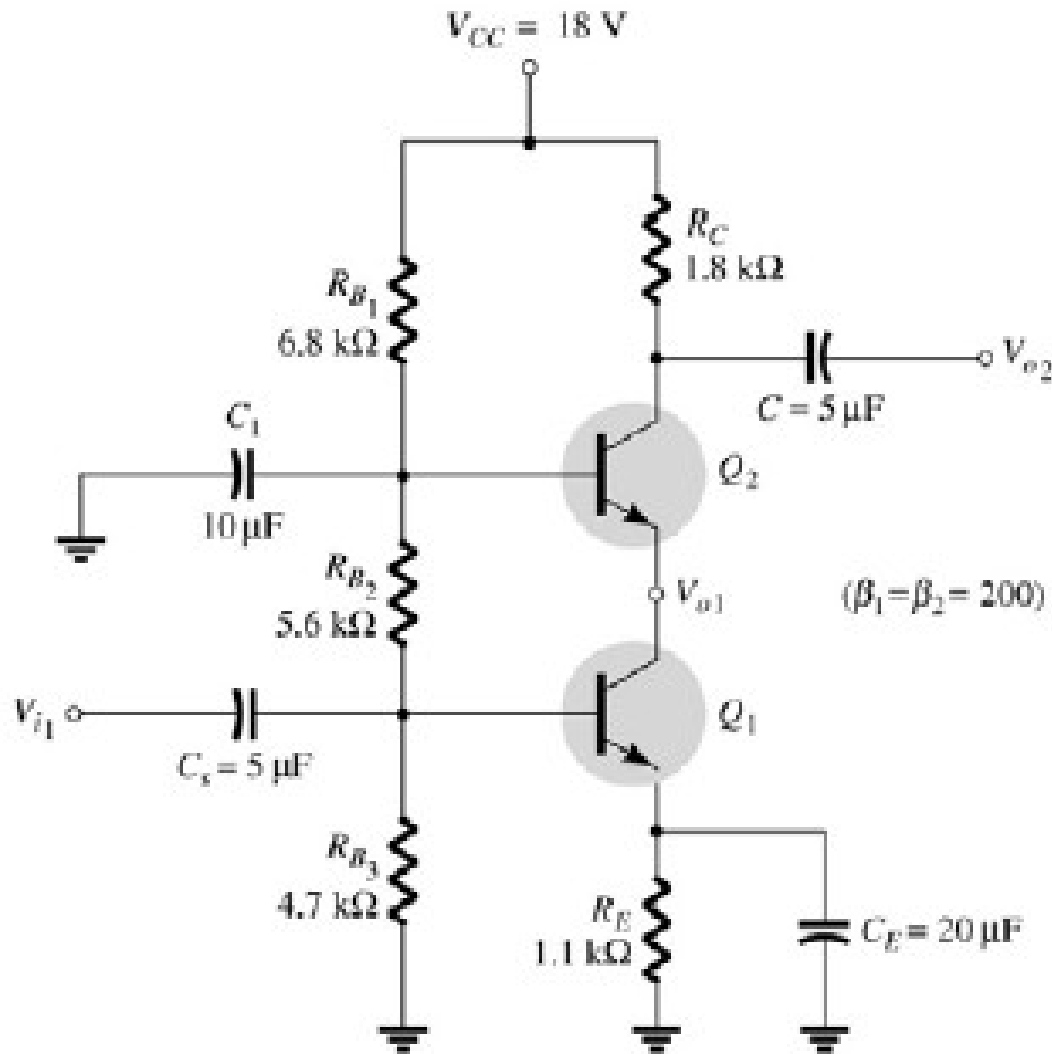
- Hai transistor mắc chung E và chung B được nối trực tiếp
- Đặc biệt được sử dụng nhiều trong các ứng dụng ở tần số cao, ví dụ: mạch khuếch đại dải rộng, mạch khuếch đại chọn lọc tần số cao

Ghép Cascode



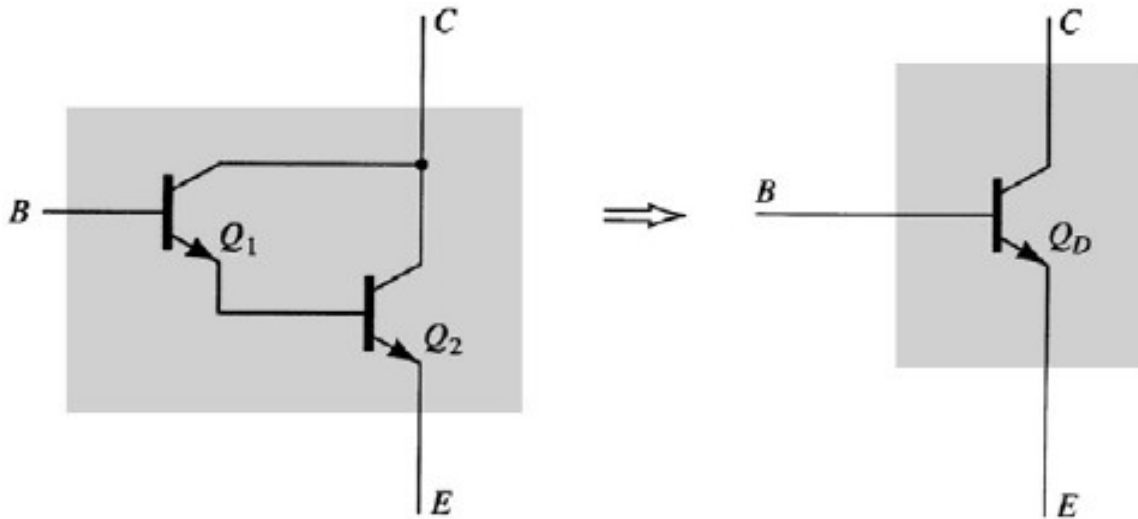
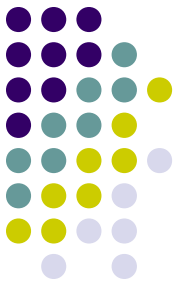
- Tầng EC với hệ số khuếch đại điện áp âm nhỏ và trở kháng vào lớn để điện dung Miller đầu vào nhỏ
- Phối hợp trở kháng ở cửa ra tầng EC và cửa vào tầng BC
- Cách ly tốt giữa đầu vào và đầu ra: tầng BC có tổng trở vào nhỏ, tổng trở ra lớn có tác dụng để ngăn cách ảnh hưởng của ngõ ra đến ngõ vào nhất là ở tần số cao, đặc biệt hiệu quả với mạch chọn lọc tần số cao

Ghép Cascode



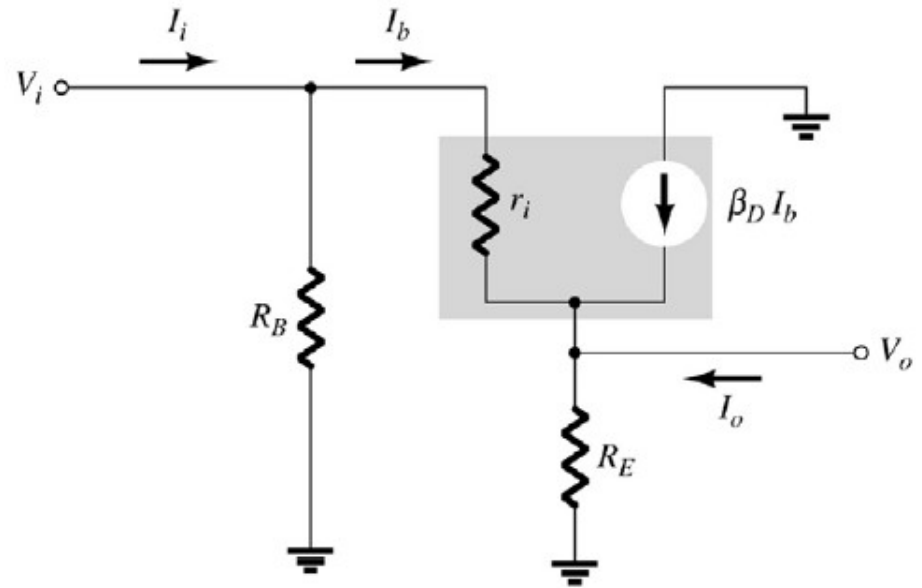
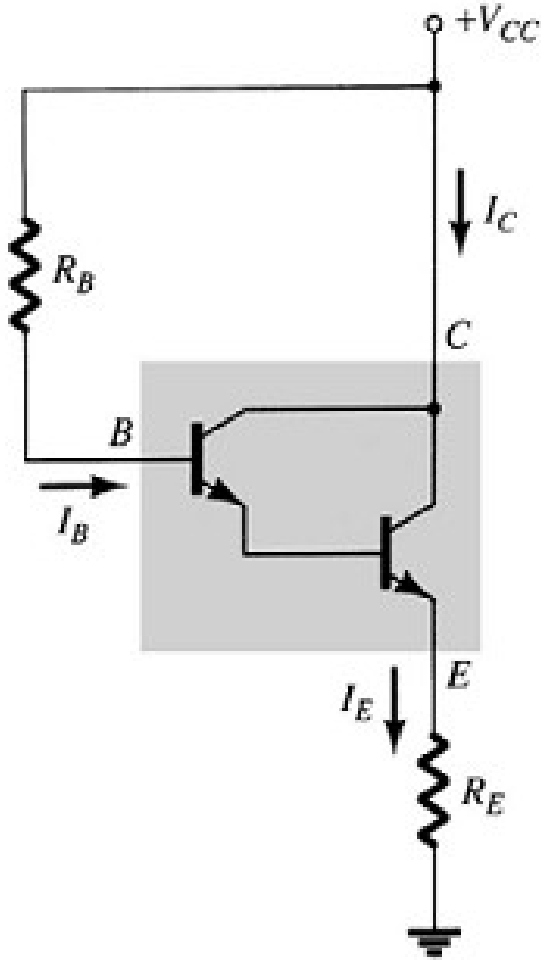
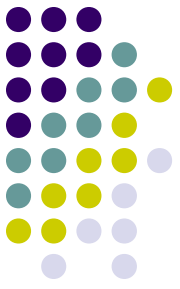
- Mạch ghép Cascode thực tế:
 $A_V^1 = -1 \Rightarrow$ điện dung Miller ở đầu vào nhỏ
 A_V^2 lớn \Rightarrow hệ số khuếch đại tổng lớn

Ghép Darlington



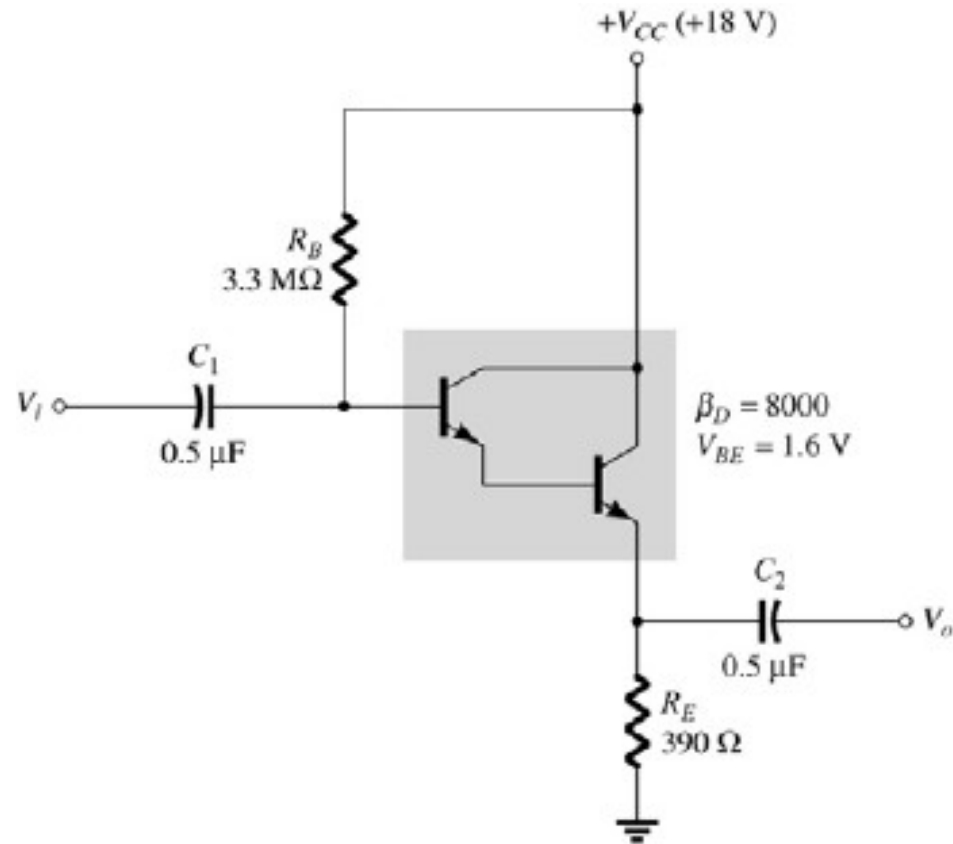
- Hai transistor ***cùng loại***, hoạt động như một transistor
- Hệ số khuếch đại dòng điện tổng rất lớn
- Tổng trở vào rất lớn

Ghép Darlington



Phân cực trans Darlington và sơ đồ tương đương mạch lặp emitter (hay sử dụng trong mạch công suất)

Ghép Darlington



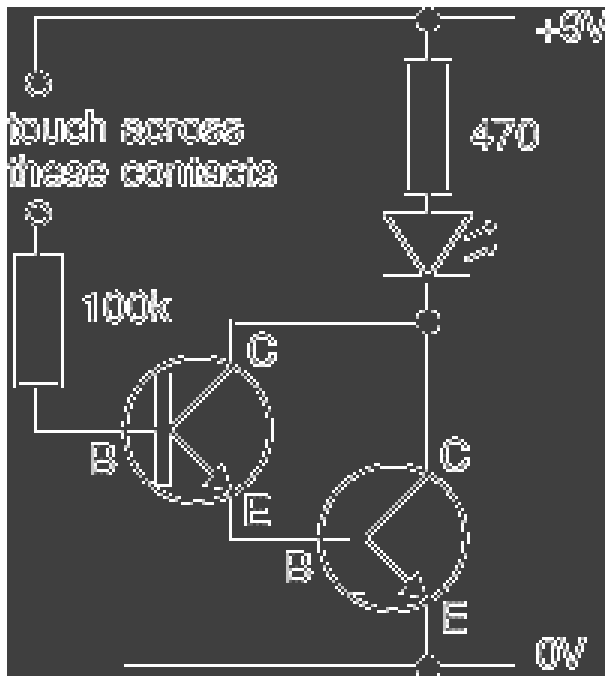
Type 2N999

N-P-N Darlington-Connected
Silicon Transistor Package

Parameter	Test Conditions	Min.	Max.
V_{BE}	$I_C = 100 \text{ mA}$		1.8 V
$h_{FE} (\beta_D)$	$I_C = 10 \text{ mA}$	4000	
	$I_C = 100 \text{ mA}$	7000	70,000

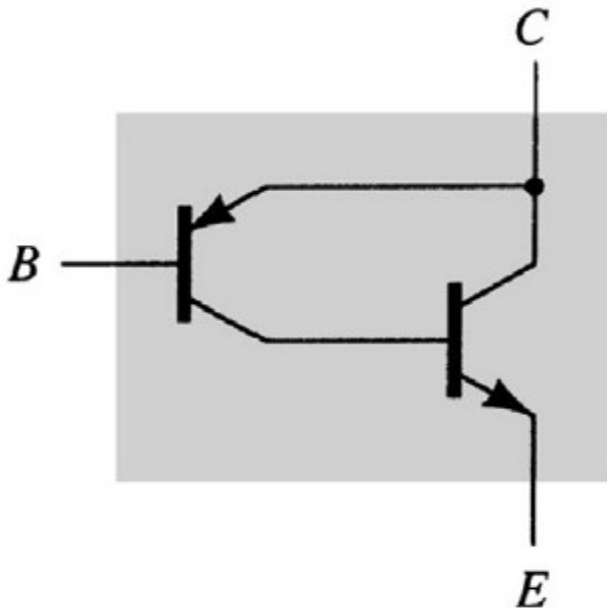
- Tổ hợp vào một package (hình vẽ)
- Hoặc xây dựng từ 2 transistor rời rạc (chú ý: T_1 công suất nhỏ, T_2 công suất lớn, I_C max là giới hạn của T_2)

Ghép Darlington - ứng dụng



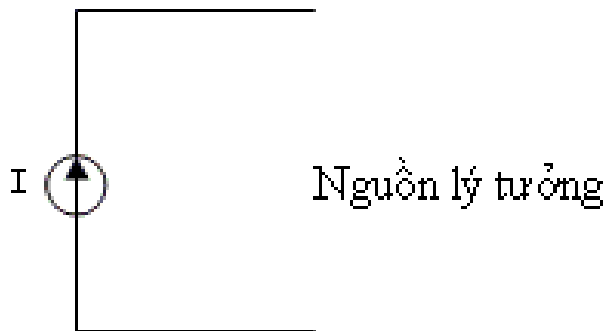
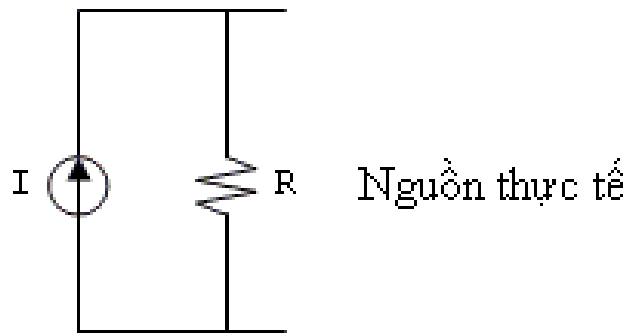
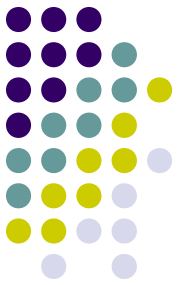
- Nhạy cảm với dòng rất nhỏ -> có thể làm mạch “touch-switch”
- Mặc kiểu CC cho khuếch đại công suất với yêu cầu phối hợp trở kháng với tải có tổng trở nhỏ

Ghép Darlington bù



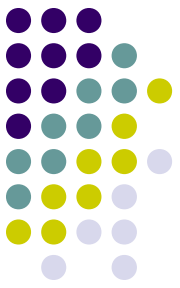
- Tương tự ghép darlington
- Hai transistor ***khác loại***, hoạt động giống như một BJT loại pnp
- Hệ số khuếch dòng điện tổng rất lớn

Mạch nguồn dòng

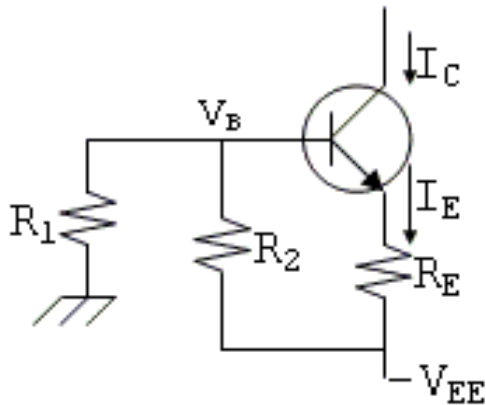
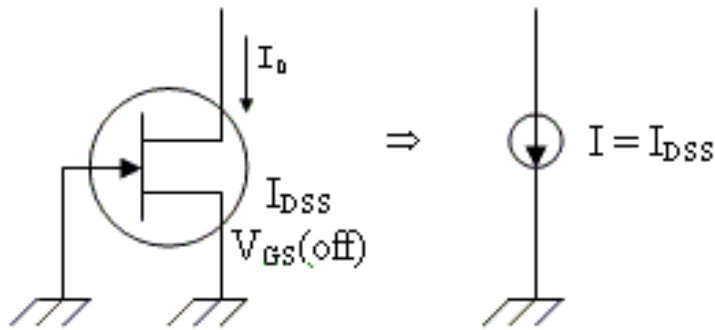


Bộ phận cấp dòng điện, mắc song song với điện trở R , được gọi là nội trở của nguồn

Nguồn dòng điện lý tưởng khi $R = \infty$, và cung cấp một dòng điện là hằng số

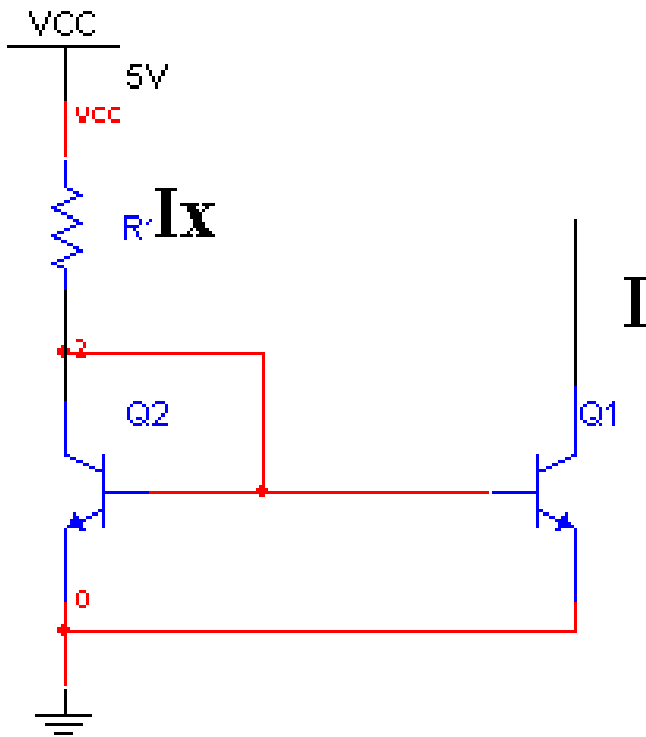


Mạch nguồn dòng



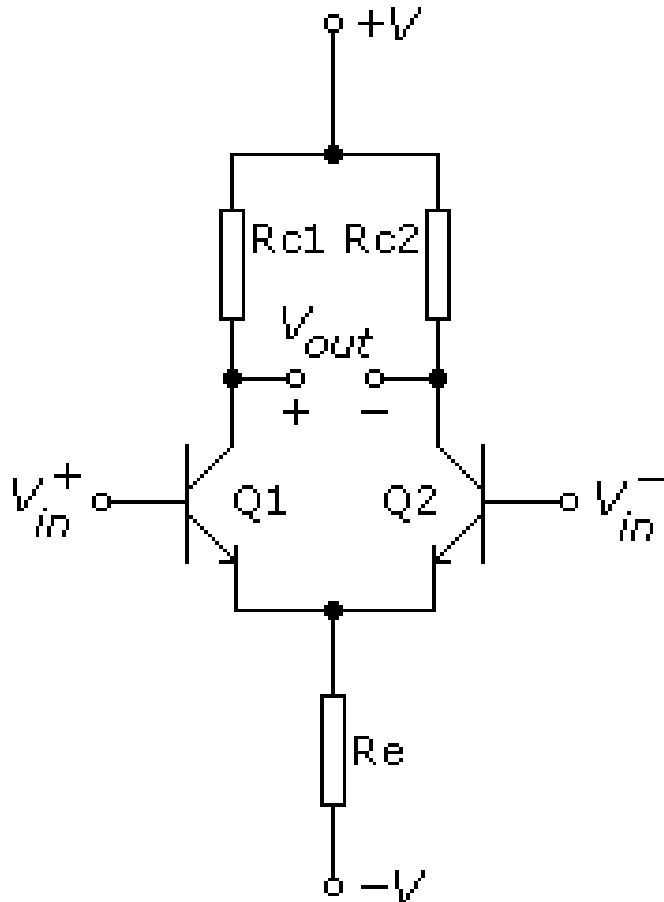
- Dòng cung cấp ổn định và điện trở nguồn rất lớn
- Sử dụng BJT, hoặc FET, hoặc kết hợp
- I_D , I_C là dòng điện không đổi được cấp cho mạch, nội trở nguồn là điện trở ra của mạch

Mạch dòng gương

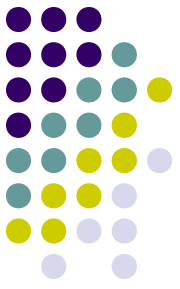


- Cung cấp 1 hoặc nhiều dòng bằng 1 dòng xác định khác. Chú ý không nhân ra quá nhiều dòng
- Sử dụng chủ yếu trong IC
- Yêu cầu: Q_1 , Q_2 hoàn toàn giống nhau
- $I \approx I_x = \frac{V_{CC} - V_{BE}}{R_x}$

Mạch khuếch đại vi sai



- Mạch đối xứng theo đường thẳng đứng, các phần tử tương ứng giống nhau về mọi đặc tính
- Q1 giống hệt Q2, mắc kiểu EC hoặc CC
- 2 đầu vào v_1 và v_2 , có thể sử dụng 1 hoặc phối hợp
- 2 đầu ra v_a và v_b , sử dụng 1 hoặc phối hợp



Mạch khuếch đại vi sai

- Đầu vào cân bằng, đầu ra cân bằng

$$V_{in} = V_1 - V_2 ; V_{out} = V_a - V_b$$

- Đầu vào cân bằng, đầu ra không cân bằng

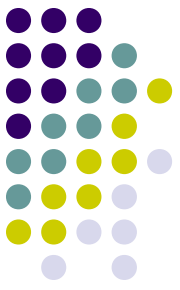
$$V_{in} = V_1 - V_2 ; V_{out} = V_a$$

- Đầu vào không cân bằng, đầu ra cân bằng

$$V_{in} = V_1 ; V_{out} = V_a - V_b$$

- Đầu vào không cân bằng, đầu ra không cân bằng

$$V_{in} = V_1 ; V_{out} = V_a$$



Mạch khuếch đại vi sai

- hệ số khuếch đại vi sai và hệ số triệt tiêu đồng pha

Chế độ phân cực 1 chiều: $V_{B1} = V_{B2} \Rightarrow I_{C1} = I_{C2} = I_E/2 \Rightarrow V_{C1} = V_{C2}$

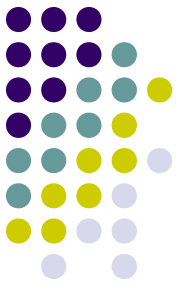
Nếu $v_{in} = v_1 - v_2 \Rightarrow V_{B1} + v_{in}$ và $V_{B2} - v_{in} \Rightarrow i_{c1} > i_{c2}$
 $\Rightarrow v_{out} = v_{c1} - v_{c2} > 0$

\Rightarrow *khuếch đại điện áp vi sai*

Nếu $v_{in} = v_1 = v_2 \Rightarrow V_{B1} + v_{in}$ và $V_{B2} + v_{in} \Rightarrow i_{c1} = i_{c2}$
 $\Rightarrow v_{out} = v_{c1} - v_{c2} = 0$

\Rightarrow *triệt tiêu điện áp đồng pha*

Mạch khuếch đại vi sai



- *hệ số khuếch đại vi sai và hệ số triệt tiêu đồng pha*

Phân tích bằng sơ đồ tương đương xoay chiều:

$$v_{in} = v_1, v_2 = 0 ; v_{out} = v_a \quad : A_v = R_C / 2r_e$$

$$v_{in} = v_1 - v_2 ; v_{out} = v_a - v_b : A_d = R_C / r_e \quad \text{(differential mode)}$$

$$v_{in} = v_1 = v_2 ; v_{out} = v_a \quad : A_c = \beta R_C / (\beta r_e + 2(\beta + 1)R_E) \quad \text{(common mode)}$$

Nhận xét :

- Tín hiệu vào ngược pha: khuếch đại lớn
- Tín hiệu vào cùng pha: khuếch đại nhỏ
- ⇒ khả năng chống nhiễu tốt
- ⇒ Tỉ số nén đồng pha (CMRR-Common mode rejection ratio)
= Hệ số KĐ vi sai/Hệ số KĐ đồng pha
- ⇒ CMRR càng lớn chất lượng mạch càng tốt

Với KĐ ngõ ra không cân bằng, T_1, T_2 vẫn có tác dụng trừ các tín hiệu nhiễu đồng pha hay ảnh hưởng của nhiệt độ tác dụng lên hai transistor

Mạch khuếch đại vi sai

- nâng cao tính chống nhiễu

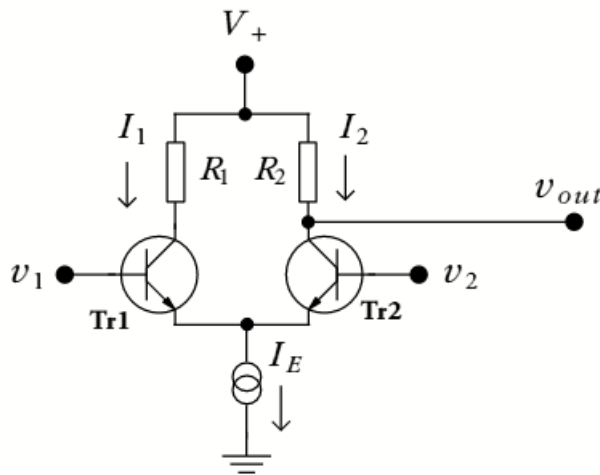
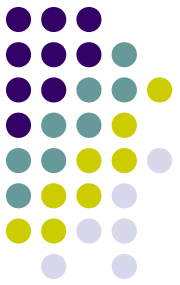


Figure 1-7 — 'Long-tailed pair' differential amp

- Có nguồn dòng ổn định với nội trở rất lớn
- > ổn định nhiệt và giảm hệ số KĐ đồng pha
- > tăng khả năng chống nhiễu

Nguồn dòng cũng có thể là mạch dòng gương

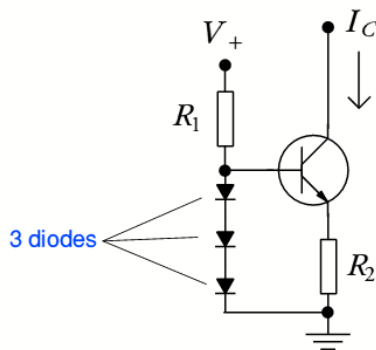
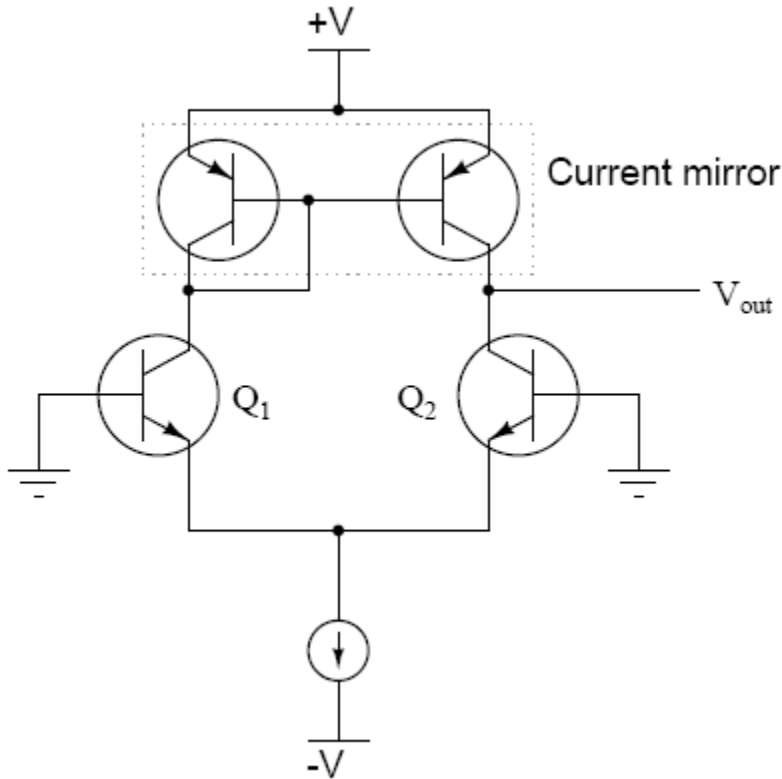
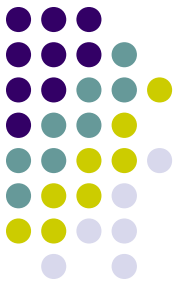


Figure 1-8 — Simple Current Source

Mạch khuếch đại vi sai

- nâng cao tính chống nhiễu



- Sử dụng “active loads” - mạch dòng gương
 - ⇒ thiết lập dòng collector như nhau trên cả hai transistor
 - ⇒ tăng hệ số khuếch đại vi sai

Mạch khuếch đại vi sai

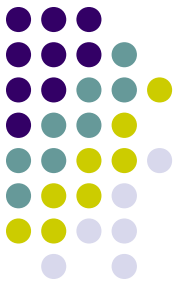
- vấn đề điện áp trôi



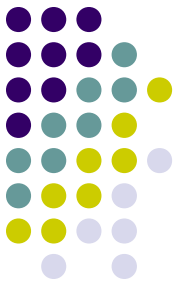
- Ng/nhân: đặc tính kỹ thuật của hai transistor không hoàn toàn giống nhau
- Khắc phục: Dùng điện trở R_C không đối xứng (biến trở)

Mạch ghép

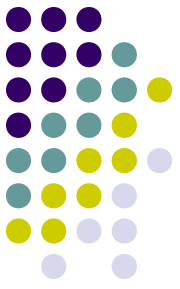
- BT chương 12: 1, 6, 11, 12, 15, 19, 21, 24, 26, 30



Khuếch đại công suất



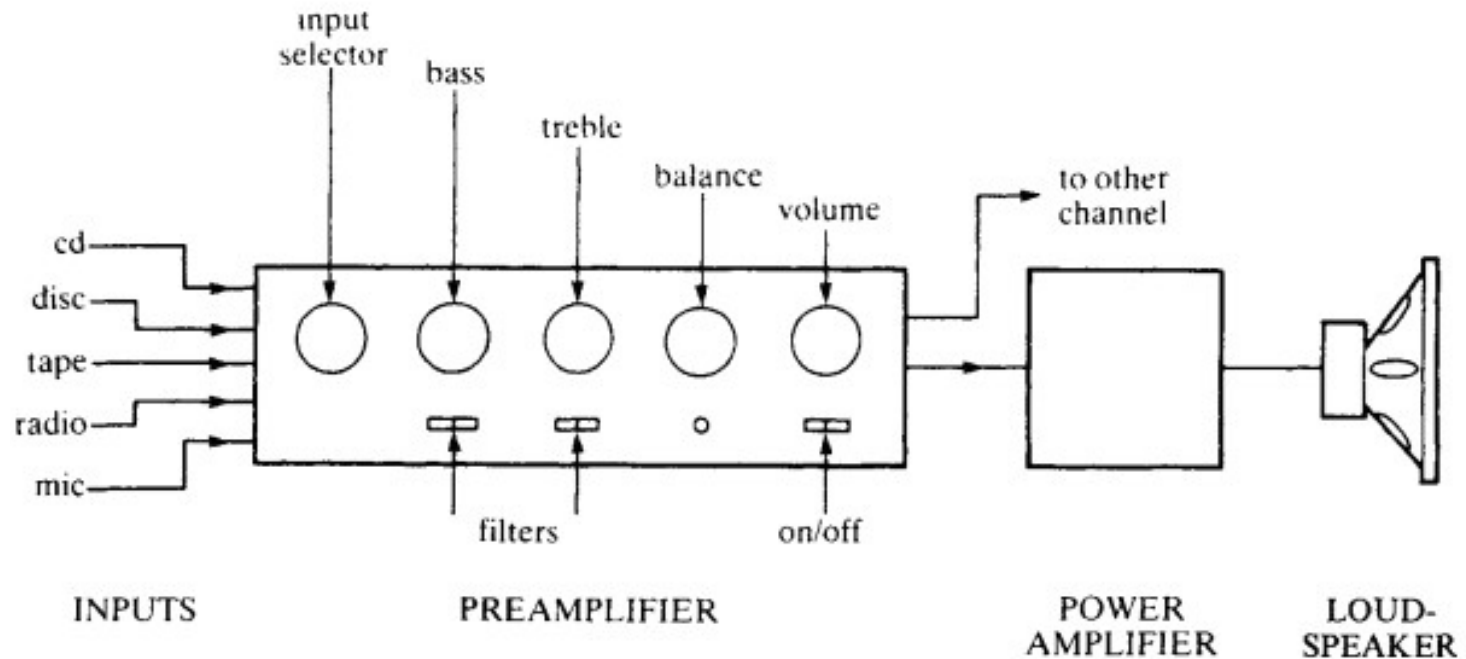
- Giới thiệu
- Link kiện công suất và đặc tính
- Các chế độ hoạt động của tầng KĐCS
- Kiến trúc tầng KĐCS
- Khuếch đại công suất ghép biến áp, AC & DC
- Nhiều trong KĐCS



Giới thiệu

- Tầng KĐCS mục đích để hoạt động tải, với dòng qua tải lên đến vài ampre => không phải là KĐ công suất thấp (tín hiệu nhỏ) như đã tìm hiểu trong các chương trước
- Hướng đến hệ thống âm thanh trong nhà (VD: đài, âm ly)

Giới thiệu



Hệ thống âm thanh Hi-fi (High fidelity): khuếch đại tín hiệu âm thanh từ nhiều nguồn khác nhau (đĩa CD, radio, micro) đưa ra một loa (mono) hoặc 2 hay nhiều hơn (stereo)

Giới thiệu

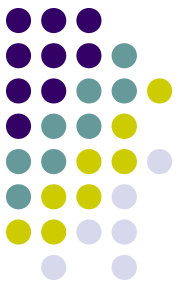


- Đầu vào: nhiều mức điện áp vào và trở kháng khác nhau
VD: microphone – 0,5mV và 600Ω
đĩa CD – 2V và 100Ω
- Đầu ra: có nhiều loại loa với mức công suất rất khác nhau (từ vài W đến vài trăm W). Trở kháng loa cũng có nhiều mức khác nhau, trong đó các giá trị 4, 8 và 16Ω tương đối phổ biến

Giới thiệu



- Tầng tiền khuếch đại (preamplifier): khuếch đại tín hiệu vào đạt mức như nhau với đáp ứng tần số phẳng trong khoảng âm tần (20Hz đến 20kHz). Ngoài ra, có thêm bộ khuếch đại có chọn lọc (equalizer) để tăng/giảm phần tần thấp (bass), phần tần cao (treble)
- Tầng khuếch đại công suất (power amplifier): khuếch đại điện áp và dòng điện với đáp ứng tần số phẳng trong vùng âm tần



Giới thiệu

- Yêu cầu với tầng KĐCS:
 1. Cung cấp công suất đến loa có tải xác định trước
 2. Hệ số KĐ điện áp ổn định, không bị ảnh hưởng bởi tải
 3. Nhiễu thấp

Tiêu chí (2) và (3): nên sử dụng indicate that overall negative feedback should be used. The

- closed-loop gain will then be determined by

Linh kiện công suất & đặc tính



- Điốt
- BJT công suất
- MOSFET công suất
- Thyristor (SCR-silicon controlled rectifier)
- Insulated-Gate Bipolar Transistor (IGBT)
- Gate Turn-Off Thyristors
- MOS-Controlled Thyristor (MCT)

Linh kiện công suất & đặc tính

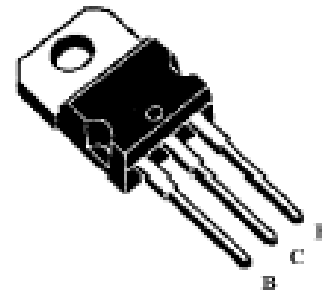


- Điốt công suất: khả năng chịu dòng thuận lớn ($n100$ A)
- BJT công suất : $P=nW - n*100$ KW, $f = 10$ KHz, npn
=> Transistor Darlington công suất: dòng bazơ nhỏ
- MOSFET công suất : điều khiển bằng điện áp vào (chuyển mạch)

Linh kiện công suất & đặc tính



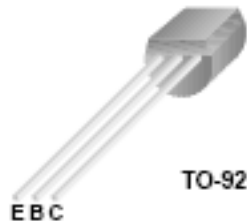
- 65 W at 25°C Case Temperature
- 6A Continuous Collector Current
- 10A Peak Collector Current
- 100V Collector-Emitter Voltage
- Isolated transistor package available on request
- Custom selections possible



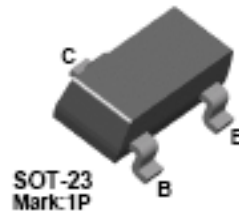
TO-220

Note : Collector is connected to the mounting base

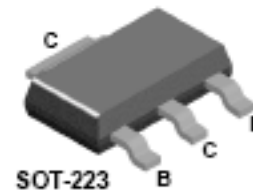
PN2222A



MMBT2222A



PZT2222A

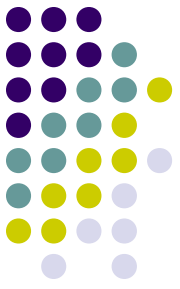


NPN General Purpose Amplifier

- This device is for use as a medium power amplifier and switch requiring collector currents up to 500mA.
- Sourced from process 19.

- BJT công suất: $P = nW - n * 100 \text{ KW}$, $f = 10 \text{ KHz}$, npn
- Transistor Darlington công suất: dòng bazơ nhỏ

Tản nhiệt trong transistor công suất



- Công suất lớn nhất phụ thuộc:
 - Công suất tiêu hao: $P_D = V_{CE} I_C$
 - Nhiệt độ của lớp tiếp giáp (Si: 150-200^o, Ge: 100-110^o)
 - $P_{D(T1)} = P_{D(T0)} - (T1 - T0)(\text{hệ số suy giảm})$
- => Sử dụng tản nhiệt để tăng công suất cực đại
- Sử dụng không khí (<60W) hoặc chất lỏng (>100W)

Công suất, điện áp và dòng điện



Tín hiệu dạng *sin*:

$$u = V_m \sin(\omega t)$$

$$i = I_m \sin(\omega t)$$

Công suất trên tải:

$$P = V_m I_m / 2 = V_m^2 / 2R$$

Tính theo điện áp đỉnh-đỉnh V_{p-p}

$$P = V_{p-p}^2 / 8$$

Hình vẽ U, I qua điện trở R

Chế độ hoạt động của KĐCS



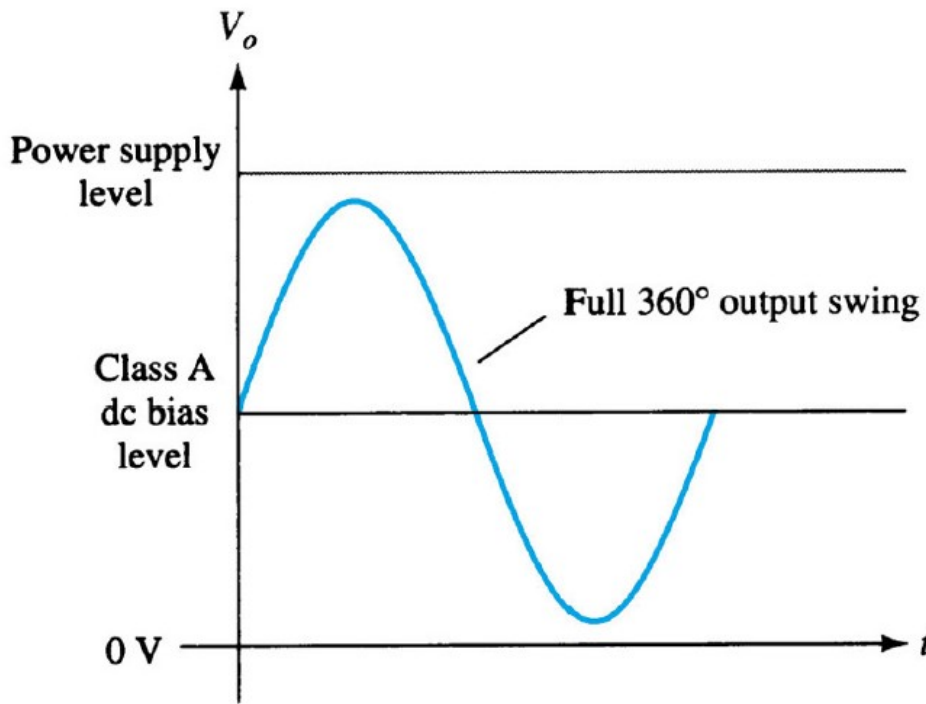
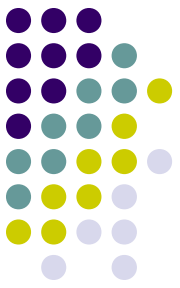
- Chế độ A – dòng điện chạy liên tục trong mạch => tránh tính không tuyến tính do mạch chuyển đổi chế độ on và off
- Chế độ B – rất phổ biến (chế độ AB)
- Chế độ C – linh kiện dẫn trong khoảng dưới 50% thời gian, thường dùng trong mạch radio kết hợp với mạch cộng hưởng LC

Chế độ hoạt động của KĐCS



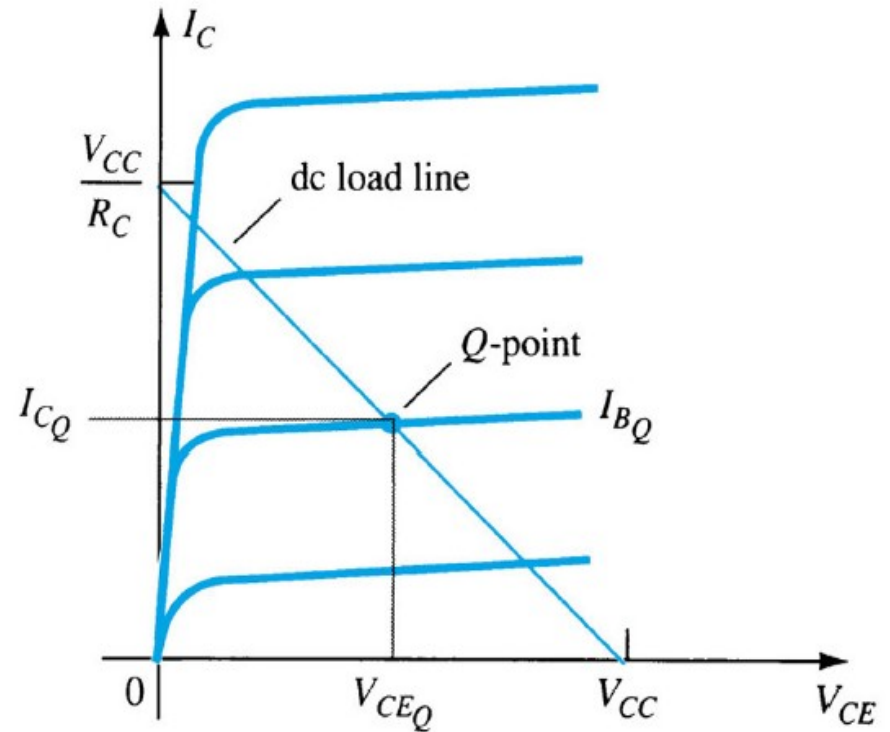
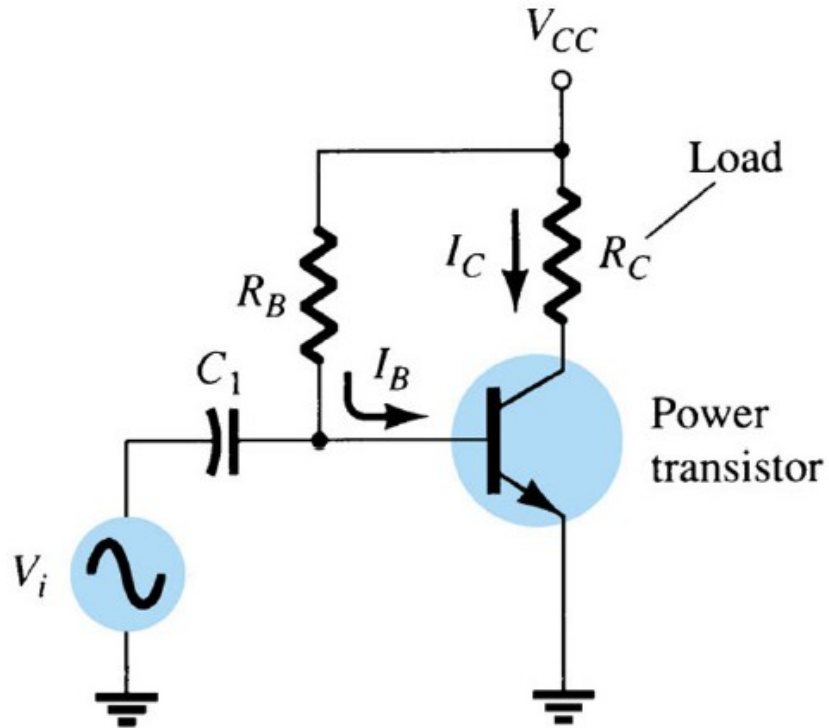
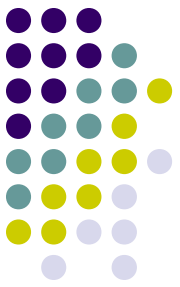
- Chế độ D – chuyển mạch giữa mức cao (on trong khoảng thời gian ngắn) và mức thấp (off trong khoảng dài) liên tục với tần số siêu âm, hiệu suất biến đổi năng lượng rất cao
- Chế độ E – điện áp hoặc dòng điện qua transistor nhỏ => công suất tiêu hao thấp, sử dụng trong vô tuyến
- Chế độ G – lợi dụng đặc tính của tín hiệu có một vài giá trị đỉnh lớn nhưng giá trị trung bình không lớn, để chuyển mạch mức nguồn sử dụng thích hợp => giảm tiêu hao năng lượng

Chế độ hoạt động - Chế độ A

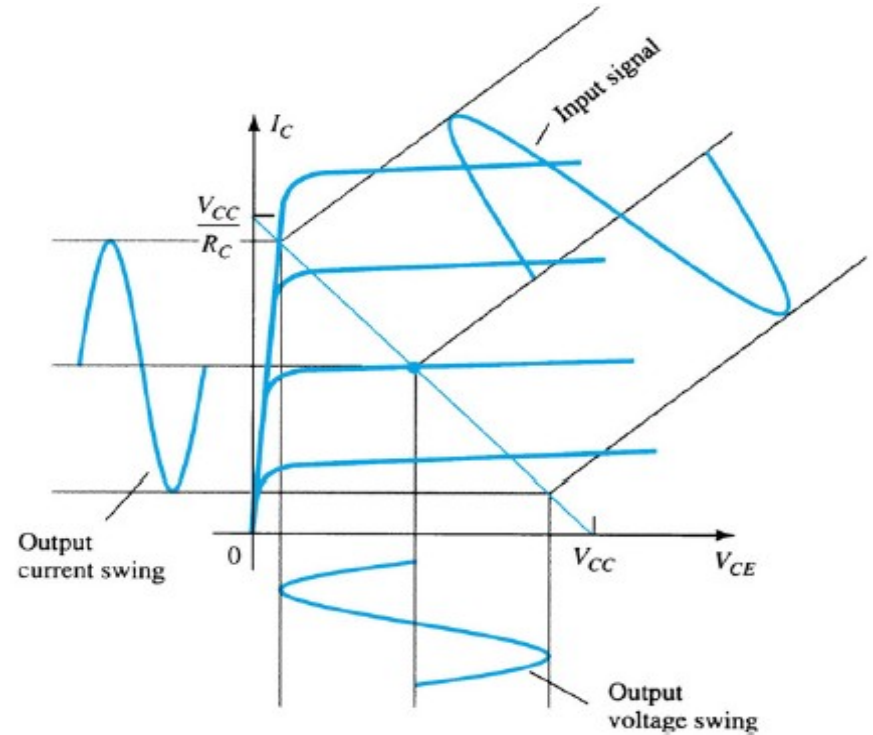
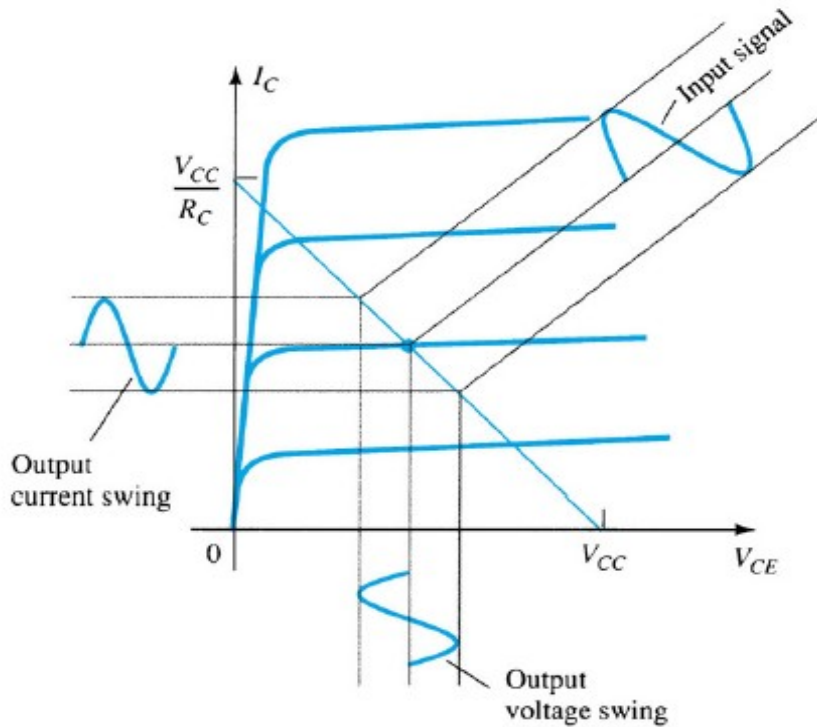


- Công suất ra nhỏ (vài watt)
- Tín hiệu ra biến đổi trong 360°
- Điểm làm việc Q thích hợp
- Hiệu suất thấp ($<50\%$ khi có hoặc $<25\%$ khi không có ghép biến áp)

Chế độ hoạt động - Chế độ A

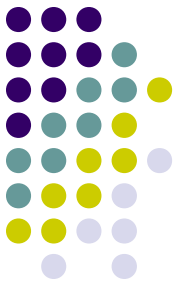


Chế độ hoạt động - Chế độ A



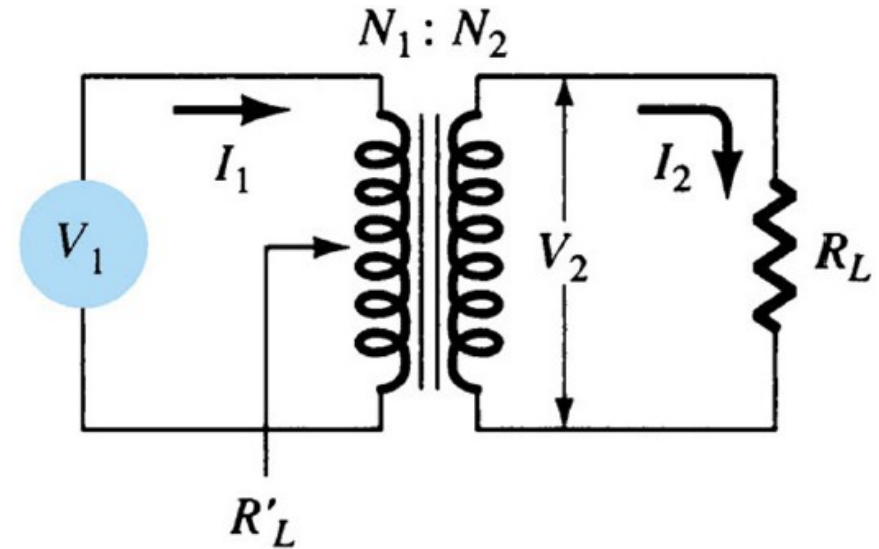
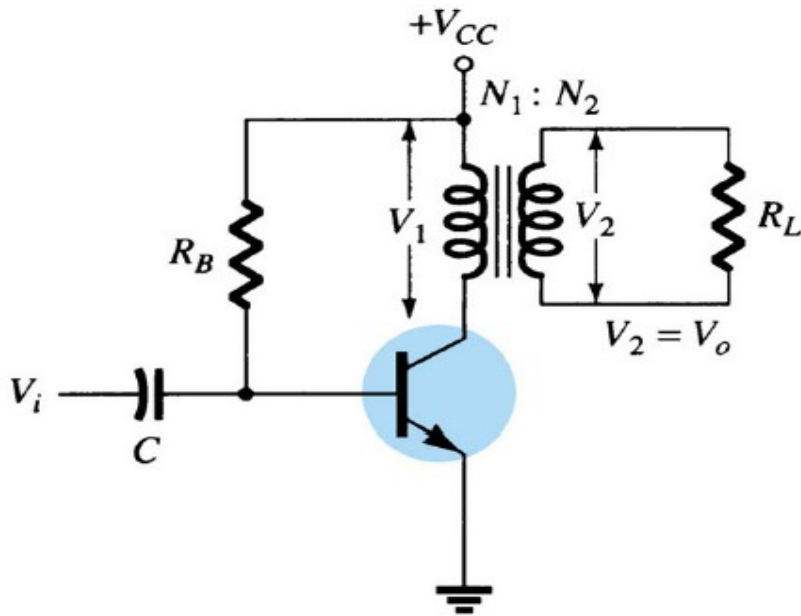
Chế độ hoạt động

- Chế độ A – Hiệu suất

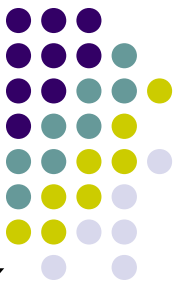


- Công suất vào:
 - Là công suất một chiều: $P_i(\text{dc}) = V_{\text{CC}} I_{\text{CQ}}$
- Công suất ra: là công suất xoay chiều
 - $P_o(\text{ac}) = V_{\text{CE}(\text{rms})} I_{\text{C}(\text{rms})} = I_{\text{c}(\text{rms})}^2 R_c = V_{\text{c}(\text{rms})}^2 / R_c$
 - $P_o(\text{ac}) = V_{\text{CE}(\text{p})} I_{\text{C}(\text{p})} / 2 = I_{\text{c}(\text{p})}^2 R_c / 2 = V_{\text{c}(\text{p})}^2 / R_c$
 - $P_o(\text{ac}) = V_{\text{CE}(\text{p-p})} I_{\text{C}(\text{p-p})} / 8 = I_{\text{c}(\text{p-p})}^2 R_c / 8 = V_{\text{c}(\text{p-p})}^2 / 8R_c$
- Hiệu suất: $\eta = P_o(\text{ac}) / P_i(\text{dc}) * 100\%$
- Hiệu suất cực đại:
 - $\eta = P_{\text{ac}} / P_{\text{dc}} = (V_{\text{CC}}^2 / 8R_c) / (V_{\text{CC}}^2 / 2R_c) * 100\% = 25\%$

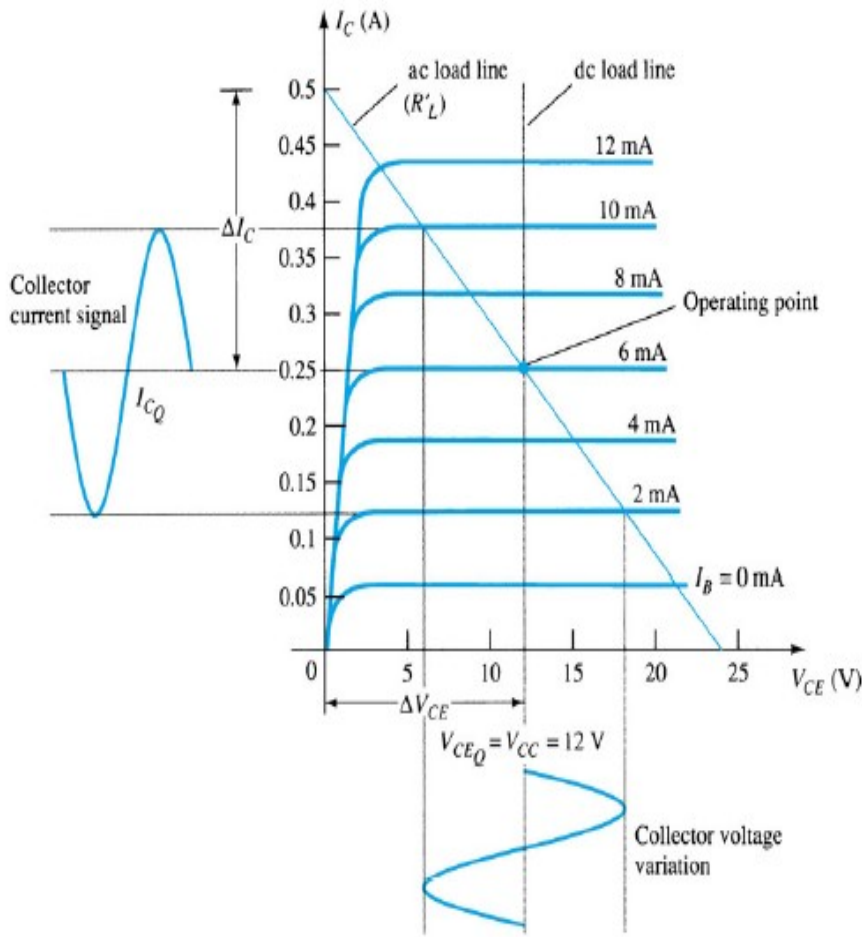
Chế độ A – ghép biến áp



- $V_2/V_1 = N_2/N_1$
- $I_2/I_1 = N_1/N_2$



Chế độ A – ghép biến áp

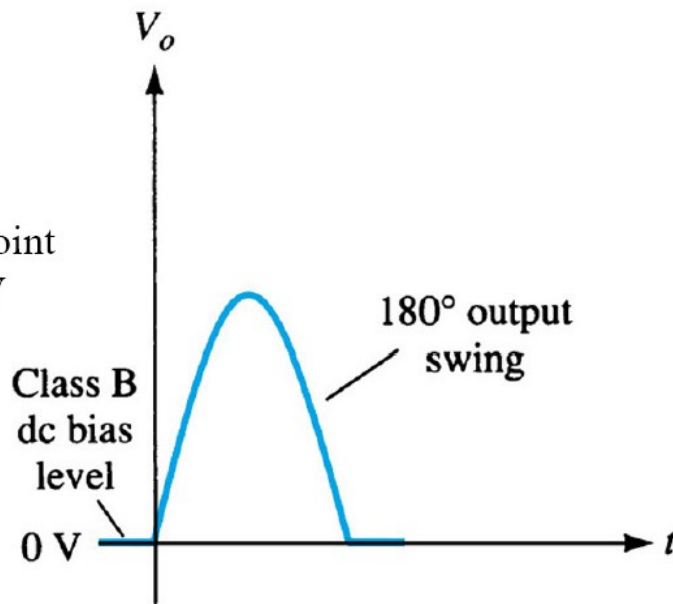


- Số vòng dây của biến áp sẽ xác định đường tải tĩnh
 - Trở kháng cuộn cảm: lý thuyết: 0 ohm
thực tế: vài ohm
 - $P_o(ac) = (V_{CEmax} - V_{CEmin})(I_{Cmax} - I_{Cmin})/8$
 - $P_i(dc) = V_{CC} I_{CQ}$
- => Hiệu suất đại cực đại là 50%

Chế độ hoạt động - Chế độ B



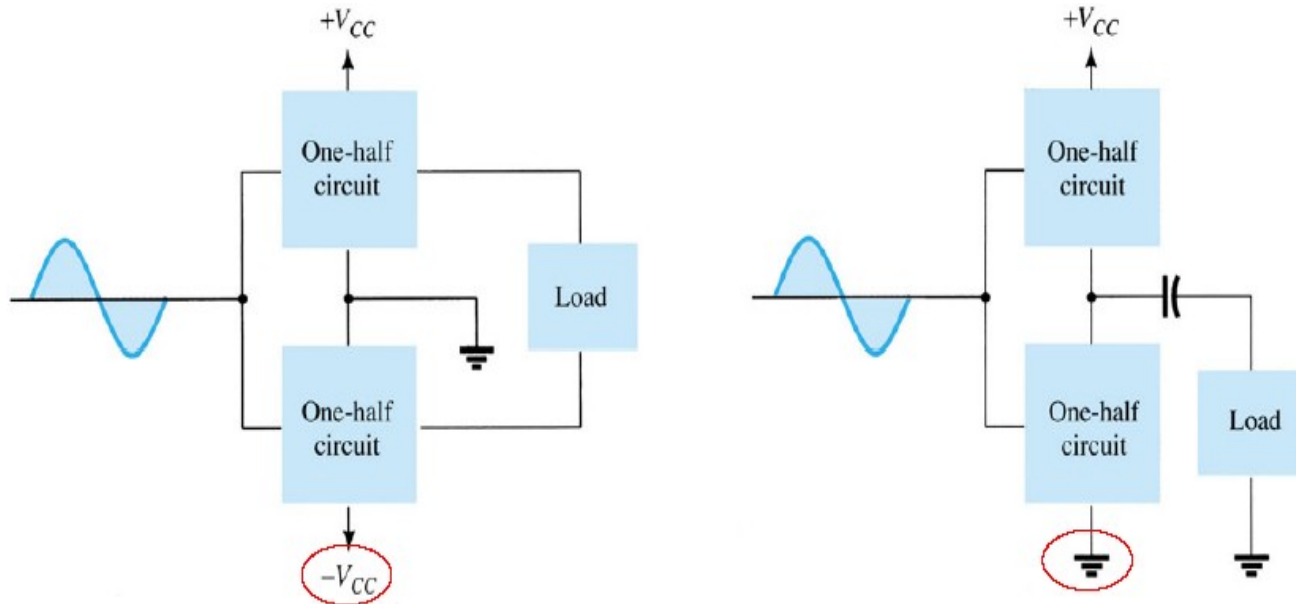
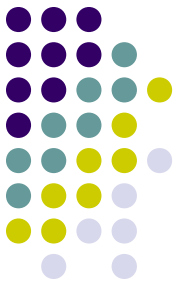
Class B Q-point
is fixed at 0V



- Tín hiệu ra biến đổi trong 180°
- Phân cực 1c xấp xỉ mức 0V
- Ghép đẩy-kéo: kết hợp 2 tầng tương tự nhau, mỗi tầng dẫn trong một nửa chu kỳ
- Nhiễu xuyên mức rất lớn
- Hiệu suất $< 78.5\%$

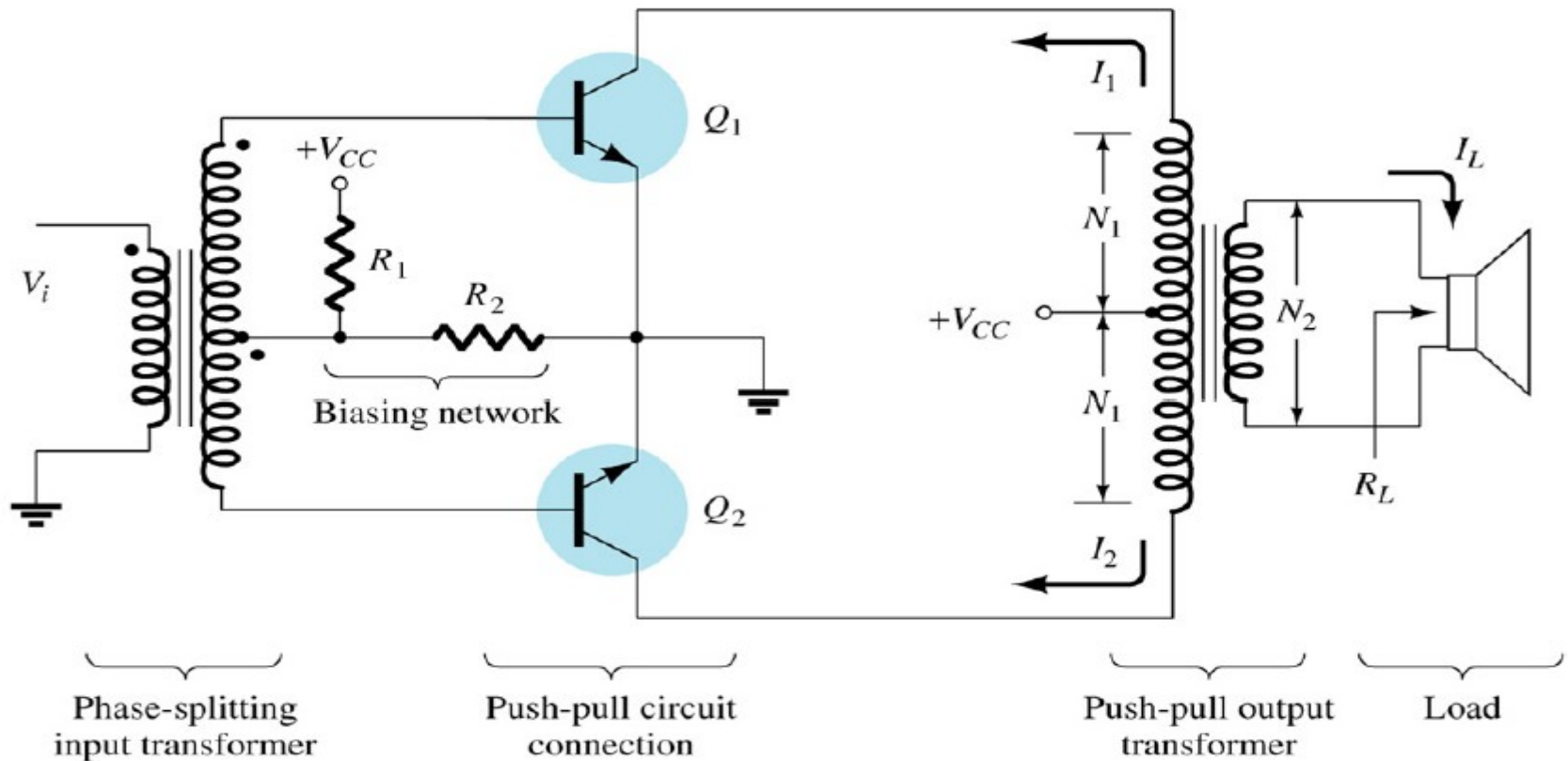
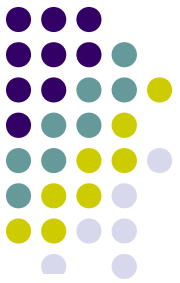
Chế độ hoạt động

- Chế độ B

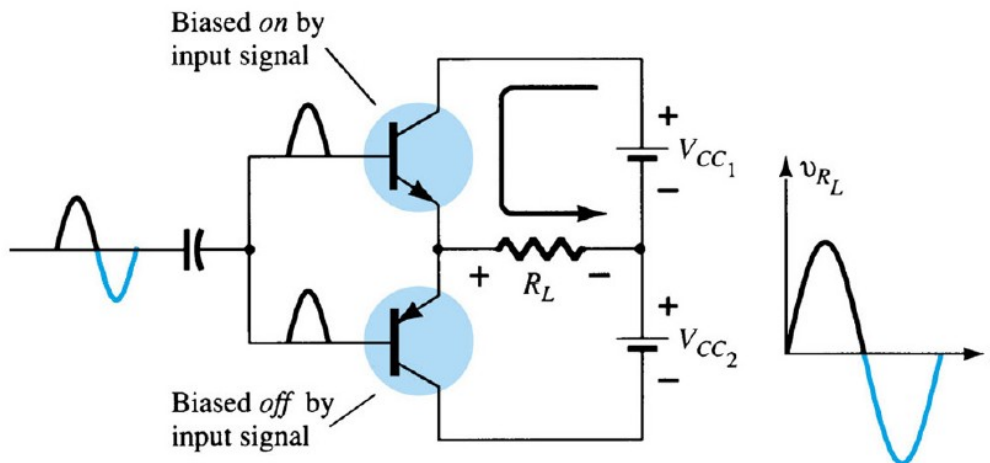
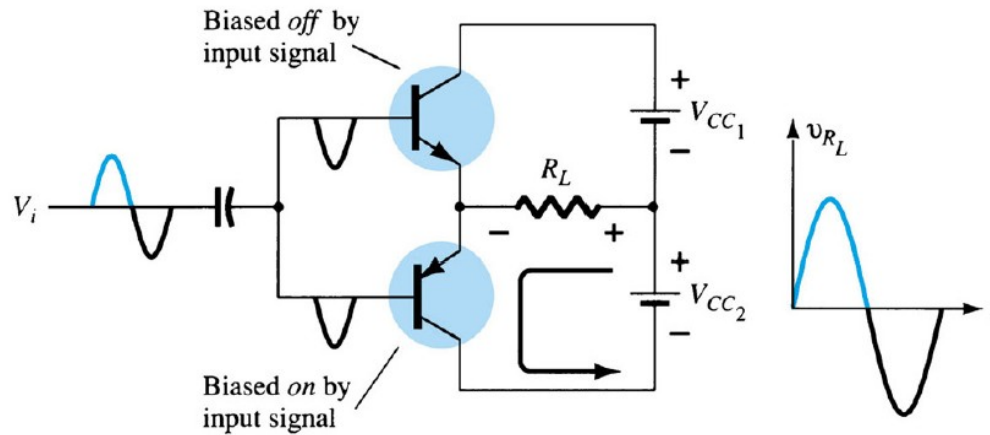


- $P_i(\text{dc}) = V_{cc} I_{\text{dc}} = V_{cc} (2/\pi) I_{(p)}$
- $P_o(\text{ac}) = V_L^2(\text{rms})/R_L = V_L^2(p)/(2R_L)$
- $\eta = P_o(\text{ac})/P_i(\text{dc}) = (\pi/4) * (V_L(p)/V_{cc}) * 100\% < \pi/4 * 100\% = 78.5\%$

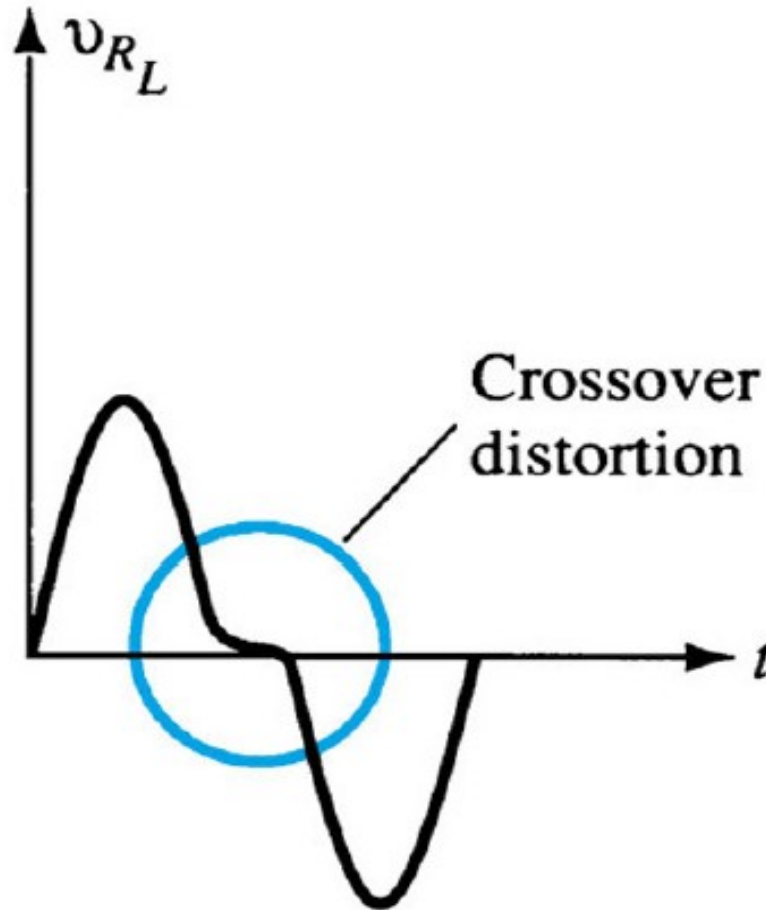
Chế độ B – Mạch đẩy-kéo

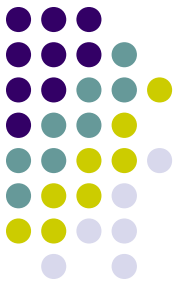


Chế độ B – Mạch đối xứng bù

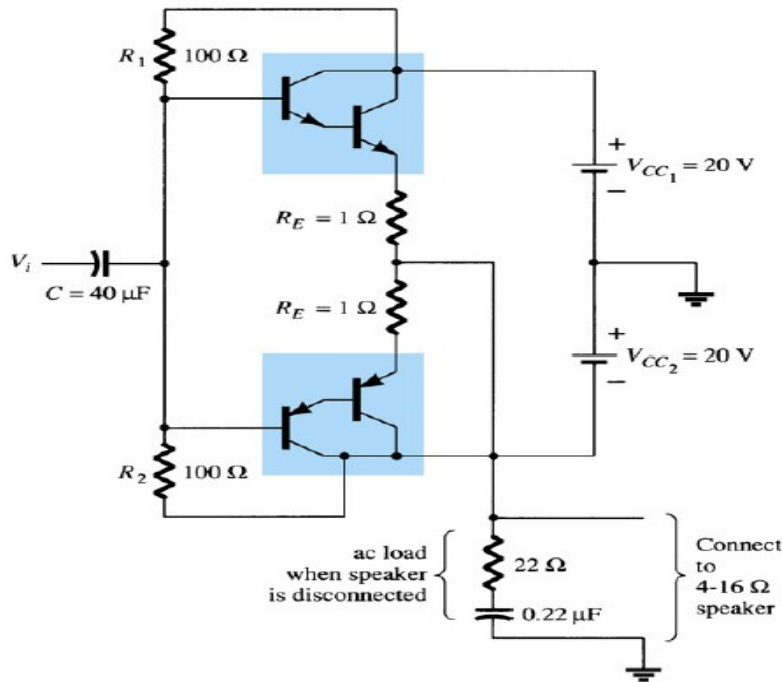


Chế độ B – Mạch đối xứng bù

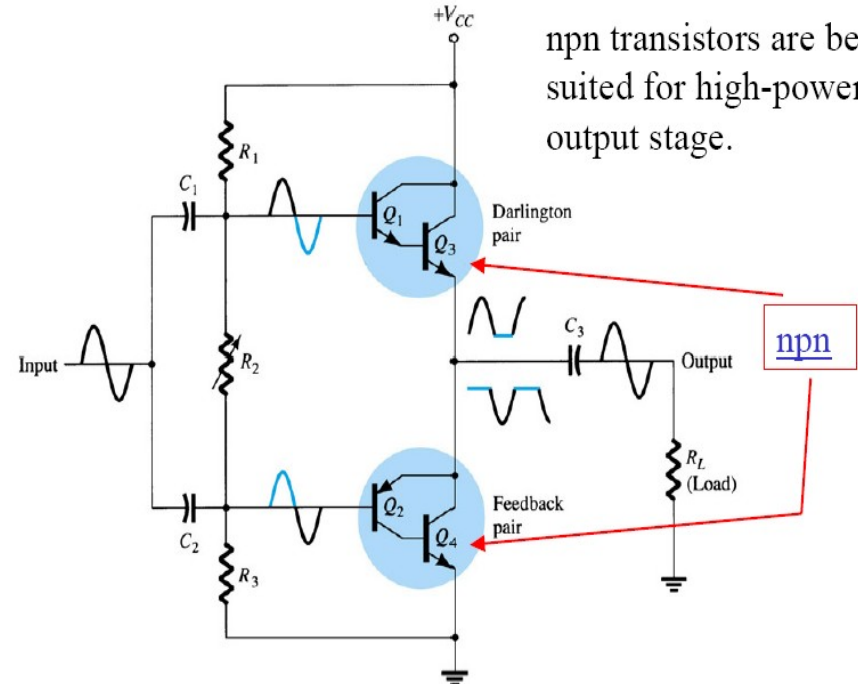




Chế độ B – Mạch đối xứng bù



Complementary-symmetry
push-pull circuit



Quasi-complementary push-
pull circuit

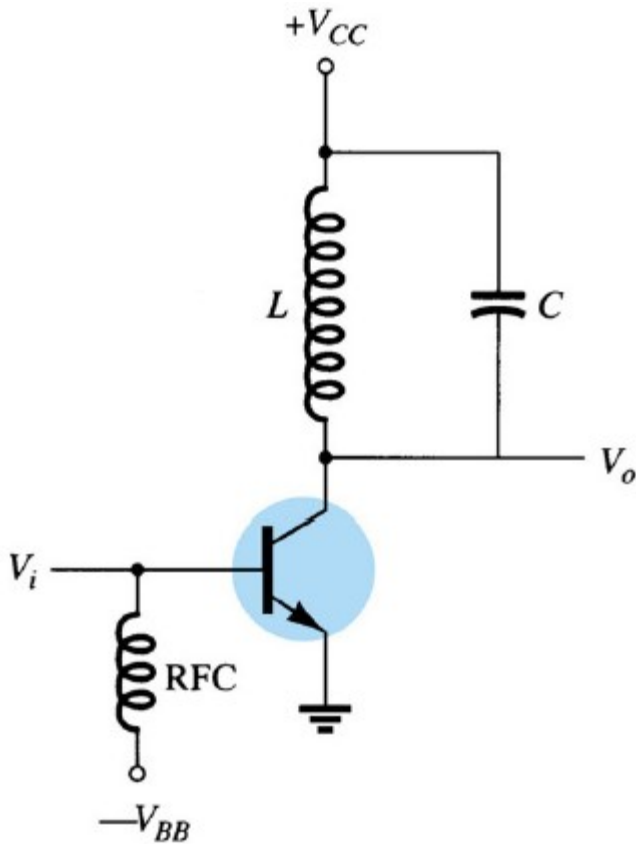
Chế độ hoạt động

- Chế độ AB



- Tương tự mạch đẩy-kéo chế độ B
- Mỗi transistor dẫn trong khoảng hơn nửa chu kỳ
- Để giảm nhiễu xuyên mức

Chế độ hoạt động - Chế độ C



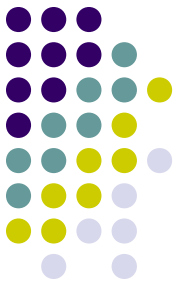
- Phân cực để dẫn ít hơn nửa chu kỳ, chỉ dẫn cả chu kỳ tại tần số cộng hưởng
- Sử dụng trong mạch cộng hưởng, trong thông tin vô tuyến
- Hiệu suất lớn – typically 75-80%
- Thường trong mạch yêu cầu công suất không quá cao

Chế độ hoạt động - Chế độ D



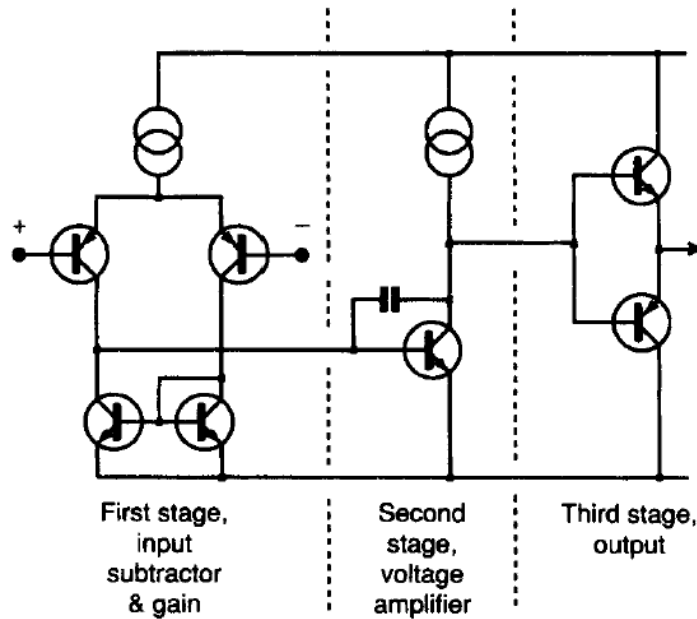
- Sử dụng với tín hiệu xung – on trong khoảng thời gian ngắn, và off trong khoảng thời gian dài
- Sử dụng trong mạch số, hoặc tivi
- Hiệu suất rất cao – thường trên 90%

Chế độ hoạt động - So sánh



	A	AB	B	C	D
Chu kỳ hoạt động	360 ⁰	180 ⁰ -360 ⁰	180 ⁰	<180 ⁰	Pulse
Hiệu suất	<25% <50%	25(50%) -78.5%	<78.5%	75-80%	Typ >90%

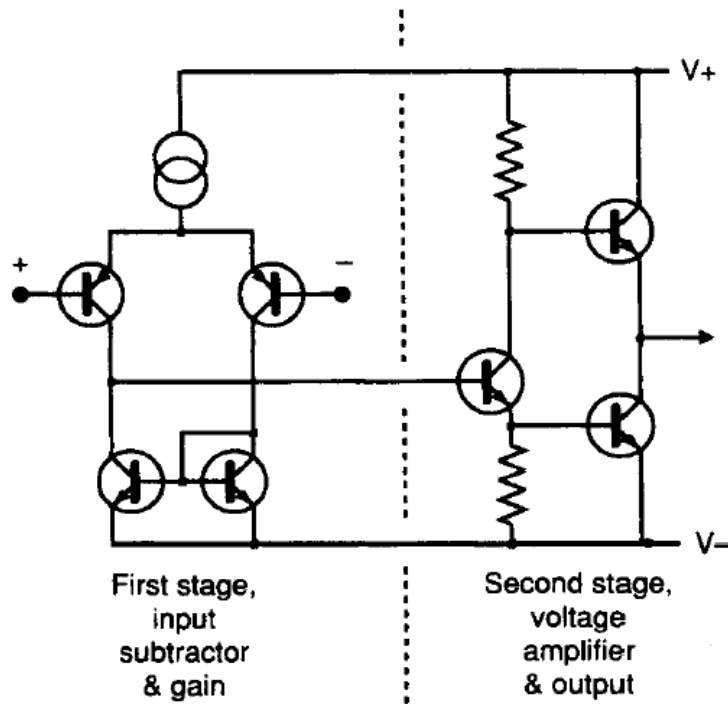
Kiến trúc tầng KĐCS



Loại 3 tầng:

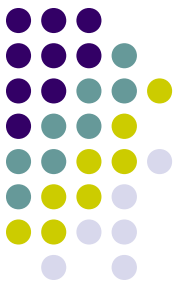
- Tầng “Transconductance”: điện áp vào, dòng điện ra
- Tầng “transimpedance”: dòng điện vào, điện áp ra, tầng khuếch đại điện áp
- Tầng ra: tầng đệm, hệ số khuếch đại điện áp bằng 1

Kiến trúc tầng KĐCS

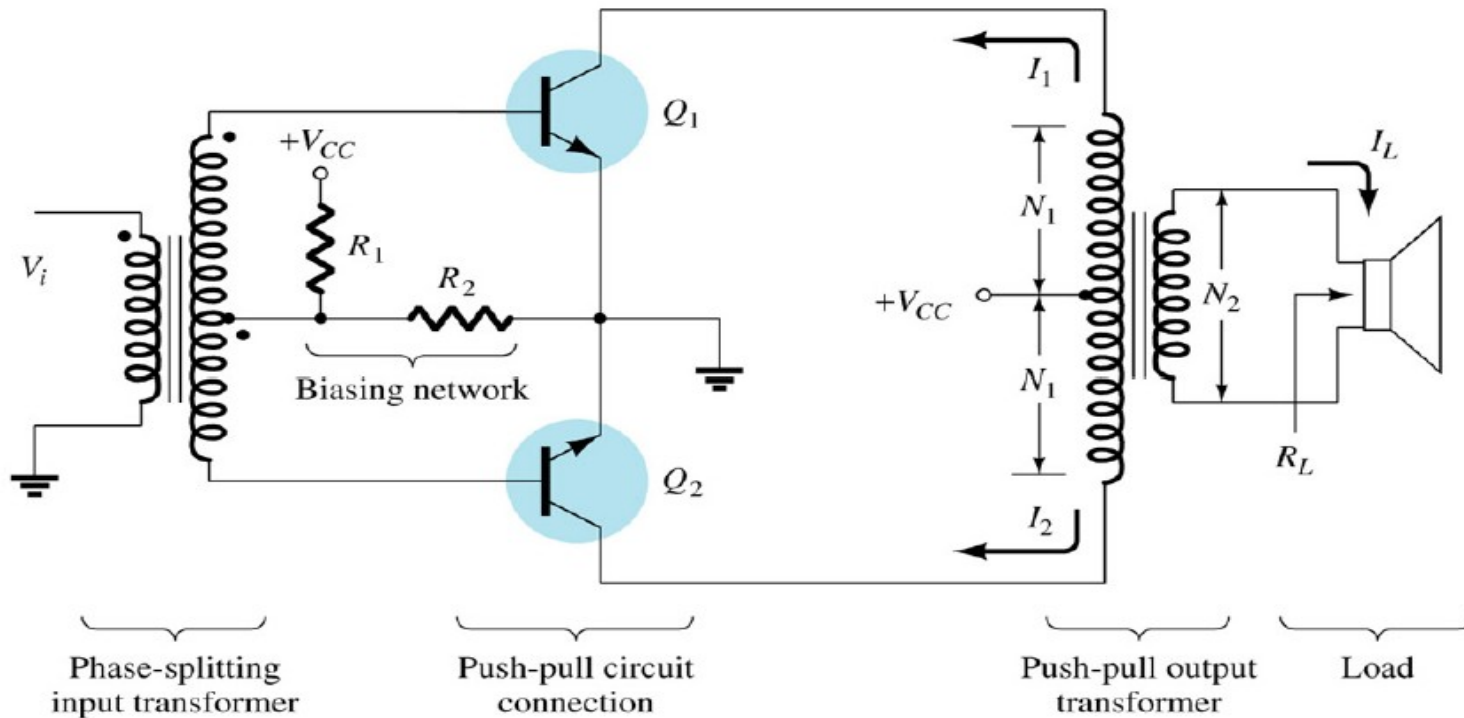


Loại 2 tầng

- Tầng “transconductance”
- Tầng 2: kết hợp tầng khuếch đại điện áp và đệm ra

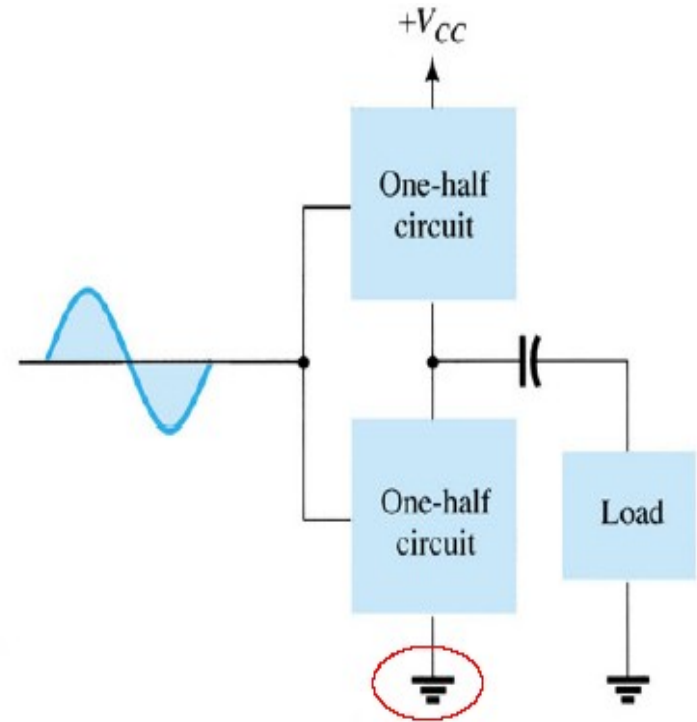
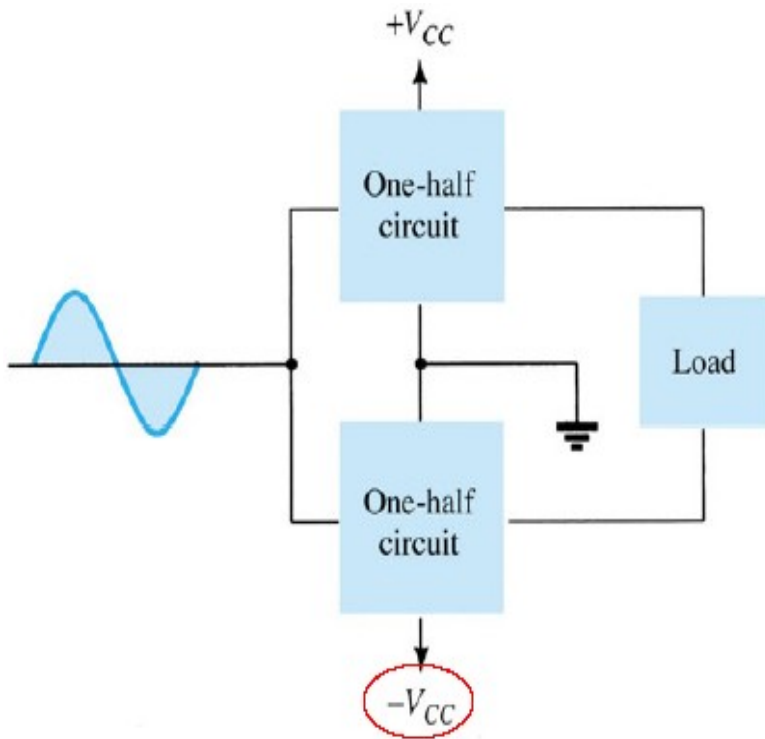


KĐCS ghép biến áp

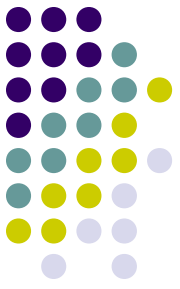


Sử dụng biến áp ở đầu vào và ra:
Nặng, công kênh, đắt tiền và không tuyến tính

KĐCS ghép AC & DC



KĐCS ghép AC & DC



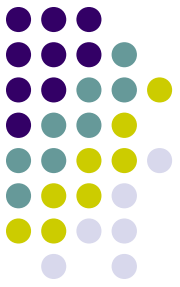
Ghép DC:

- Hai nguồn cung cấp đối xứng
- Tín hiệu ra không có thành phần một chiều
- Không cần tụ ra ngăn thành phần một chiều

Ghép AC:

- Một nguồn cung cấp
- Điện áp ra có thành phần một chiều (khoảng $\frac{1}{2}$ mức nguồn cung cấp)
- Cần tụ lớn mắc nối tiếp với đầu ra

KĐCS ghép AC & DC – So sánh

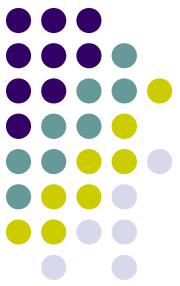


Ghép DC:

- Không cần tụ lớn (đắt tiền)
- Tránh được nhiễu sinh ra do tụ
- No turn-on thump in principle

Ghép AC:

- Không bị trôi thành phần một chiều trong tín hiệu ra
- Không cần mạch bảo vệ chống lỗi một chiều
- Easily prevent turn-on thump



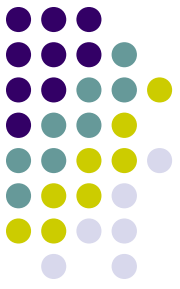
Nhiều

- Nguyên nhân: các linh kiện không hoàn toàn tuyến tính
- Ghép xuyên
- Use Fourier analysis
 - Harmonics
 - Fundamental frequency
- Harmonic distortion
 - %nth harmonic distortion = $D_n = \frac{|A_n|}{|A_1|} * 100$

Bài tập



- Chapter 16: 1, 3, 4, 5, 12, 16, 18, 23



Giới thiệu

- Tầng cuối, cung cấp công suất ra tải
 - Dải công suất: 1W - 100W
- Tham số quan trọng:
 - Khả năng chịu công suất
 - Hiệu suất
 - Nhiễu
 - Tản nhiệt
- Không hoạt động ở chế độ tuyến tính
- Chế độ hoạt động: A, B, AB, C, D